

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/44 (2006.01)

H01L 23/02 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200580025302.3

[43] 公开日 2007年8月15日

[11] 公开号 CN 101019217A

[22] 申请日 2005.6.3

[21] 申请号 200580025302.3

[30] 优先权

[32] 2004. 6. 3 [33] US [31] 60/576,703

[32] 2005. 6. 2 [33] US [31] 11/144,156

[86] 国际申请 PCT/US2005/019511 2005.6.3

[87] 国际公布 WO2005/122249 英 2005.12.22

[85] 进入国家阶段日期 2007.1.26

[71] 申请人 国际整流器公司

地址 美国加利福尼亚

[72] 发明人 C·P·沙费尔 C·谢 K·胡

[74] 专利代理机构 北京润平知识产权代理有限公司

代理人 周建秋 王凤桐

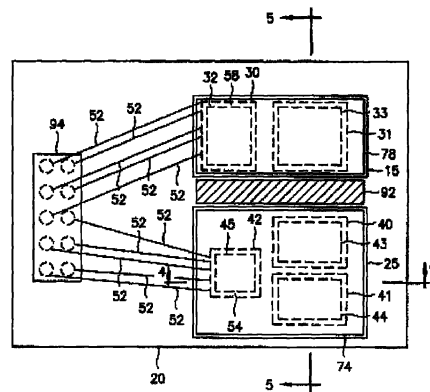
权利要求书3页 说明书7页 附图3页

[54] 发明名称

具有公共引线框架上的倒装芯片设备的半导体设备模块

[57] 摘要

电路的半导体部分，包括以平面方式设置在公共封装中的多个倒装芯片设备。所述多个倒装芯片设备互相连接而不需要引线接合。所述公共封装包括封装结构，所述封装结构包括连接部分和至少一个网状部分，帮助对通过所述多个倒装芯片设备散发的热量进行热管理，并且对所述倒装芯片设备进行互相连接。所述电路中的无源设备也以平面方式设置在所述公共封装中。



1. 电路的至少半导体部分，设置在公共封装中，所述电路的半导体部分包括多个倒装芯片晶片，所述多个倒装芯片晶片互相连接而不需要引线接合，所述公共封装包括封装结构。

2. 根据权利要求 1 所述的设置在所述公共封装中所述电路的至少半导体部分，该部分进一步包括引线框架或者其他导电并且导热的基底，所述基底上安装了所述多个倒装芯片晶片。

3. 根据权利要求 1 所述的设置在所述公共封装中所述电路的至少半导体部分，其中所述公共封装包括封装所述封装结构的树脂或者其他非导电材料。

4. 根据权利要求 1 所述的设置在所述公共封装中所述电路的至少半导体部分，其中所述多个倒装芯片晶片包括至少一个 IC。

5. 根据权利要求 1 所述的设置在所述公共封装中所述电路的至少半导体部分，其中所述多个倒装芯片晶片包括至少一个 MOSFET。

6. 根据权利要求 1 所述的设置在所述公共封装中所述电路的至少半导体部分，其中所述电路为降压转换器电路。

7. 根据权利要求 1 所述的设置在所述公共封装中所述电路的至少半导体部分，其中所述封装结构包括连接部分和至少一个网状部分，所述连接部分对所述多个倒装芯片晶片进行互相连接。

8. 根据权利要求 1 所述的设置在所述公共封装中所述电路的至少半导体部分，其中所述连接部分具有覆盖引线框架或者其他导电并且导热的基底的整个表面的顶部表面，所述引线框架或者其他导电并且导热的基底上安装了所述多个倒装芯片晶片。

9. 根据权利要求 8 所述的设置在所述公共封装中所述电路的至少半导体部分，其中所述顶部表面包括脊部。

10. 根据权利要求 1 所述的设置在所述公共封装中所述电路的至少半导体部分，其中所述多个倒装芯片晶片按照平面化方式设置。

11. 根据权利要求 1 所述的设置在所述公共封装中所述电路的至少半导体部分，其中所述电路进一步包括设置在所述公共封装中的至少一个无源设备。

12. 根据权利要求 11 所述的设置在所述公共封装中所述电路的至少半导体部分，其中所述至少一个无源设备是从由至少一个电阻、至少一个电容以及至少一个电感组成的组中选择的。

13. 一种包括第一和第二 MOSFET 晶片和控制所述第一和第二 MOSFET 的控制 IC 晶片的半导体设备，均包含在公共封装中；所述公共封装具有导电安装表面；所述第一 MOSFET 晶片具有在一个表面上的源极和栅极电极，以及在其相反表面上的漏极电极；所述第二 MOSFET 晶片具有在一个表面上的漏极和栅极电极，以及在其相反表面上的源极电极；所述第一和第二晶片分别通过其源极和栅极以及漏极和栅极电极被导电固定到所述导电安装

表面上，并且互相横向间隔。

14. 根据权利要求 13 所述的设备，其中所述 IC 晶片为倒装芯片 IC，所述 IC 晶片的一个表面导电固定到所述导电安装表面。

15. 根据权利要求 13 所述的设备，其中所述公共封装进一步包括封装结构，所述封装结构包括连接部分和网状部分，所述连接部分对所述第一和第二 MOSFET 晶片进行互相连接。

16. 根据权利要求 15 所述的设备，其中所述连接部分的顶部表面包括脊部。

17. 根据权利要求 15 所述的设备，其中所述公共封装进一步包括封装所述封装结构的树脂或者其他非导电材料。

18. 根据权利要求 13 所述的设备，其中所述第一和第二 MOSFET 晶片以及所述控制 IC 晶片按照平面化方式设置。

19. 根据权利要求 13 所述的设备，其进一步包括设置在所述公共封装中的至少一个无源设备。

20. 根据权利要求 19 所述的设备，其中所述至少一个无源设备是从由至少一个电阻、至少一个电容以及至少一个电感组成的组中选择的。

具有公共引线框架上的倒装芯片设备的半导体设备模块

相关申请

本申请要求 2004 年 6 月 3 日提交的美国临时申请 No. 60/576, 703 的优先权，其内容作为引用而结合于此。

技术领域

本发明涉及一种包括至少形成电路的半导体部分的倒装芯片设备的模块。

背景技术

各种类型的电子电路例如 DC-DC 转换器、同步转换器等需要大量半导体元件，例如 MOSFET 和 IC。这些电路元件可以在便携式电子设备中找到并且支持元件通常被单独封装并且单独安装在支持板上。单独封装的元件占用了板上空间，并且各个元件产生热量。如果元件靠近其他元件，例如微处理器，则元件可能干扰微处理器的工作。

为了解决发热和板上空间占用的双重问题，目前至少应用了两种不同方法。

一种方法是在单个封装中以平面方式设置各个半导体元件。图 1 显示了在单个基底上以平面方式设置的包含半导体组件的示例电路图，这原本在美国专利 No. 6, 388, 319 中的图 2 中显示。

图 1 显示了同步降压 (buck) 转换器电路，具有 N 通道 MOSFET 4 作为开关设备，以及并联的 N 通道同步 MOSFET 5 和 Schottky 二极管 6 用于同步整流。N 通道 MOSFET 4、N 通道 MOSFET 5 以及 Schottky 二极管 6 以平面方式设置在公共封装 7 内部。然而，连接到 MOSFET 4 和 5 的栅极的控制芯

片 8 并不包含在前述公共封装 7 内。由于晶片 4 的源极（顶部）连接到晶片 5 的漏极（底部），需要将晶片 5 与基底绝缘，并且引线接合。并且，控制芯片 8 是分离的，因为它必须与电路板绝缘。

采用在公共封装内以平面方式设置半导体元件的方法的其他专利包括美国专利 No. 5, 977, 630, 6, 144, 093, 6, 404, 050, 6, 448, 643, 6, 465, 875, 6, 593, 622 以及 6, 696, 321。然而，在前文引用的所有参考中，很大程度上使用了引线接合以在半导体元件之间进行必要连接。所述引线接合导致了更高的电阻和电感。并且，尽管在公共封装中封装元件与单独封装元件相比减少了元件的热效应，但是仍然需要进一步改进热管理。

解决板上空间占用和热管理问题的第二种方法涉及使用在公共封装内包含的堆叠或者层叠的晶片。美国专利 No. 5, 770, 480, 6, 798, 044 和 6, 858, 922 中示例了这种方法。这种方法保留了比平面设置方法更多的板上空间。并且，晶片之间的引线接合可以消除。然而，与平面设置方法相比，这种方法可能导致一个晶片的操作会对堆叠或者层叠在其上的其他晶片产生热效应。

发明内容

基于参考现有技术发现的上述问题，本发明具有若干目标。

首先，本发明着眼于提供一种在公共封装中的半导体元件的平面设置，从而保留电路板空间。

第二，本发明的一个目标是提供这种平面设置，同时消除在实现公共封装中的各个晶片之间的连接时对引线接合的需要。

第三，本发明的一个目标是提供一种公共封装中晶片的平面设置，该平面设置具有比传统的晶片平面设置和晶片的堆叠或者层叠设置更优越的热管理。

因此，本发明包括设置在公共引线框架或者其他电路基底上的多个倒装芯片设备，所述设置基本为平面方式而没有任何一个倒装芯片设备在另一个倒装芯片设备上的堆叠或者层叠。倒装芯片设备之间的连接不包含任何引线接合。至少某些倒装芯片设备之间的连接提供了相对于传统的公共封装中的平面晶片设置或者堆叠或层叠晶片设置改进的热管理。

因此，对于降压 (buck) 转换器电路，控制 FET 可以为 2004 年 1 月 26 提交的美国临时申请 No. 60/539, 549 中公开类型的顶部漏极 MOSFET，其漏极和栅极在晶片的顶部，当倒装晶片时所述漏极和栅极连接引线框架和顶部上的源极。同步 FET 可以为美国专利 No. 6, 624, 522 中公开的 Direct FET™ 类型，其漏极在晶片顶部，其源极和栅极在晶片底部，从而可以通过 T-PAC 类型封装结构连接到顶部漏极 FET 的源极，这种封装结构在美国专利公开 No. 2004/0061221 A1 中进行了描述，其内容作为引用而完整结合于此。同样可以使用其他传统的垂直导电设备封装以连接同步 FET 和顶部漏极 FET。IC 也为倒装芯片，从而其底部可以通过引线框架中形成图案的迹线而连接到控制 FET 和同步 FET 的栅极。因此，可以避免引线接合。

本发明的其他特征和优点通过下面的结合附图的详细描述可以更加明白。

附图说明

图 1 为显示公共封装中的电路的半导体部分的传统设置的电路图；

图 2 为显示公共封装中设置的电路的半导体部分的本发明的电路图；

图 3 为在公共封装中包含对应于图 2 所示的电路元件的本发明的实施例的平面图；

图 4 为沿着图 3 中的截取线 4-4 的截面图；

图 5 为沿着图 3 中的截取线 5-5 的截面图，图 5 还示意显示了对应于

图 2 所示的电路的电流；以及

图 6 为显示顶部表面中的脊部 (ridges) 的 T-PAC 封装结构的局部正视图。

具体实施方式

图 2 显示了降压 (buck) 转换器电路的电路图，包括顶部漏极构造的 MOSFET 15，同步 MOSFET 25 (同步 MOSFET 25 为 DirectFET™ 类型)，倒装芯片类型 IC 94，在 PWM 模式中控制 MOSFET 15 和 25 从而获得恒定的输出 DC 电压，以及电感 10 和电容 11。降压 (Buck) 转换器电路通常也称为步降转换器，通常用于降低电压。因此，输入电压 V_{IN} 大于输出电压 V_{OUT} 。MOSFET 晶片 15、MOSFET 晶片 25 以及 IC 晶片 94 设置在公共封装 21 中。晶片 15、25、94 按照平面方式设置在引线框架 20 或者其他同时导热和导电的基底中。

引线框架或者其他基底的导热性可以确保从晶片 15、25、94 散发的热量有效传递到引线框架或者其他基底下方的一个或者多个热池 (未显示)。引线框架或者基底的导电性可以允许 IC 94 和 MOSFET 15、25 之间的电连接，这在下文将更加详细描述，并且允许分别传输输入电压 V_{IN} 到公共封装 21 和从公共封装 21 传输输出电压 V_O (见图 2)。除了引线框架之外的能够导热和导电的其他基底包括直接接合铜 (DBC)，印刷电路板 (PCB)，印刷接线板 (PWB)，以及挠性电路。

参考图 3，IC 94 通过焊接或者导电环氧树脂 (未显示) 而直接接合到引线框架 20 或者其他基底。(在此使用的术语“倒装芯片”表示通过下部表面直接粘合到引线框架或者其他基底而不需要任何引线接合的芯片，所述倒装芯片具有适当预备的粘合板。) 引线框架 20 具有接触区域 30 和 31，分别容纳 MOSFET 15 的栅极电极 32 和漏极电极 33。引线框架 20 还具有漏

极接触 40 和 41 以分别接触 MOSFET 25 的源极电极 43 和 44。并且，引线框架 20 具有栅极接触区域 42 以容纳 MOSFET 25 的栅极电极 45。引线框架 20 或者其他基底还具有迹线 52，示意显示为在引线框架或者其他基底中形成图案，将 IC 94 连接到栅极接触区域 30、42。

栅极接触区域 30、42 分别依次连接到栅极电极 32、45，分别通过焊接或者导电环氧树脂 58 和通过焊接或者导电环氧树脂 54。同样的，参考图 5，源极接触区域 40 和 41 分别连接到源极电极 43 和 44，分别通过焊接或者导电环氧树脂 62 和通过焊接或者导电环氧树脂 60。漏极接触区域 31 通过焊接或者导电环氧树脂 66 连接到漏极电极 33。

MOSFET 25 是由国际整流器公司 (International Rectifier Corporation) 制造的 DirectFET™ 构造。因此，参考图 5，MOSFET 25 钝化在晶片的表面 70 上，其上定位了源极和栅极电极 43、44、45，从而防止源极和栅极电极之间的短路，并且保护它们不受潮以及其他污染。MOSFET 25 的漏极接触 74 通过导电 T-PAC 类型封装结构 50 连接到 MOSFET 15 的源极电极 78，其中还提供了将图 2 所示的输出电压 V_1 传递到引线框架 20 或者其他基底的路径，如图 5 示意所示。

并且，使用 T-PAC 类型封装 50 提供了改善的热管理。T-PAC 类型封装结构 50 包括连接部分 80 和网状部分 82。网状部分 82 通过焊接或者导电环氧树脂 84 连接到引线框架 20 或者其他基底。连接部分 80 通过导电环氧树脂或者焊接 86、88 (见图 4) 连接到 MOSFET 25 的漏极接触 74，并且还通过焊接或者导电环氧树脂 (未显示) 连接到源极接触 78。连接部分 80 和网状部分 82 整体形成为单元整体。

为了实现图 2 中的电路，源极接触 40 和 41 均接地，如图 5 中示意所示，并且通过引线框架 20 或者其他基底将 V_{IN} 提供给漏极电极 33，如图 5 示意所示。树脂或者其他传统非导电材料形成的传统塑模封装 90 在引线框

架 20 或者其他基底上方封装 T-PAC 封装结构 50 和所有其他电路封装元件。

应当注意, T-PAC 封装结构的连接部分 80 覆盖了引线框架 20 或者其他基底的整个区域, 而网状部分 82 具有足够的尺寸以仅接触引线框架 20 或者其他基底的上部表面的局部, 接触部分在图 3 中显示为阴影区域 92。(图 3 中的平面图显示了去除了 T-PAC 封装结构 50 以简化图示)。而且, 应当理解, 连接部分 80 的下部表面在倒装芯片 IC 94 的上部表面上方, 并且由树脂或者其他非导电材料组成的非导电材料 90 将倒装芯片 IC 94 电隔离于 T-PAC 封装结构 50。T-PAC 封装结构 50 的连接部分 80 在引线框架 20 或者其他基底的整个区域上的扩展可以提供对于晶片产生热量的比其他传统的公共封装中晶片的平面、堆叠或者层叠设置更为优越的热管理。通过在 T-PAC 封装结构 50 的连接部分 80 的顶部表面上包括脊部 96 可以获得其他的热管理改进, 如同在美国公开 No. 2004/0061221 A1 中的图 8A 和图 6 所示。这些脊部不仅帮助散热, 而且帮助连接部分 80 更好的粘合到非导电材料 90。

尽管上文仅描述了引线框架 20 或者其他基底上以平面方式设置的 MOSFET 晶片 15、MOSFET 晶片 25 以及 IC 晶片 894, 然而显见, 图 2 中的降压 (buck) 转换器电路的电感 10 也可以位于引线框架 20 或者其他基底上。在此情况下, 电感 10 可以通过在引线框架 20 或者其他基底上形成图案的迹线以及通过 T-PAC 封装结构 50 或者其他封装结构而连接到 MOSFET 25 的漏极接触 74, 从而实现图 2 所示电路的另一部分而不需要引线接合。最后, 电容 11 也可以置于引线框架 20 上, 并且在引线框架 20 中形成图案的适当迹线将电容 11 连接到电感 10 以及源极接触 40 和 41, 从而分别接触 MOSFET 25 的源极电极 43 和 44 而同样不需要引线接合。添加电感 10 和电容 11 到引线框架 20 可以在单个引线框架或者其他基底上实现图 2 所示的整个降压 (buck) 转换器电路。

尽管前述内容集中在公共封装中传统降压（buck）转换器电路的半导体部分的平面化封装上，应当理解，本发明并不限于这种特定设置。相反的，本发明可以一般性的应用到在公共封装中以平面方式设置作为各种电路的半导体部分的倒装芯片设备，而不需要引线接合。并且，使用 T-PAC 封装结构进行封装可以允许对封装进行改善的热管理。

当然，应当理解，在需要时可以在引线框架 20 或者其他基底中提供绝缘阻碍或者层以防止电路的任何半导体元件、任何 T-PAC 或者其他封装结构以及引线框架 20 或者其他基底上的任何无源设备的接触部分之间的短路。

尽管参考特定实施例描述了本发明，本领域技术人员可以对其做出各种变化和修改。因此，优选的，本发明并不限于在此公开的特定内容，而是仅由所附权利要求限定。

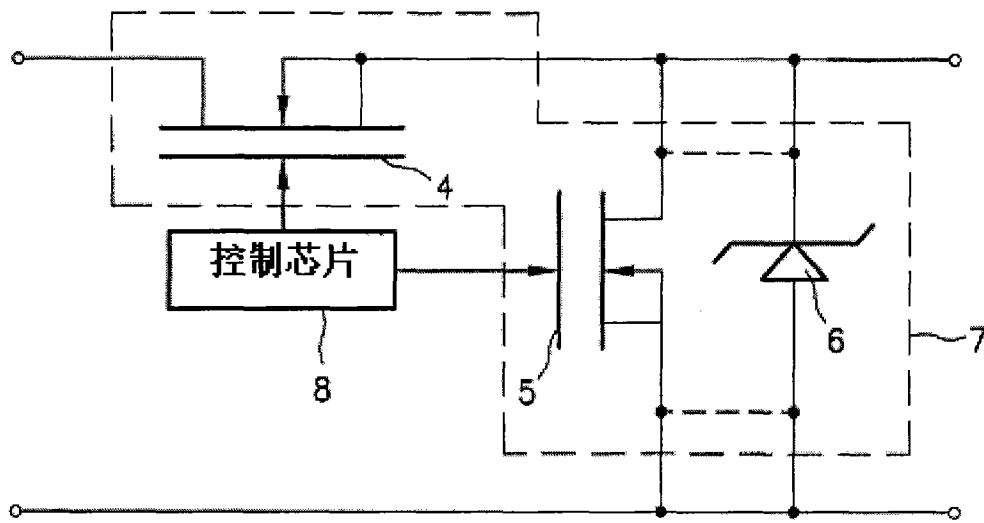


图1 (现有技术)

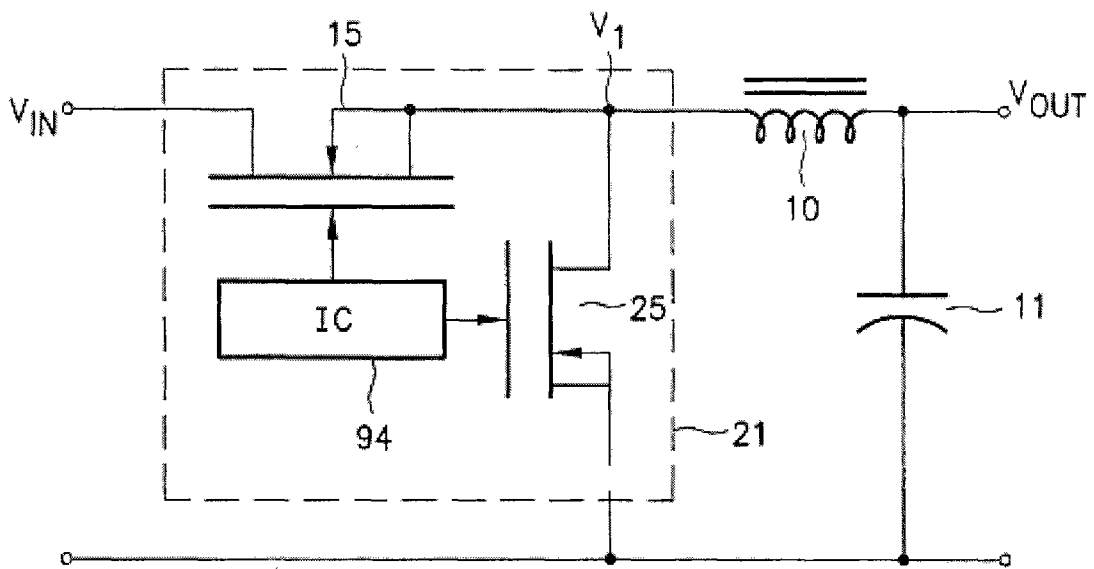


图2

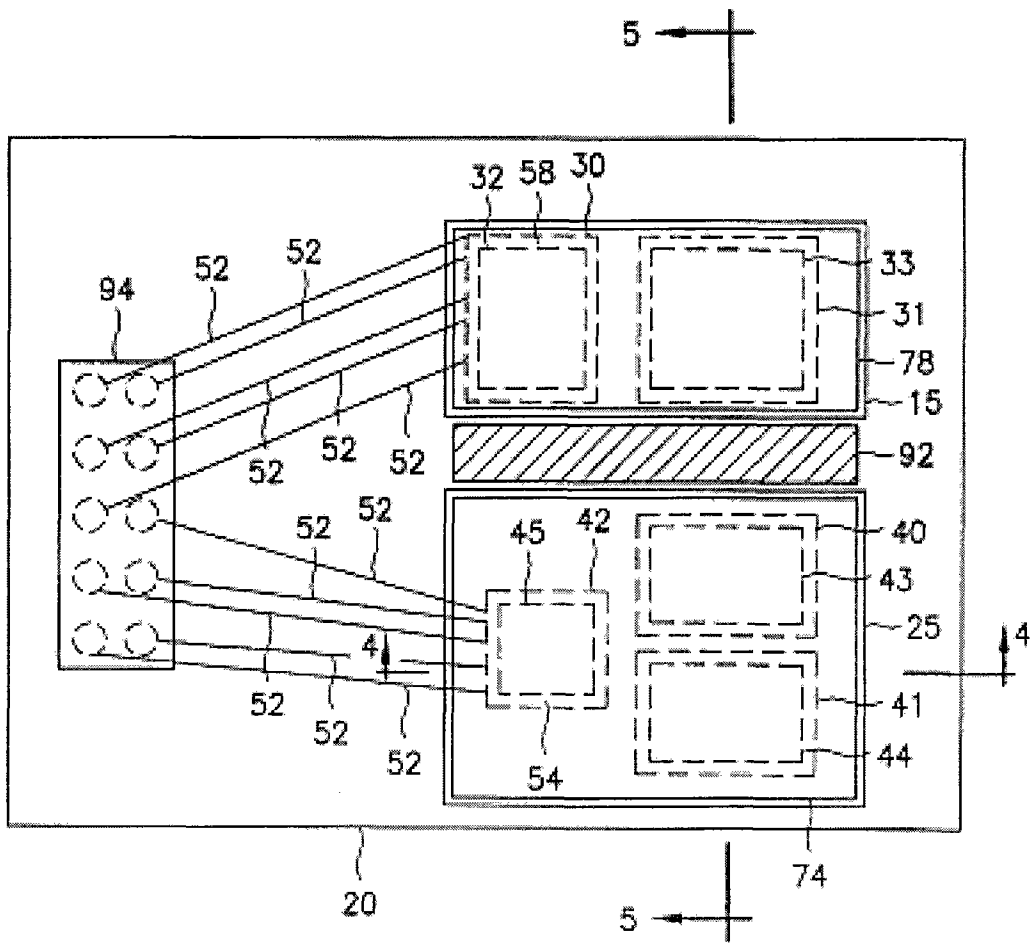


图3

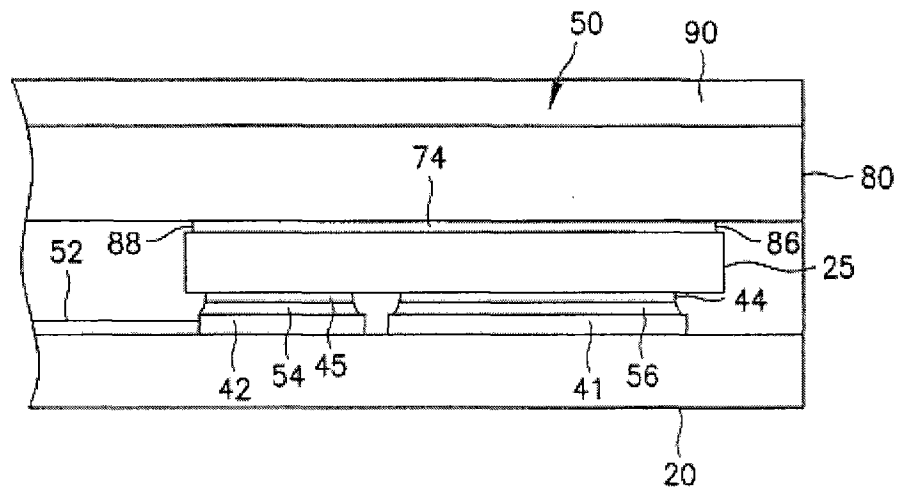


图4

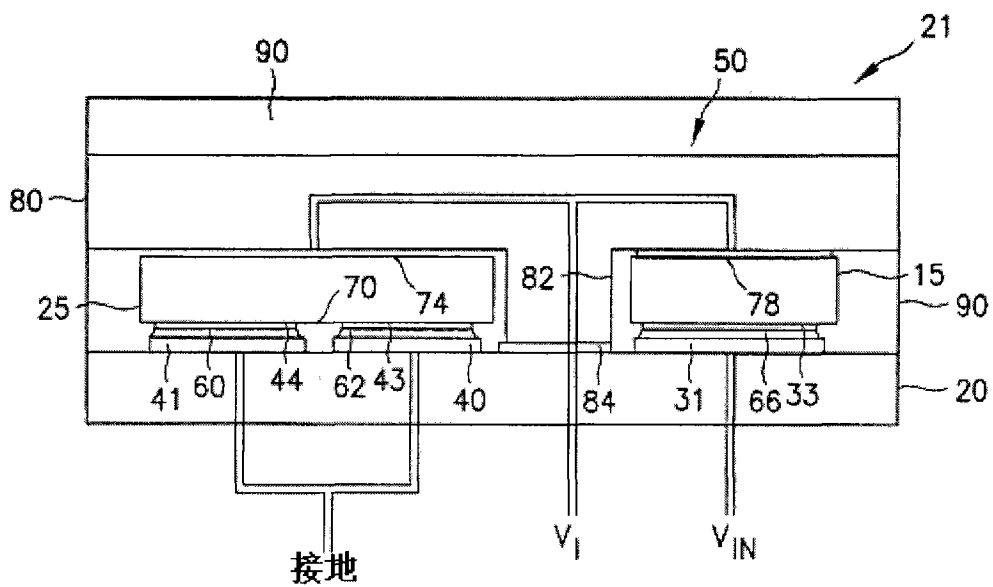


图5

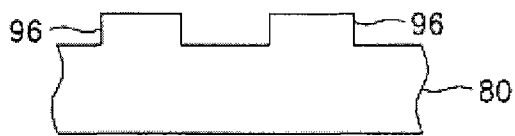


图6