



## (12) 发明专利申请

(10) 申请公布号 CN 101803019 A

(43) 申请公布日 2010.08.11

(21) 申请号 200880106545.3

(51) Int. Cl.

(22) 申请日 2008.09.17

H01L 25/065(2006.01)

(30) 优先权数据

H01L 23/473(2006.01)

07116581.5 2007.09.17 EP

(85) PCT申请进入国家阶段日

2010.03.11

(86) PCT申请的申请数据

PCT/IB2008/053768 2008.09.17

(87) PCT申请的公布数据

W02009/037648 EN 2009.03.26

(71) 申请人 国际商业机器公司

地址 美国纽约

(72) 发明人 T·J·布鲁斯克威勒 R·J·林德曼

B·米歇尔 H·E·罗素森

(74) 专利代理机构 北京市中咨律师事务所

11247

代理人 于静 杨晓光

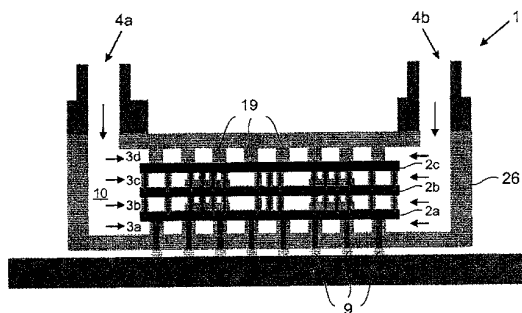
权利要求书 3 页 说明书 12 页 附图 14 页

### (54) 发明名称

集成电路叠层及其热管理

### (57) 摘要

本发明涉及集成电路叠层 (1), 其包括多个集成电路层 (2) 以及设置在两个电路层 (2) 之间的空间中的至少一个冷却层 (3)。利用泵送冷却流体 (10) 通过冷却层 (3) 来冷却集成电路叠层 (1)。本发明还涉及最优化这样的集成电路叠层 (1) 的配置的方法。



1. 一种集成电路叠层 (1), 包含:  
多个集成电路层 (2), 其至少包含电连接第二电路层 (2b) 的第一电路层 (2a), 所述第一电路层 (2a) 具有产生较高热的至少一个第一区域 (11) 以及产生较低热的至少一个第二区域 (12), 以及设置在所述第一与第二电路层 (2a, 2b) 之间的空间中的至少一个冷却层 (3), 所述冷却层 (3) 包含至少一个流体入口 (4) 和至少一个流体出口 (5) 以及液压连接所述流体入口 (4) 与所述流体出口 (5) 的中空空间 (20), 以使用冷却流体 (10) 冷却至少所述第一电路层 (2a), 其中所述至少一个冷却层 (3) 包含用于在所述中空空间 (20) 中产生所述冷却流体 (10) 的非均匀流动图形的装置, 使所述第一电路层 (2a) 的所述第一区域 (11) 中的传热比所述第一电路层 (2a) 的所述第二区域 (12) 中的传热高。
2. 根据权利要求 1 所述的集成电路叠层 (1), 其中所述至少一个冷却层 (3) 包含至少一个导引组件 (19), 其将至少所述冷却流体 (10) 的一部分导向所述第一区域 (11)。
3. 根据权利要求 2 所述的集成电路叠层 (1), 其中所述至少一个导引组件 (19) 用于至少产生通过所述第一区域 (11) 的第一流动, 且所述第一流动具有比通过所述第二区域 (12) 的第二流动高的质量流量。
4. 根据权利要求 2 或 3 所述的集成电路叠层 (1), 其中所述至少一个导引组件 (19) 包含漏斗结构 (15), 所述漏斗结构 (15) 具有朝向所述流体入口 (6) 的第一开口 (16) 以及朝向所述第一区域 (11) 的第二开口 (17), 所述第一开口 (16) 大于所述第二开口 (17)。
5. 根据权利要求 1 或 3 所述的集成电路叠层 (1), 其中所述至少一个冷却层 (3) 包含通道结构 (27), 所述通道结构 (27) 在所述第一区域 (11) 中具有第一宽度且在所述第二区域 (12) 中具有第二宽度, 所述第一宽度小于所述第二宽度。
6. 根据权利要求 5 所述的集成电路叠层 (1), 其中所述通道结构 (27) 的所述宽度沿着自所述流体入口 (4) 至所述流体出口 (5) 的至少一个路径减小。
7. 根据权利要求 1 到 6 中的任一项所述的集成电路叠层 (1), 其中所述至少一个冷却层 (3) 包含网格结构, 所述网格结构在所述第一区域 (11) 中的密度低于在所述第二区域 (12) 中的密度。
8. 根据权利要求 1 到 7 中的任一项所述的集成电路叠层 (1), 其中所述至少一个冷却层 (3) 包含具有网格组件的网格结构, 设置在所述第一区域 (11) 中的至少一个第一网格组件具有比设置在所述第二区域 (12) 中的第二网格组件大的截面。
9. 根据权利要求 7 或 8 所述的集成电路叠层 (1), 其中所述网格结构包含在所述第一与第二电路层 (2a, 2b) 之间的电连接 (6)。
10. 根据权利要求 1 所述的集成电路叠层 (1), 其中所述至少一个冷却层 (3) 包含在所述第一电路层 (2a) 处的第一表面和在所述第二电路层 (2b) 处的第二表面, 所述第一与第二表面彼此间的距离在所述第一区域 (11) 小于在所述第二区域 (12)。
11. 根据权利要求 10 所述的集成电路叠层 (1), 其中所述第一与第二表面之间的所述距离沿着自所述流体入口 (4) 至所述流体出口 (5) 的至少一个路径减小。
12. 根据权利要求 1 到 11 中的任一项所述的集成电路叠层 (1), 其中所述流体入口 (4) 相对于所述第二区域 (12) 被设置得更靠近所述第一区域 (11)。
13. 根据权利要求 1 到 12 中的任一项所述的集成电路叠层 (1), 其中所述流体出口 (5) 相对于所述第一区域 (11) 被设置得更靠近所述第二区域 (12)。

14. 根据权利要求 1 到 13 中的任一项所述的集成电路叠层 (1), 其中所述流体入口 (4) 和所述流体出口 (5) 被设置为邻近所述冷却层 (3) 的公共角落 (24), 以及所述第一区域 (11) 被设置为比所述第二区域 (12) 更靠近所述公共角落 (24)。

15 根据权利要求 1 到 14 中的任一项所述的集成电路叠层 (1), 其中所述冷却层 (3) 包含至少两个流体入口 (4a, 4b) 或至少两个流体出口 (5a, 5b), 使得自所述第一入口 (4a) 通过所述第一区域 (11) 到所述第一出口 (5a) 的第一流动, 分别比自所述第二流体入口 (4b) 到所述第一流体出口 (4a) 或自所述第一流体入口 (4a) 到所述第二流体出口 (5b) 的第二流动短。

16. 根据权利要求 1 到 15 中的任一项所述的集成电路叠层 (1), 其中所述冷却层 (3) 为具有四个侧的矩形, 第一和第三侧彼此平行且第二和第四侧彼此平行, 所述第一和所述第三侧正交于所述第二和所述第四侧, 所述冷却层 (3) 包含设置在所述四个侧上的两个流体入口 (4a, 4b) 和两个流体出口 (5a, 5b)。

17. 根据权利要求 16 所述的集成电路叠层 (1), 其中所述两个流体入口 (4a, 4b) 被设置在所述第一和所述第三侧, 而所述两个流体出口 (5a, 5b) 被设置在所述第二和所述第四侧。

18. 根据权利要求 16 所述的集成电路叠层 (1), 其中所述两个流体入口 (4a, 4b) 被设置在所述第一和所述第二侧, 而所述两个流体出口 (5a, 5b) 被设置在所述第三和所述第四侧。

19. 根据权利要求 1 到 18 中的任一项所述的集成电路叠层 (1), 至少包含设置在至少一个公共电路层 (2a) 之上及之下的第一和第二冷却层 (3a, 3b), 其中所述冷却流体 (10) 在所述第一冷却层 (3a) 中的流动沿第一方向导向, 而所述冷却流体 (10) 在所述第二冷却层 (3b) 中的流动沿与所述第一方向不同的第二方向导向。

20. 根据权利要求 19 所述的集成电路叠层 (1), 至少包含多个冷却层 (3), 其中所述冷却流体 (10) 在交替的冷却层 (3a) 中的流动沿相反方向导向。

21. 一种配置至少包含第一和第二电路层 (2a, 2b) 的集成电路叠层 (1) 的方法, 所述第一和所述第二电路层 (2a, 2b) 彼此电连接, 至少所述第一电路层 (2a) 具有非均匀功率分布, 以及中空冷却层 (3) 被设置在所述第一与第二电路层 (2a, 2b) 之间, 所述方法包括以下步骤:

在特定的配置中, 对于通过所述中空冷却层 (3) 的冷却流体 (10) 的特定流动 (13) 而言, 计算所述第一电路层 (2a) 的第一和第二区域 (11, 12) 的结温度 ( $T_j$ ); 以及

修改所述冷却层 (3) 或所述电路层 (2) 的所述配置, 以减小所述第一电路层 (2a) 的所述第一和所述第二区域 (11, 12) 的所述计算的结温度的差异。

22. 根据权利要求 21 所述的方法, 其中所述修改所述配置的步骤包括添加、去除、或改变所述冷却层 (3) 或所述电路层 (2) 的至少一个导引组件 (19) 或表面特征 (23), 使得在具有高于平均计算的结温度的所述至少一个第一区域 (11) 的质量流量增加, 或使得在具有低于平均计算的结温度的所述至少一个第二区域 (12) 的质量流量减小, 或同时实现这两者。

23. 根据权利要求 21 或 22 所述的方法, 其中重复所述计算和所述修改步骤, 直到为所述电路层 (2) 的所述第一区域 (11) 和所述第二区域 (12) 计算出均匀的结温度 ( $T_j$ )。

24. 根据权利要求 23 所述的方法,其中重复所述计算和所述修改步骤,直到为所述电路层 (2) 的整个表面计算出均匀的结温度 ( $T_j$ )。

## 集成电路叠层及其热管理

### 技术领域

[0001] 本发明涉及集成电路的热管理。具体而言,本发明涉及集成电路叠层,其包含多个集成电路层,所述多个集成电路层包含电连接第二电路层的至少第一电路层以及配置在第一与第二电路层之间的空间中的至少一个冷却层。

### 背景技术

[0002] 对于希望增加性能的集成电路(即,高性能集成电路)的冷却,在不断增加电路集成度和性能需求的时代尤其是种挑战。随着增加的计算需求,集成电路的处理速度及其时钟频率亦增加,这导致功率消耗的增加以及散热的增加。通过降低个别组件(例如,晶体管及存储器基元)的尺寸,这些组件变得较快。对芯片上的电互连而言则相反。由于缩放效应,使得 RC 时间常数增加,其造成讯号飞行时间增加。此效应限制了芯片的性能,由此称为反向缩放。

[0003] 在已知的集成电路中,大部分的电路组件配置在半导体材料的基本上单一平面中,通常表示为管芯。通过安装在集成电路背表面的冷却设备,这样的配置允许集成电路的冷却效率增加。然而,对于个别电路组件间降低的讯号路径长度,其转变成降低的讯号飞行时间,这进一步协助芯片集成,集成电路叠层发展为包含层叠在彼此顶上的多个电路层。当所有组件的散热通量累加以及热阻由于各个额外组件或电路层而增加时,从背侧冷却此类装置尤其是种挑战。这在芯片叠层中造成较高的温度梯度。

[0004] 可选的冷却方法为层内热管理此类垂直型集成电路。X. Y. Chen、K. C. Toh、以及 J. C. Chai 的「直接液态冷却叠层型多芯片模块(DirectLiquid Cooling of a Stacked Multichip Module)」描述了此方法。其中,检查叠层型多芯片模块的直接单相液态冷却。在 J. M. Koo、S. Im、L. Yang、以及 K. E. Goodson 的论文中描述了另一集成电路叠层,标题为「三维电子电路架构的集成微通道冷却(Integrated Microchannel Cooling for Three-Dimensional Electronic Circuit Architectures)」。此论文通过集成微通道网络来研究三维电路的冷却。采用层内冷却的又一集成电路叠层可从 K. Takahashi、Y. Taguchi、M. Tomisaka 等人的论文中得知。

[0005] 截至目前,对于采用层内冷却来冷却集成电路叠层的配置,不是关于对具有均匀结构及散热的相当低性能集成电路(尤其是存储器模块)的冷却,就是用于较低带宽应用的具有周边电互连的叠层。

[0006] 仍存在着提供用于其它类型应用的集成电路的挑战,例如高性能处理器。另一挑战则是提供一种用于配置集成电路叠层以得到较高功率操作和更有效率的冷却的方法。又一挑战则是提供一种集成电路叠层及其热管理方法,其适用于较小的通道几何,例如,个别电路层之间的小于 300  $\mu\text{m}$  的间隙。

### 发明内容

[0007] 根据本发明的一个方面的实施例,提供一种集成电路叠层。集成电路叠层包含多

个集成电路层,所述多个集成电路层包含至少电连接第二电路层的第一电路层,第一电路层具有较高热产生的至少一个第一区域以及较低热产生的至少一个第二区域,以及至少一个冷却层设置在第一与第二电路层之间的空间中,冷却层包含至少一个流体入口、至少一个流体出口、以及液压连接流体入口与流体出口的中空空间,以利用冷却流体冷却至少第一电路层。至少一个冷却层包含用于在中空空间中产生冷却流体的非均匀流动图形的装置(means),使电路层的第一区域中的传热比第二区域的传热高。

[0008] 通过提供用于在设置在集成电路叠层的第一与第二电路层之间的冷却层中产生非均匀流动图形的装置,冷却流体提供的传热能力适于根据第一电路层的第一和第二区域的冷却需求。

[0009] 根据本发明的实施例,至少一个冷却层包含至少一个导引组件,将至少部分的冷却流体导向第一区域。通过提供将至少部分的冷却流体导向第一区域的至少一个导引组件,来进一步改善较高热产生的第一区域的冷却效果。

[0010] 根据第一方面的又一实施例,至少一个导引组件用以产生通过第一区域的至少一个第一流动,且具有比通过第二区域的第二流动还高的质量流量。通过分别产生具有较高及较低质量流量的第一及第二流动,可以相对于第二区域强化第一区域的冷却性能。

[0011] 根据第一方面的又一实施例,至少一个导引组件包含漏斗结构,其具有朝向流体入口的第一较大开口以及朝向第一区域的第二较小开口。通过将漏斗结构整合到至少一个冷却层中,冷却流体的流动在第一区域被浓缩,使得第一区域的冷却被改善。

[0012] 根据第一方面的又一实施例,至少一个冷却层包含通道结构,其在第一区域具有第一宽度且在第二区域具有第二宽度,第一宽度小于第二宽度。通过在第一及第二区域提供具有不同宽度的通道,冷却流体的速度适于不同的冷却需求。

[0013] 根据第一方面的又一实施例,通道结构的宽度沿着自流体入口至流体出口的至少一个路径减小。通过提供宽度沿冷却流体的路径减小的通道结构,冷却流体的速度适于沿路径减小冷却流体的冷却能力。

[0014] 根据第一方面的又一实施例,至少一个冷却层包含网格结构,其在第一区域的密度低于在第二区域的密度。通过相对于第一区域增加第二区域的网格密度,增加第二区域的流阻,造成通过第一区域的冷却流体的流动增加。

[0015] 根据第一方面的又一实施例,至少一个冷却层包含具有网格组件的网格结构,设置在第一区域中的至少一个第一网格组件比设置在第二区域中的第二网格组件具有更大的截面。通过改变设置在第一和第二区域中的网格组件的截面,使第一和第二区域的传热适于其个别的冷却需求。

[0016] 根据第一方面的又一实施例,网格结构包含在第一与第二电路层之间的电连接。通过利用第一与第二电路层之间的电连接形成网格结构,达到不同电路层间的电连接性以及适应冷却流体通过冷却层的流动。

[0017] 根据第一方面的又一实施例,至少一个冷却层包含在第一电路层处的第一表面以及在第二电路层处的第二表面,第一及第二表面彼此间的距离在第一区域比在第二区域小。通过降低第一区域中的至少一个冷却层的第一与第二表面之间的距离,加速冷却流体在第一区域中的流动,造成冷却性能的改善。

[0018] 根据第一方面的又一实施例,第一与第二表面间的距离沿着自流体入口至流体出

口的至少一个路径减小。通过降低第一与第二表面间的距离,沿至少一个路径朝流体出口加速冷流的速度,使得沿路径加热冷却流体而造成传热能力均等化。

[0019] 根据第一方面的又一实施例,流体入口相对于第二区域被设置得更靠近第一区域。通过将具有较高热产生的第一区域设置为比第二区域更靠近流体入口,由于流体入口处的冷却流体比在流体出口或靠近流体出口的冷却流体的温度低,这增加了第一区域的冷却。

[0020] 根据第一方面的又一实施例,流体出口相对于第一区域被设置得较靠近第二区域。通过将具有较低热产生的第二区域置在较靠近流体出口,因冷却流体已自流体入口至第二区域途中被加热,而使得第二区域的冷却降低。

[0021] 根据第一方面的又一实施例,流体入口及流体出口被设置在邻近冷却层的公共角落,以及第一区域相对于第二区域被设置得较靠近公共角落。通过将第一区域设置为邻近流体入口和流体出口的公共角落,较高热产生的第一区域设置为直接连接在流体入口及流体出口之间,造成朝公共角落的冷却流体的质量流量增加。

[0022] 根据第一方面的又一实施例,冷却层包含至少两个流体入口或至少两个流体出口,使得自第一入口通过第一区域到第一出口的第一流动,分别比自第二入口到第一出口或自第一入口到第二出口的第二流动还短。通过设置第一区域在相对于第二流动具有缩减长度的第一流动中,相对于第二区域使第一区域的冷却增加。

[0023] 根据第一方面的又一实施例,冷却层具有四个侧的矩形,第一及第三侧彼此平行且第二及第四侧彼此平行,第一及第三侧正交于第二及第四侧。冷却层包含设置在四个侧上的两个流体入口和两个流体出口。通过利用四端口(port)冷却流体供给,可进一步改善冷却层中冷却流体的质量流量,造成高性能集成电路较佳的散热。

[0024] 根据第一方面的又一实施例,两个流体入口被设置在第一及第三侧,而两个流体出口被设置在第二及第四侧。通过在冷却层的相对侧上提供流体入口及流体出口,冷却流体在四个角落产生较快的流动,增加该处的冷却性能。

[0025] 根据第一方面的又一实施例,两个流体入口被设置在第一及第二侧,而两个流体出口被设置在第三及第四侧。通过在冷却层的相对侧上提供流体入口及流体出口,冷却流体在两个角落产生较快的流动,并在冷却层的中央区域保持恒定的流。

[0026] 根据第一方面的又一实施例,集成电路叠层包含被设置在公共电路层之上和之下的至少第一及第二冷却层,其中冷却流体在第一冷却层中的流动沿第一方向导向,而冷却流体在第二冷却层中的流动沿与第一方向不同的第二方向导向。通过将冷却流体在第一和第二冷却层中的第一及第二流动导向不同方向,中间电路层的总冷却适于其冷却需求。

[0027] 根据第一方面的又一实施例,集成电路叠层包含至少多个冷却层,其中冷却流体在交替的冷却层中的流动是沿相反方向导向。通过将冷却流体在交替的冷却层中的流动导向相反方向,均等化总冷却性能。

[0028] 根据本发明第二方面的实施例,提供一种配置包含至少第一和第二电路层的集成电路叠层的方法,第一及第二电路层彼此电连接,至少第一电路层具有非均匀功率分布,以及中空冷却层被设置在第一与第二电路层之间。本方法包含以下步骤:

[0029] 在特定配置中,对于通过中空冷却层的冷却流体的特定流动而言,计算第一电路层的第一及第二区域的结温度(junction temperature);以及

[0030] 修改冷却层或第一电路层的配置,以降低第一电路层的第一和第二区域的计算的结温度的差异。

[0031] 通过降低第一电路层的第一和第二区域的计算的结温度差异,改善集成电路叠层的热设计。

[0032] 根据第二方面的又一实施例,修改配置的步骤包含添加、移除、或改变冷却层或电路层的至少一个导引组件或表面特征,使得在具有高于平均计算的结温度的第一区域的质量流量增加,或使得在具有低于平均计算的结温度的第二区域的质量流量降低,或两者皆是。通过修改冷却层或电路层的导引组件或表面特征,以分别增加或减少冷却流体的质量流量或第一和第二区域的对流热阻,而改善集成电路叠层的热设计。

[0033] 根据第二方面的又一实施例,重复计算及修改步骤,直到为电路层的第一区域和第二区域计算出均匀的结温度。通过重复以上步骤直到为第一电路层的两区域计算出均匀的结温度,以平衡不同电路区域的温度。

[0034] 根据第二方面的又一实施例,重复计算及修改步骤,直到为电路层的整个表面计算出均匀的结温度。通过重复计算及修改步骤直到计算出整个表面的均匀的结温度,可最优化集成电路叠层的整个电路层,使集成电路达到最优化配置。

#### 附图说明

[0035] 通过参照根据本发明的优选的示例性实施例的详细说明并结合附图,可以更全面地理解本发明及其实施例。

[0036] 图 1 为根据本发明的实施例的嵌入在含流体结构中的集成电路叠层;

[0037] 图 2 为根据本发明的实施例的嵌入在含流体结构中的集成电路叠层;

[0038] 图 3 为根据常规公知设计的具有中央热点的均匀针鳍阵列 (pin fin array);

[0039] 图 4 为根据本发明的实施例的在流体入口具有热点的均匀针鳍阵列;

[0040] 图 5 为根据本发明的实施例的具有中央低流阻通道的冷却层;

[0041] 图 6 为根据本发明的实施例的具有导引结构以重新分布热流的冷却层;

[0042] 图 7A 及图 7B 为根据本发明的实施例的包含用于最优化冷却性能的各种特征组合的冷却层;

[0043] 图 8A 及图 8B 为根据本发明的实施例的冷却层的截面及模拟散热;

[0044] 图 9A 到 9F 为解释根据图 8 的实施例的冷却性能的图;

[0045] 图 10A 及图 10B 为根据本发明的实施例的冷却层的截面及模拟散热;

[0046] 图 11A 到 11D 为解释根据图 10 的冷却层的冷却性能的图;

[0047] 图 12 为根据本发明的实施例的具有冷却流体的第一配置的四个端口 (port) 的冷却层;

[0048] 图 13 为根据本发明的实施例的具有冷却流体的第二配置的四个端口的冷却层;

[0049] 图 14 为根据本发明的实施例的具有冷却流体的四个端口及最优化冷却性能的其他特征的冷却层;

[0050] 图 15 为集成电路叠层的截面;

[0051] 图 16 为根据图 15 的集成电路叠层的结温度的温度提升;

[0052] 图 17 为根据本发明的实施例的用于最优化电路叠层的方法流程图;



- [0053] 图 18 为根据本发明的实施例的具有集成通道结构的冷却层；
- [0054] 图 19A 及 19B 为根据本发明的实施例的具有变化的网格密度的冷却层的截面；
- [0055] 图 20 为根据本发明的实施例的具有集成通道结构的冷却层；以及
- [0056] 图 21A 及 21B 为根据本发明的实施例的具有集成通道结构的多端口配置的冷却层。
- [0057] 在附图中，相同的标号在不同实施例用以表示类似的组件。此外，字尾加上的字母用以区分类似组件群组中的个别组件。若在对应说明中并未有这样的区分时，则可表示为群组中的任何组件。

### 具体实施方式

[0058] 图 15 显示具有多个集成电路层 2 的集成电路叠层 1 的截面示意图。图 15 所示的集成电路叠层 1 包含三个电路层 2a、2b、及 2c。在每两个电路层 2 之间提供冷却层 3。除了分别配置在电路层 2a 及 2b 以及 2b 及 2c 之间冷却层 3a 及 3b 之外，额外的冷却层 3c 被提供在电路层 2c 顶上。

[0059] 各冷却层 3 在邻近的电路层 2 之间提供中空的空间，且具有流体入口 4 及流体出口 5。在图 15 所示范例中，所有三个冷却层 3 平行配置并连接到公共流体入口 4 和公共流体出口 5。

[0060] 为了彼此电连接不同的集成电路层 2，垂直电连接 6 可配置为真实面阵列且通过冷却层 3。另一电连接 6 提供在电路层 2a 及配置在基板 8 上的接触表面 7 之间。接触表面 7 及基板 8 用于提供集成电路叠层 1 与例如印刷电路板的电连接。为此目的，基板 8 包含例如多个焊接球作为接触垫 9，以连接集成电路叠层 1 与载体或基板的球栅阵列 (BGA)。可选地，集成电路叠层 1 亦可直接焊接到印刷电路板 (PCB)，或由其它已知或未来的接合技术直接或间接连接。

[0061] 对图 15 所示的三维集成电路叠层 1 的热管理是种挑战，因为各电路层 2 增加了叠层的总散热。同时，电路层 2 间可用的用于移除对流热的空间有限。为实现高带宽通讯的电连接 6，在个别电路层 2 间提供的间隙是有限的。举例而言，冷却层 3 的厚度可能限在小于 0.5mm，且典型约在 50 至 500  $\mu\text{m}$  的范围。

[0062] 在电连接 6 密度增加的集成电路叠层 1 中，泵送通过冷却层 3 的冷却流体 10 的流量，由于集成电路叠层 1 的几何形状的流阻增加而受到限制。造成流体入口 4 到流体出口 5 的给定压降的质量流量较低。结果因冷却流体 10 的温度增加，而使嵌在电路层 2 的半导体结的主要温度提升，冷却流体 10 拾取耗散的功率，以下亦称显热 (sensible heat)。

[0063] 图 16 显示对具有均匀散热的电路层 2 的结温度  $T_j$  的各种贡献。图 16 最上方的曲线显示集成电路层 2 的结温度  $T_j$  为在自流体入口 4 的结距离的函数。曲线起始在流体入口 4 的位置 0 并结束在冷却层 3 的流体出口 5 的位置 L。

[0064] 如图 16 所示，起先结温度  $T_j$  急剧上升直到在位置 S 达到临界温度。此乃由于一直到此点，发展的流体及热边界层导致对流热阻降低，在此处发展边界层且对流热阻变为固定。图 16 显示因为显热  $\Delta T_{\text{heat}}$  对传导温度增加  $\Delta T_{\text{cond}}$ 、以及对流温度增加  $\Delta T_{\text{conv}}$  及流体温度增加的不同贡献。为了以不超过最大结温度  $T_{\text{max}}$  的方式，冷却配置在邻近流体出口 5 的位置 L 的集成电路层 2 的区域，冷却流体 10 必需以相对较高的压力泵送通过集成电

路叠层 1。

[0065] 如果集成电路层 2 的热分布是不均匀的,冷却电路层 2 不同区域的问题尤其复杂。尤其是对高性能处理装置的情况而言,其包含执行如算术运算的相当小的处理器核心以及相当大的高速缓存,而高速缓存散发远比处理核心小的热。根据图 15 及 16,若处理核心配置在电路层 2 的右侧,几乎不可能有效冷却处理核心。

[0066] 图 1 显示根据本发明实施例的集成电路叠层 1 可能的实施。在图 1 所示的实施例中,集成电路叠层 1 包含三个电路层 2a 到 2c 以及环绕电路层 2 的四个冷却层 3a 到 3d。最下层的电路层 2a 通过接触垫 9(例如 C4 焊球)连接到接触表面 7。再者,电路层 2a 到 2c 通过个别电路层间的电连接 6 互连。此外,配置在最上层的电路层 2c 及集成电路叠层 1 的壳体 26 顶表面 21 之间的冷却层 3d,作为冷却流体 10 的容纳结构,其包含适应冷却流体 10 的流动 13 的导引组件 19。如下将述,通过适应电路层 2 或冷却层 3,可以降低的泵送功率供给流体入口 4 及流体出口 5 而实现电路叠层 1 的冷却。

[0067] 在图 1 所示的实施例中,分别在左侧及右侧提供两个流体入口 4a 及 4b 电路叠层 1。虽未示于图 1,但泵送到流体入口 4a 及 4b 的冷却流体 10 通过流体出口 5a 及 5b 朝前及后离开集成电路叠层 1。由在上述及以下其它所述的特征,在冷却层 3 中产生的非均匀流动图形使得多个电路层 2a 到 2c 能实现高性能操作。尤其是,以真实区域配置(true area arrangement)的形式包含数量增加的电连接 6。通过在电路层 2 区域的顶表面 21 的顶上安装额外冷却器,可增加对集成电路叠层 1 的冷却。虽未显示在图 1 中,但此类额外冷却器可通过透过导引组件 19 的热传导来改善总冷却。

[0068] 根据所示实施例,可以通过穿晶圆过孔实现电连接 6。将传热几何结构(heat transfer geometry)构建入硅中并可以包含针鳍阵列。电路层 2 可与形成岛的导电焊料接合,由环结构围绕,其由冷却流体 10 密封电互连。接合区域皆将热传导到鳍片。然后将集成电路叠层 1 封装入热膨胀匹配的壳体 26,例如包含冷却流体歧管及可能具有球栅阵列接合的接触垫 9 的硅。该封装方式降低了由于热膨胀失配而引入到易碎电路层 2 的应力,容许所有电路层 2 以及随后描述的所谓四端口歧管方案的两侧热移除。

[0069] 图 2 显示类似于图 1 的集成电路叠层 1。为了改善图 2 的集成电路叠层 1 的冷却,冷却层 3a 及 3c 连接到左侧的第一流体入口 4a 以及右侧的第一流体出口 5a,而冷却层 3b 及 3d 连接到右侧的第二流体入口 4b 以及左侧的第二流体出口 5b。

[0070] 结果,冷却流体 10 以交替方向流过在各电路层 2a 到 2c 之上及之下的冷却层 3a 到 3d。因为电路层 2a 到 2c 每一个被配置在邻近具有交替流动方向的两个冷却层 3a 到 3d 之间,各电路层 2a 到 2c 由左侧及右侧两边冷却。考虑到结温度  $T_j$  及冷却性能,如图 16 所示的仅自一侧冷却,左侧及右侧两边的组合冷却将导致整个电路层 2a 到 2c 范围具有几乎固定的结温度  $T_j$  的改善的冷却性能。

[0071] 图 3 显示公知的集成电路层 2,其包含在集成电路层 2 中央的第一区域 11 以及围绕第一区域 11 的第二区域 12。如图 3 所示,还显示电连接 6 到电路层 2 的投影,在图 3 所示的情况下,其阻碍冷却流体 10 由左到右的流动 13。冷却流体 10 的流动 13 在冷却层 3 中流动,冷却层 3 直接配置在电路层 2 上方或下方。因此电连接 6 作为其所连接的电路组件的冷却鳍片。结果此类结构亦称为“针鳍阵列”。

[0072] 图 3 所示的公知配置具有以下缺点,冷却流体 10 将自配置在左侧的流体入口 4 到

电路层 2 中央的第一区域 11 一路加热。如图 3 所示具有热点在中央的均匀针鳍阵列,或更糟具有热点在流动 13 的末端,具有非常低的泵送效率。在这些情况下,在第一区域 11 的流体温度已经提升得非常高。结果必须增加泵送功率成本才能降低对流阻抗,以维持结温度低于  $T_{max}$ 。

[0073] 图 4 显示根据本发明实施例改善的配置。在图 4 所示的实施例中,包含例如散出大量热的处理器核心的第一区域 11 被配置在邻近流体入口 4,而第二区域 12 主要配置在第一区域 11 的右侧,即较靠近流体出口 5。结果第一区域 11 接收冷却流体 10 的流动 13,其仍在相当低的温度,因而比在缺乏这样的配置下,相对于第二区域 12,增加了第一区域 11 的冷却。结果,相对于图 3 所示的配置,在图 4 所示的配置中可降低流体入口 4 与流体出口 5 间的压降。

[0074] 图 5 显示具有冷却层 3 配置在电路层 2 上的另一配置的电路层 2。在此特定实施例中,通道 14 配置在冷却层 3 中间。尤其是,通过在通道 14 的区域不形成任何电连接 6 来形成通道 14。结果相对于冷却层 3 的其它部分,降低了通道 14 中从冷却层 3 左侧的流体入口 4 提供的冷却流体 10 的流阻。结果相对于通道 14 之上或之下的质量流量,将增加通道 14 中的质量流量。因此原由,配置在通道 14 区域的第一区域 11 相比于配置在电连接 6 的区域中的大部分的第二区域 12 可以被更有效地冷却。虽然包含相对大的散热区域的第一区域 11 被配置在电路层 2 的中央,但在图 5 所示的实施例中仍可被有效冷却。

[0075] 图 6 显示根据本发明进一步的实施例。图 6 所示的配置包含漏斗结构 15,其在靠近流体入口 4 的左侧具有第一开口 16,以及具有靠近第一区域 11 的第二开口 17。若自左到右提供冷却流体 10 的流动 13,即从图 6 所示配置的流体入口 4 到流体出口 5,第一区域 11 的质量流量相对于第二区域 12 增加。尤其是,由在相对宽的第一开口 16 所收集的冷却流体 10 必须通过更小的第二开口 17,而在第一区域 11 增加了流动 13 的速度,一旦流动 13 通过了第一区域 11,第一区域 11 右侧的反向漏斗结构 18 有助于将流动 13 分散在冷却层 3 的整个宽度。此外,由于图 6 配置的对称性,流体入口 4 及流体出口 5 可互换。这意味着可沿任一方向提供冷却流体 10 而不会影响图 6 所示配置的功能性。

[0076] 图 7A 显示结合上述实施例各种特征的进一步配置。尤其是在图 7A 中,第一区域 11 靠近流体入口 4 且配置在通道 14 的入口。导引组件 19 导引流动 13 通过通道 14。结果虽然电连接 6 提供在第一区域 11,其可用于操作配置于第一区域 11 的电路,冷却流体 10 通过第一区域 11 及后续通道 14(其无任何电连接 6)的总流阻低于平均值。相反地,通过冷却层 3 由导引组件 19 与通道 11 分隔且具有电连接 6 的上部和下部的冷却流体 10 的流阻高于平均值。

[0077] 图 7B 显示包含形成两个漏斗结构 15a 及 15b 的分离导引组件的冷却层 3 的另一实施例。此外,通过冷却层的电连接 6 被设置为在第二区域 12a 和 12b 具有较高的密度,以聚焦通过对应于热点 22 的第一区域 11 的冷却流体 10 的流动 13。与图 6 所示的漏斗结构 15 不同,漏斗结构 15a 及 15b 包含分离的组件,容许冷却流体 10 通过第二区域 12a 和 12b 的较低速率的次级流动。

[0078] 如上所述,接近在最大芯片负载处的最大结温度  $T_{max}$  的更加均匀的结温度  $T_j$ ,对于特定功率地图 (map) 会导致更有效的冷却配置。如果根据冷却层 3 的局部热移除能力设计电路层 2 的功率地图,或针对电路层 2 的特定功率地图设计冷却层 3,则会改善电路叠层

1 的总冷却效率。在两种情况下,热移除设计应考虑在特定面积中的电连接 6 的实施密度。

[0079] 可通过尽可能地根据热需求来调整电路层 2 的功率地图,以及根据功率地图来设计冷却层 3,以此获得电及热前景所希望的配置。结果,由于跨冷却层 3 的较低流量及压降,而导致降低的泵送功率以及在流体出口 5 处的最大流体温度。

[0080] 在服务器应用中,许多处理器必须平行冷却,降低每个管芯的流量,容许更小直径的管以及在服务器架中具有更精简的冷却流体互连及降低的泵送功率。增加的流体出口温度造成降低的二次热交换器体积及重量,这是由于两流体环路的改善的温度差异造成的热通量增加,或在最佳情况下因直接将热交换到环境中而消除二次冷却环路。

[0081] 鉴于这些考虑,图 8A 显示根据本发明的又一实施例。尤其是,图 8A 的截面示意图显示电路层 2 及配置在电路层 2 顶上的冷却层 3。冷却层 3 包含由冷却流体 10 填充的中空空间 20 以及顶表面 21。集成电路层 2 在例如第一区域 11 包含热点 22,即相较于电路层 2 的其它区域有热产生及 / 或温度提升的区域。第一区域 11 的左边及右边为第二区域 12a 及 12b,其中自电路层 2 发散较少的热。如图 8A 的截面图所示,中空空间 20 与集成电路层 2 之间没有配置额外的层。然而,在利用可与部份电路层 2 作用的导电冷却流体 10 或冷却流体 10 的情况下,电路层 2 可通过氧化物层或类似的保护层保护。

[0082] 图 8A 显示冷却层 3 的顶表面 21 具有变化的厚度,因而在从左侧的流体入口 4 到右侧的流体出口 5 的路径上距集成电路层 2 的距离亦变化。尤其是,顶表面 21 及集成电路层 2 之间的距离从左至右降低,以便从左至右加速冷却流体 10 的流动 13 的速度,这导致对流热阻的降低。结果在最左边的第二区域 12a,冷却流体 10 具有相对低的流动速度。在该阶段,冷却流体具有相对低的温度,并因其较低流体流阻而容许相对高的对流热阻。相对地,在第二区域 12a 的右侧,冷却流体 10 已被第一区域 11 所发散的热加热,且仅可接受由对流传热所造成的相当小量的温度梯度。为了降低对流热阻,通过窄化限定中空空间 20 的间隙,来增加在右侧区域中的冷却流体 10 的流量。

[0083] 此外,额外表面特征 23 配置在第一区域 11 的顶表面 21 上。表面特征 23 窄化热点 22 的第一区域 11 中顶表面 21 与电路层 2 之间的距离。因上述原由,增加了冷却流体 10 在第一区域 11 中的流量,导致热点 22 的冷却改善。

[0084] 所述变化间隙冷却方案象征性地代表变化对流传热冷却结构的其它可能的实施方案,例如图 18 所示的变化宽度通道,或以下图 19A 及 19B 所示具有导引结构的变化密度针鳍阵列。这些及类似平面结构可由公知的二维光刻界定,而后蚀刻入硅或由电镀敷构建。

[0085] 图 8B 显示电路层 2 在从流体入口 4 到流体出口 5 的路径上产生的结温度  $T_j$ 。对于散发已知量  $Q_1$  到  $Q_n$  的热的各区域,从左到右计算图 8B 所示数据。图 8B 的圆圈表示电路层 2 与相对顶表面 21 间的距离,即提供给冷却流体 10 的间隙宽度。如图 8B 所示,在整个集成电路层 2 的宽度,集成电路层的结温度  $T_j$  维持固定。

[0086] 图 8B 还显示对流热  $\Delta T_{conv}$ 、传导热  $\Delta T_{cond}$ 、以及显热  $\Delta T_{heat}$  对结温度  $T_j$  的不同贡献。因为集成电路层 2 可在其整个表面操作在接近临界结温度,所以可降低流体入口 4 与流体出口 5 之间的压降及流量,因而增加了图 8A 所示冷却设备的效率。

[0087] 图 9 显示与根据图 8A 的集成电路叠层实施例的传热相关的各种参数。在图 9 所示的各部分中可见,通过调整中空空间 20 的间隙宽度,可调整流 13 的平均速度和冷却流体 10 中的压力,以使热通量分别与第一区域 11 及第二区域 12a 及 12b 所散发的热的量成比

例。

[0088] 在图 8A 及图 8B 所示的实施例中,对于特定功率地图,最优化间隙。下表揭露沿冷却流体 10 的流动 13 具有变化及固定间隙的不同冷却设备的结果。适应性间隙测试案例的压降可降低约 10 倍。

[0089]	变化的间隙	均匀间隙
[0090] 总驱散功率:	159.3W	159.3W
[0091] 流体出口温度:	54°C	36.9°C
[0092] 最大雷诺 (Reynold) 数:	169	360
[0093] 最大冷却流体速度:	2.799m/s	5.33m/s
[0094] 压降:	0.728bar	7.87bar
[0095] 最大间隙:	182.5 $\mu$ m	33.8 $\mu$ m
[0096] 最小间隙:	30.2 $\mu$ m	33.8 $\mu$ m
[0097] 流量:	0.0714l/min	0.152l/min

[0098] 图 10A 及 10B 显示可选的集成电路叠层 1 配置,其包含电路层 2、冷却层 3、以及顶表面 21。在图 10A 所示的配置中,顶表面 21 平行于电路层 2。亦即,冷却层 3 的中空空间 20 在整个电路层 2 范围具有均匀的厚度。

[0099] 基于图 10A 及图 10B 的计算界定具有均匀间隙的平行冷却层 3 的最佳功率地图以及未发展的流体及热边界层。对相同流量及压降而言,在最佳功率地图情况下可驱散的最大功率高于均匀热通量情况 45%。根据实施例,在设计集成电路叠层 1 的各个别的电路层 2 时,考虑在流体入口 4 处的强化传热效应。

[0100] 对于图 10A 所示配置的增加的冷却效率而言,电路层 2 的散热  $Q_1$  到  $Q_n$  适合于从左到右流过中空空间 20 的冷却流体 10 的流动 13 的增加了的对流热阻。电路层 2 的散热  $Q_1$  到  $Q_n$  由图 10B 所示的箭头指示,且由左到右减少。圆圈表示配置各区段的努塞尔数 (Nusselt number)  $Nu_i$ , 其为电路层 2 的特定表面区段到冷却层 3 的冷却流体 10 的传热能力的量测。

[0101] 尤其是,电路层 2 的散热在第一区域 11 为最大。在后续第二区域 12a 到 12e, 则散热降低。结果电路层 2 的具有特别高散热的部分被设置于较靠近流体入口 4, 而电路层 2 的具有较低散热的部分被设置于较靠近流体出口 5。结果在电路层 2 的整个宽度,电路层的结温度  $T_j$  维持固定。

[0102] 图 11a-11b 显示图 10A 及 10B 所示配置的努塞尔数、传热系数、计算的最佳热通量、结温度  $T_j$ 、以及其不同构成部分。

[0103] 提供在图 8B 及 10B 的数据表示最佳系统,其中结温度  $T_j$  在整个电路层 2 维持固定。然而实际上,最优化受限于电路层的特定区域或方面。例如,对特定泵送功率而言,在对应于已知热点 22 的第一区域 11 中,最优化可用于限制结温度  $T_j$  不超过最大结温度  $T_{max}$ 。

[0104] 亦可通过以下所述的所谓四端口冷却层架构,来实现小间隙宽度的更有效率的热移除。在两端口配置中,流体入口 4 及流体出口 5 位于冷却层 3 的相对位置,而在四端口的情况下,冷却层 3 的所有四个侧边用以递送及汲出冷却剂。流体入口 4 可由流体出口 5 分隔且相对,如图 12 所示,称为双对称,或可在冷却层 3 的角落相邻并连接,如图 13 所示,称为单对称。入口到出口配置在邻近流体入口 4 及流体出口 5 的角落 24 导致相当短的流体路径。

[0105] 图 12 显示根据本发明实施例的双对称配置的设置。尤其是,图 12 显示所谓四端口配置的电路层 2 及冷却层 3 的上视图。在此配置中,冷却流体 10 自两相对流体入口 4a 及 4b 馈送入冷却层 3,并通过配置在流体入口 4a 及 4b 之间的两个流体出口 5a 及 5b 离开冷却层 3。

[0106] 在图 12 所示的配置中,冷却流体 10 自左边及右边流入冷却层 3,并朝上及朝下离开冷却层 3。不像冷却流体 10 自一侧泵送入并由相对侧泵送出的冷却配置,图 12 所示的配置将在冷却层 3 中发展出非均匀流体分布。尤其是,冷却流体 10 的流 13 在靠近图 12 示出的冷却配置中热点 22a 到 22d 所位于的角落 24a 到 24d,将移动更快速。相反地,中央区域 25 的冷却效率较差,因为在这个区域的流动 13 更缓慢。结果,具有四个热点 22a 到 22d 的电路层 2 被配置成使热点 22a 到 22d 共同位于四个角落 24a 到 24d,以改善冷却。

[0107] 图 13 显示具有单对称配置的冷却层 3 配置在其顶上的电路层 2。在图 13 所示的配置中,冷却流体 10 由两侧馈送入冷却层 3,并由其余两侧流出冷却层 3。不像图 12 所示的配置,在图 13 所示实施例中,冷却流体 10 自邻近的两侧流入冷却层 3。冷却流体 10 的流动 13 将发展出非均匀流动图形,其更有效地冷却靠近流体入口 4 及流体出口 5 两者设置的两个角落 24a 及 24b。结果,具有两个热点 22a 及 22b 的电路层 2 被配置成使两个热点 22a 及 22b 共同位于角落 24a 及 24b,以改善冷却。相反地,剩余中央区域 25 冷却效率较差,且可包含电路层 2 的散热较少的部分。

[0108] 双对称方式能处理四个热点 22,各位于电路层 2 的角落 24,而单对称情况能处理配置在流体入口 4 及流体出口 5 间的角落 24 中的两个热点 22。双对称情况在冷却层 3 的中央具有低热移除率的停滞区,其可利用如上所述的导引结构降低,以最小化低性能区,通过中央热传导结构或自中央藉由停滞区之层相依补偿。

[0109] 计算的流体力学结果已用于计算特定均匀功率驱散下的速度场及电路层表面温度。双端口冷却层 3 具有均匀的流体速度,而四端口冷却层 3 显示流体速度朝冷却层 3 的角落强烈增加,且因来自第一区域 22a 及 22b 的高速流体的剪应力,造成在冷却层 3 中央区域 25 亦具有较高的速度。通过增加冷却层 3 的 x- 及 y- 尺寸,两端口冷却板的流量保持固定。此导致降低较大电路层 2 的冷却效能,因为单位面积规一化的质量流量减少。在另一方面,四端口冷却层 3 的总流量增加。已知四端口冷却层 3 的表面温度有 90% 的区域低于双端口冷却层 3 的温度。

[0110] 图 14 显示配置在具有两个热点 22a 及 22b 的电路层 2 上的冷却层 3 的进一步实施例。图 14 所示实施例中,结合上述实施例的许多特征。尤其是,电路层 2 的热点 22a 及 22b 配置在以四端口设置的冷却层 3 的角落 24a 及 24b。此外,连接电路层 2 及配置在其上或其下的另一电路层 2 的电连接 6,以非均匀方式设置,以导引冷却流体 10 的流动 13 并在冷却层 3 中产生非均匀的流动图形。

[0111] 尤其是,尽管已参考图 12 说明的双对称四端口配置,中央区域 25 将多多少少均等地冷却。部分地通过在未被热点 22 占据的角落 24c 及 24d 中提供较高数目的电连接 6 来达成。以此方式,增加了对应角落 24c 及 24d 的区域中冷却流体 10 的流阻,而降低了中央区域 25 中冷却流体 10 的流阻。效果上实现了冷却流体 10 的非均匀流动图形,其适于电路层 2 的散热。

[0112] 图 18 显示包含四个通道结构 27a 到 27d 的冷却层 3 的配置。在对应未示于图 18

的电路层 2 的热点 22 的第一区域 11 中,通道结构 27c 及 27d 包含窄化结构,其中通道结构 27c 及 27d 的壁被显著地窄化以增加第一区域 11 的质量流量。此外,所有的通道结构 27a 到 27d 在从左侧的流体入口 4 到右侧的各流体出口 5 的路径上窄化,以考虑冷却流体 10 的加热。

[0113] 图 19A 及 19B 显示包含电路层 2 及设置在其上的冷却层 3 的集成电路叠层的进一步实施例。在冷却层 3 中,设置电连接 6 形成网格结构。

[0114] 在图 19A 中通过将较多的电连接 6 设置在对应热点 22 的第一区域 11 中,来调整网格结构的密度。相反地,将较少的电连接设置在电路层 2 的第二区域 12。

[0115] 在图 19B 中,电连接 6 的网格形成矩形结构,即,其具有固定的节距 (pitch) 宽度。然而,为了减少在电路层 2 的热点 22 的第一区域 11 中的对流热阻,增加在此处形成电连接 6 的各针状物的直径。相反地,降低第二区域 12 的针状物的直径以降低流阻。

[0116] 图 20 显示冷却层 3 的另一配置,以聚焦在对应热点 22 的第一区域 11 中的冷却流体 10 的流动 13。尤其是,在被分为图 20 右侧的三个个别的流动 13d 到 13f 之前,在第一区域组合通过流体入口 4a 到 4c 馈送入冷却层的冷却流体 10 的流动 13a 到 13c。结果,左侧以及右侧的第二区域 12a 及 12b 分别比设置在中央的第一区域 11 的冷却效率差。

[0117] 图 21A 及 21B 显示所谓的多端口配置的冷却层 3 的又一实施例。尤其是,图 21A 从冷却层 3 的所有四个侧具有三个流体入口 4a 到 4c 以及三个流体出口 5a 到 5c。配合多通道结构 27,冷却层 3 的冷却效能适于未显示在图 21A 中的电路层 2 的散热。

[0118] 图 21B 显示四端口配置的另一冷却层 3,其具有两个流体入口 4a 及 4b 及两个流体出口 5a 及 5b。由于冷却层 3 的流体入口 4、流体出口 5、以及许多通道结构 27 的设置,有效率地冷却由通过冷却层 3 的许多电连接 6 来连接的两个第一区域 11a 及 11b。

[0119] 图 17 显示根据本发明实施例最优化集成电路叠层 1 的方法流程图。在此描述的方法可用于电路层 2、或冷却层 3、或两者的设计阶段。

[0120] 在步骤 A,计算至少一个电路层 2 的结温度  $T_J$ 。计算可基于电路层 2 的已知功率地图或其构成部分。可选地,可通过执行对原型电路层 2 的量测来得到结温度  $T_J$ 。

[0121] 如果已知电路层 2 的功率地图,则可以连续方式来计算其结温度  $T_J$ ,始于从已知边界条件的点(例如流体入口 4 的温度),然后计算邻近区域的结温度  $T_J$ ,直到知道电路层 2 整个表面的结温度  $T_J$ 。

[0122] 在步骤 B,可识别一个或多个第一区域 11。在一个实施例中,首先可计算平均结温度  $T_J$ 。然后将不同区域的结温度  $T_J$  与平均温度或给定的最大结温度  $T_{max}$  比较。举例而言,如果识别出具有高于平均温度的一个或多个区域,或识别出低于平均温度的一个或多个区域,便分别标示为第一区域 11 及第二区域 12。

[0123] 在步骤 C,执行测试,测试结温度  $T_J$  是否足够均匀。若是的话,则最优化将终止。例如,电路层 2 的整个表面的结温度  $T_J$  可为恒定的,即,相对于有效率的冷却,电路叠层 1 处于最佳配置。可选地,一旦在步骤 B 所识别出最热的第一区域 11 的结温度  $T_J$  低于最大结温度  $T_{max}$ ,或一旦已经执行了预定数目的最优化步骤,则可终止最优化程序。若在集成电路叠层设计的预先修正中未达到进一步的均等化,则亦可终止程序。

[0124] 不然,即,若结温度  $T_J$  不够均匀,则方法前进到步骤 D,通过修正冷却层 3 或电路层 2 的表面,来试图改善电路叠层 1 的冷却性能。尤其是,使用装置 (means) 来增加第一区域

11 的质量流量,或减少第二区域 12 的质量流量,或两者。此类装置可从上述揭露的技术或电路或冷却层设计领域的技术人员所公知的技术中自由地选择。

[0125] 尤其是,可实施以下方法中的一种或几种:

[0126] 1. 将与第一区域 11 有关的电路组件移动到更靠近一个或多个流体入口 4。

[0127] 2. 可提供额外的流体入口 4 或流体出口 5。

[0128] 3. 降低在第一区域 11 中的中空空间 20 的间隙宽度或加大在第二区域 12 中的该间隙宽度。

[0129] 4. 降低在第一区域 11 中的网格密度或增加在第二区域 12 中的网格密度,例如,通过重新定位电路层间连接 6。

[0130] 5. 可提供或加大将流动 13 的至少一部分导向第一区域 11 的导引组件 19。

[0131] 6. 可提供以冷却流体 10 增加的流动 13 来供给或汲出第一区域 11 的通道 14。

[0132] 随后,从步骤 A 计算更新的结温度  $T_j$  开始来重复本方法。

[0133] 虽然参考上述不同实施例已说明产生非均匀流动图形的各种特征,然而本领域的技术人员应清楚,为了改善集成电路叠层 1 的冷却效率,可以通过许多其它配置来设置和组合任何的这些特征。



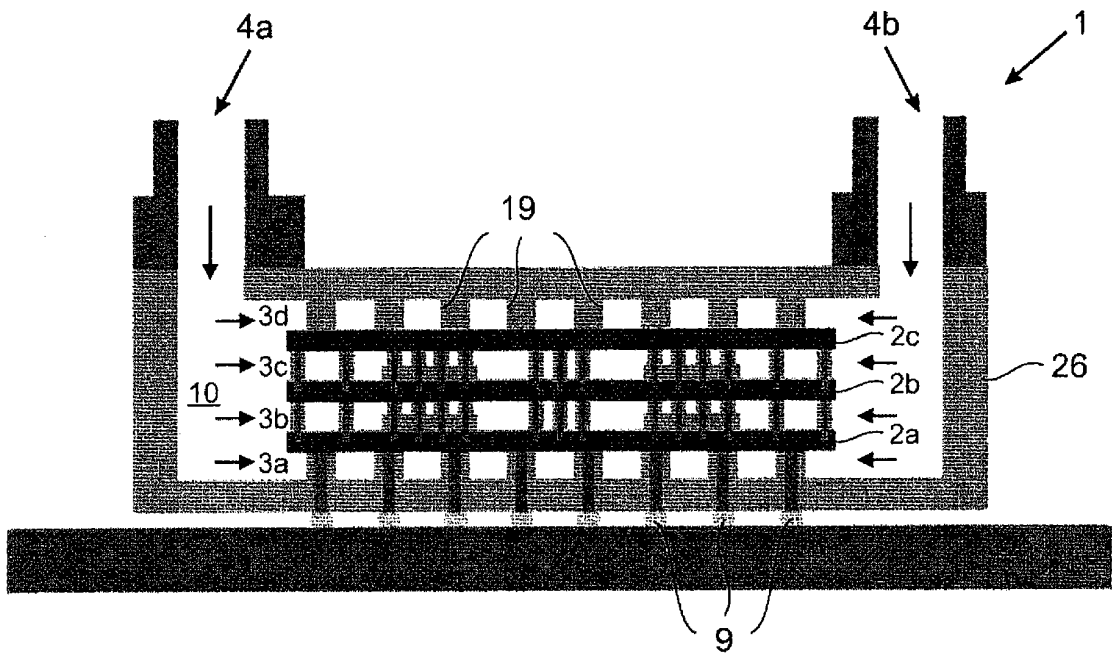


图 1

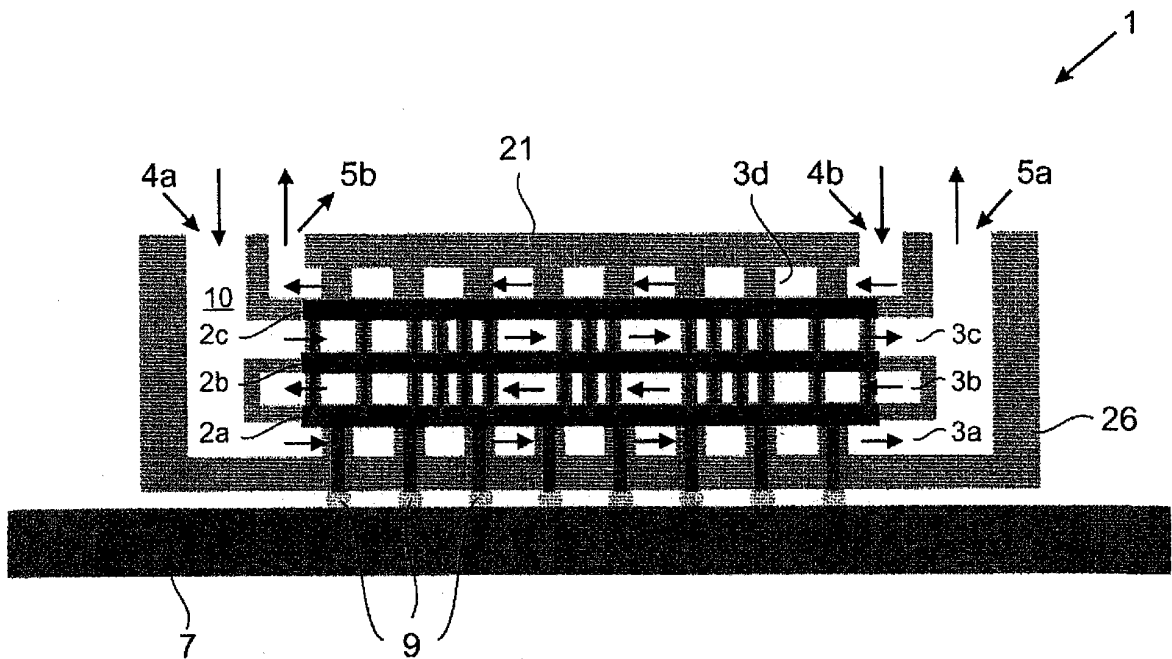


图 2

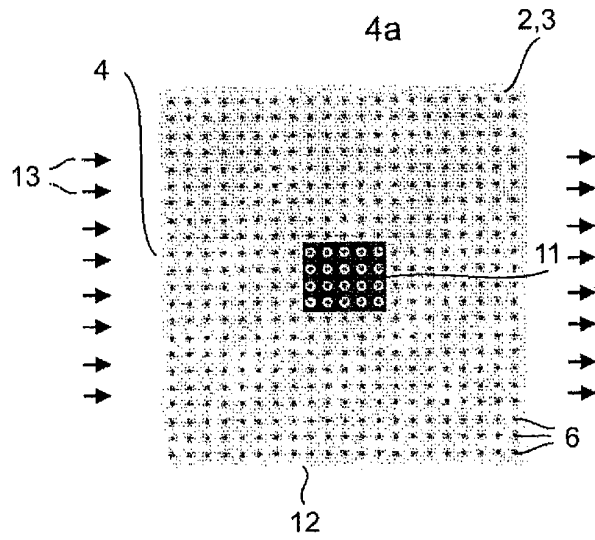


图 3

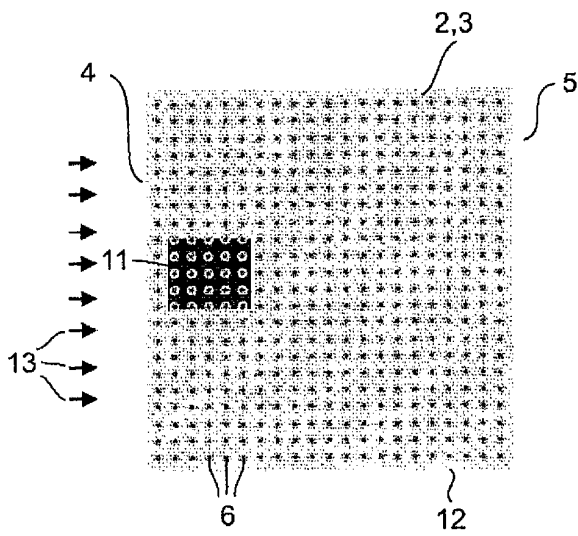


图 4

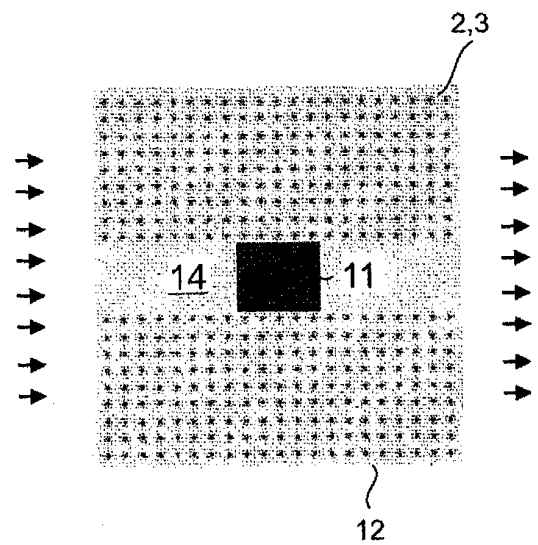


图 5

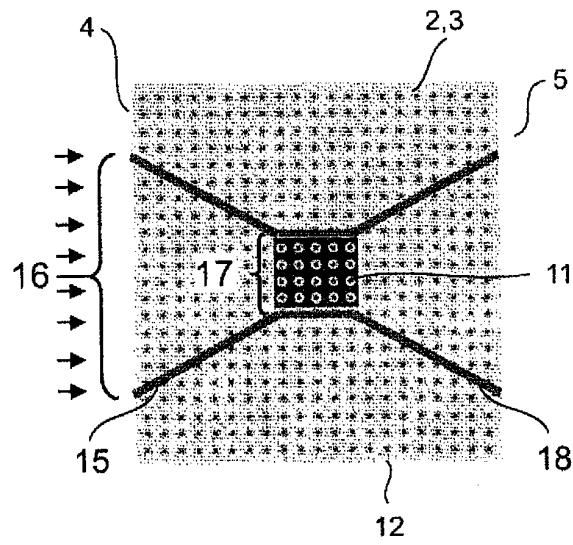


图 6

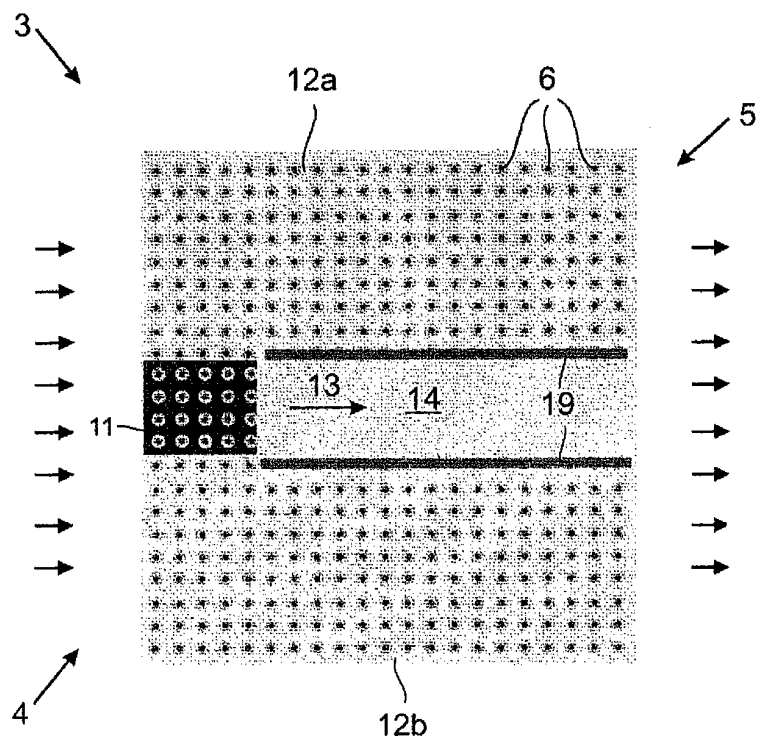


图 7A

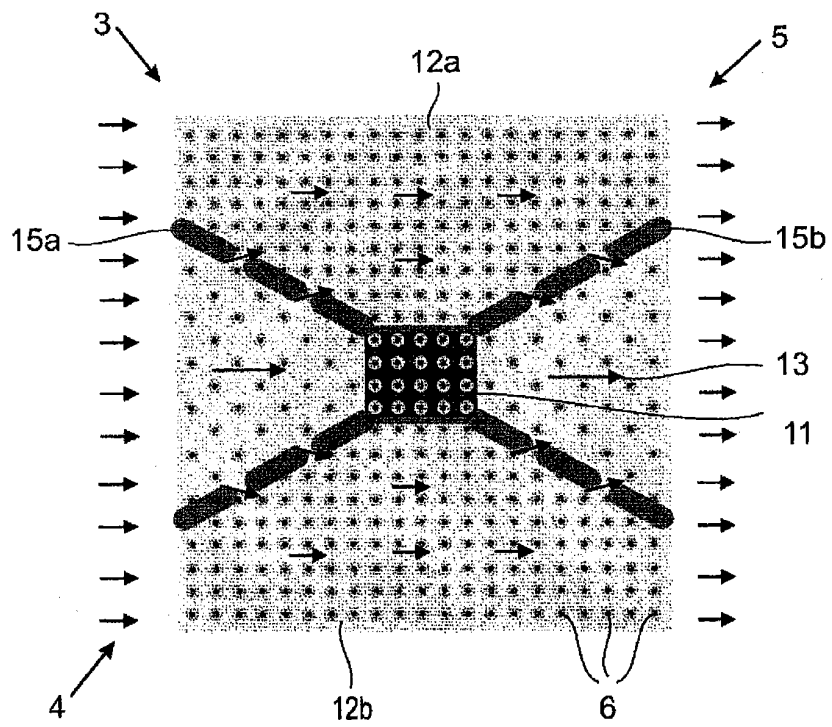


图 7B

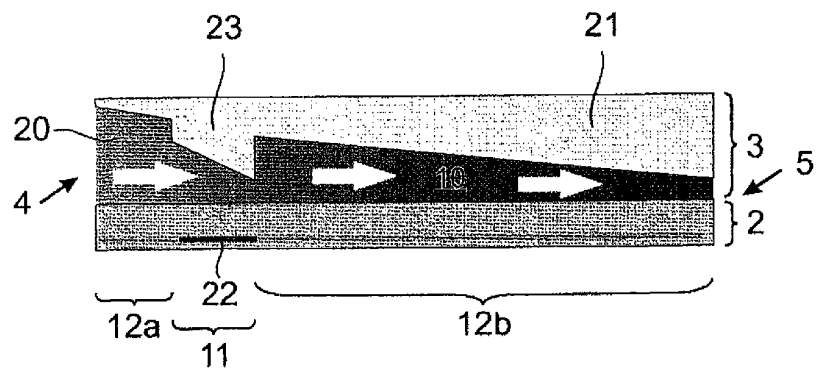


图 8A

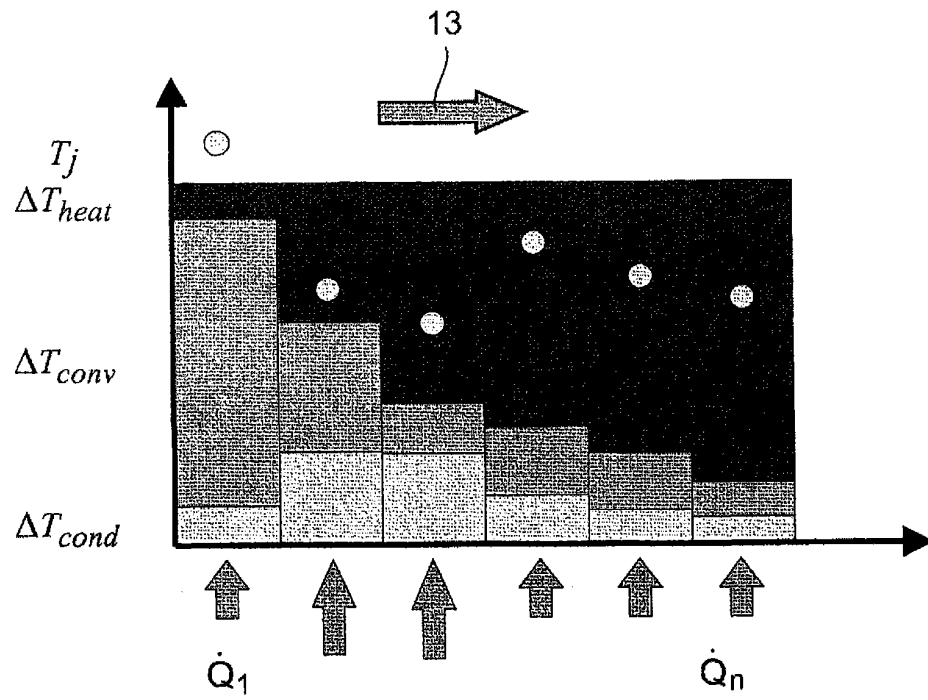


图 8B

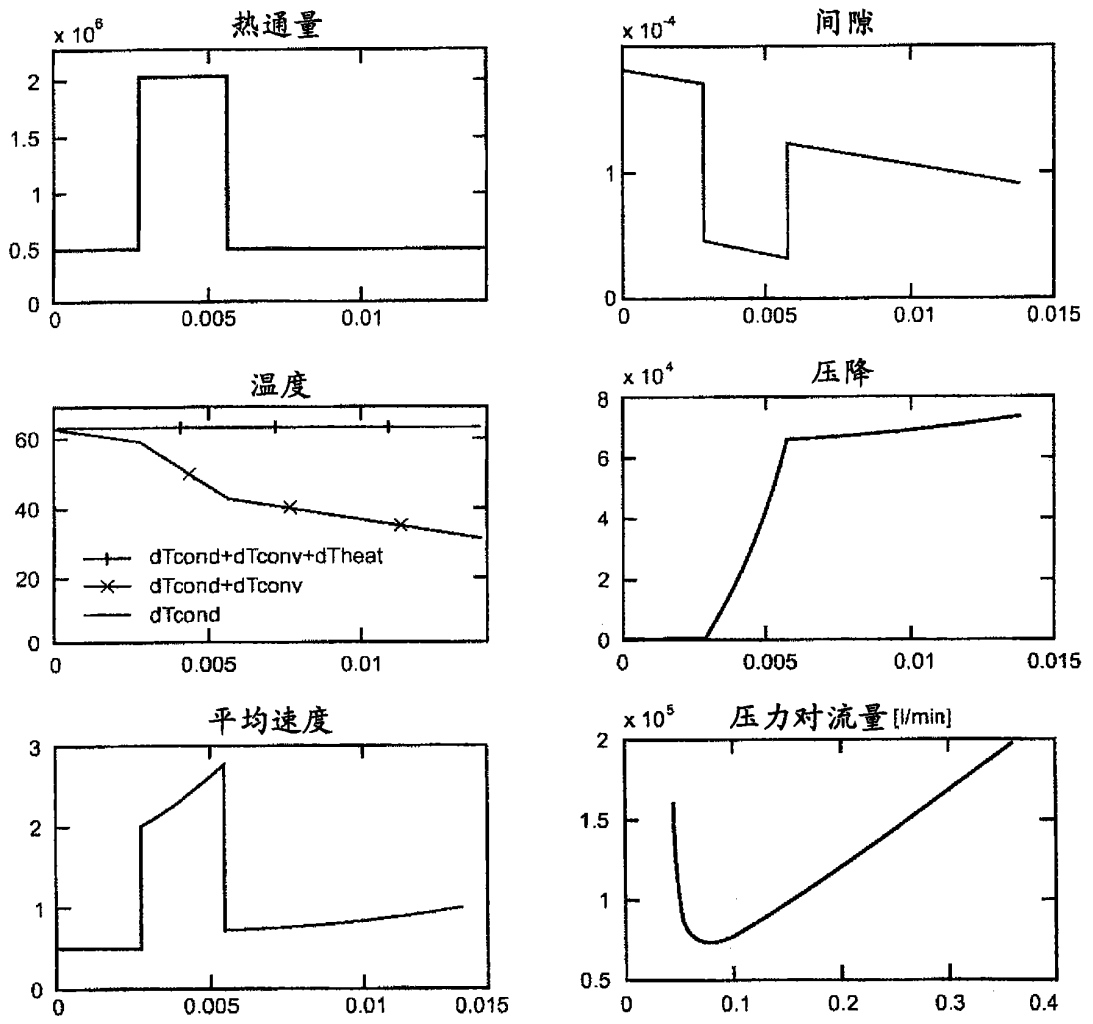


图 9

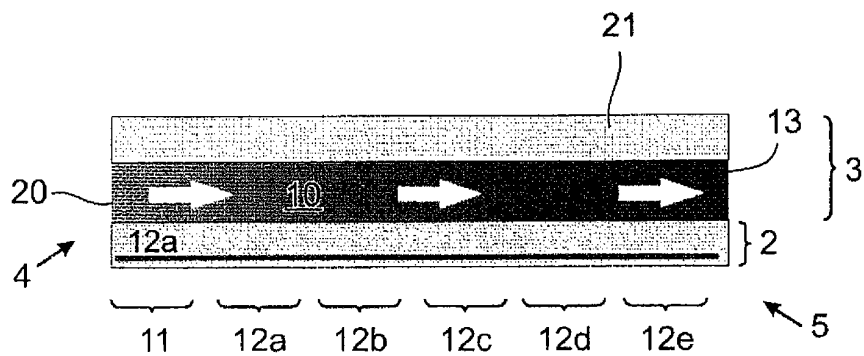


图 10A

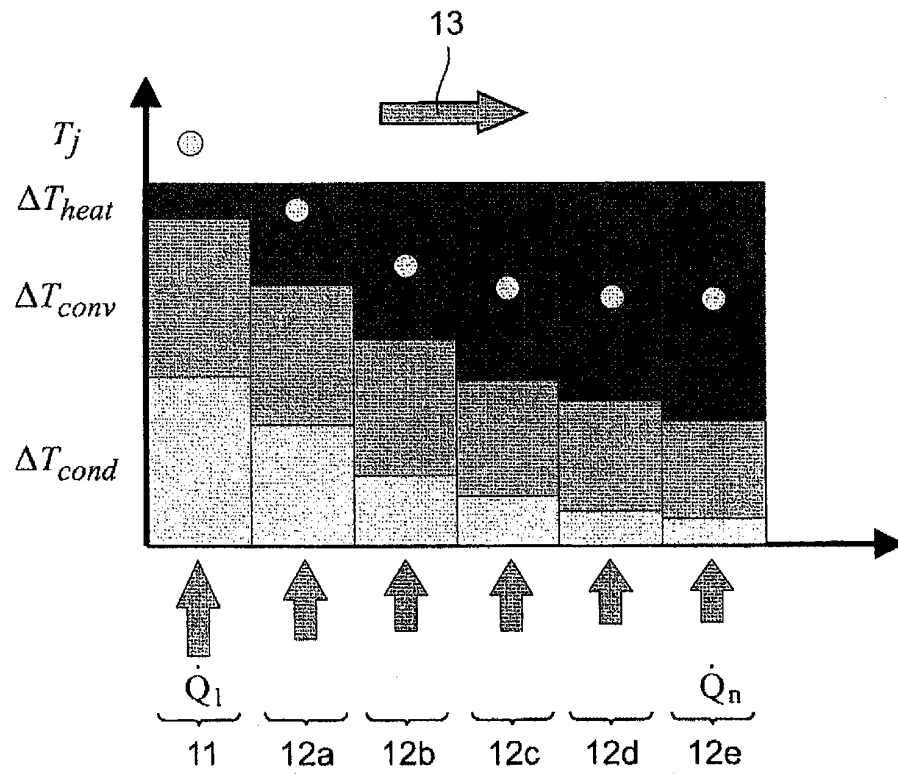


图 10B

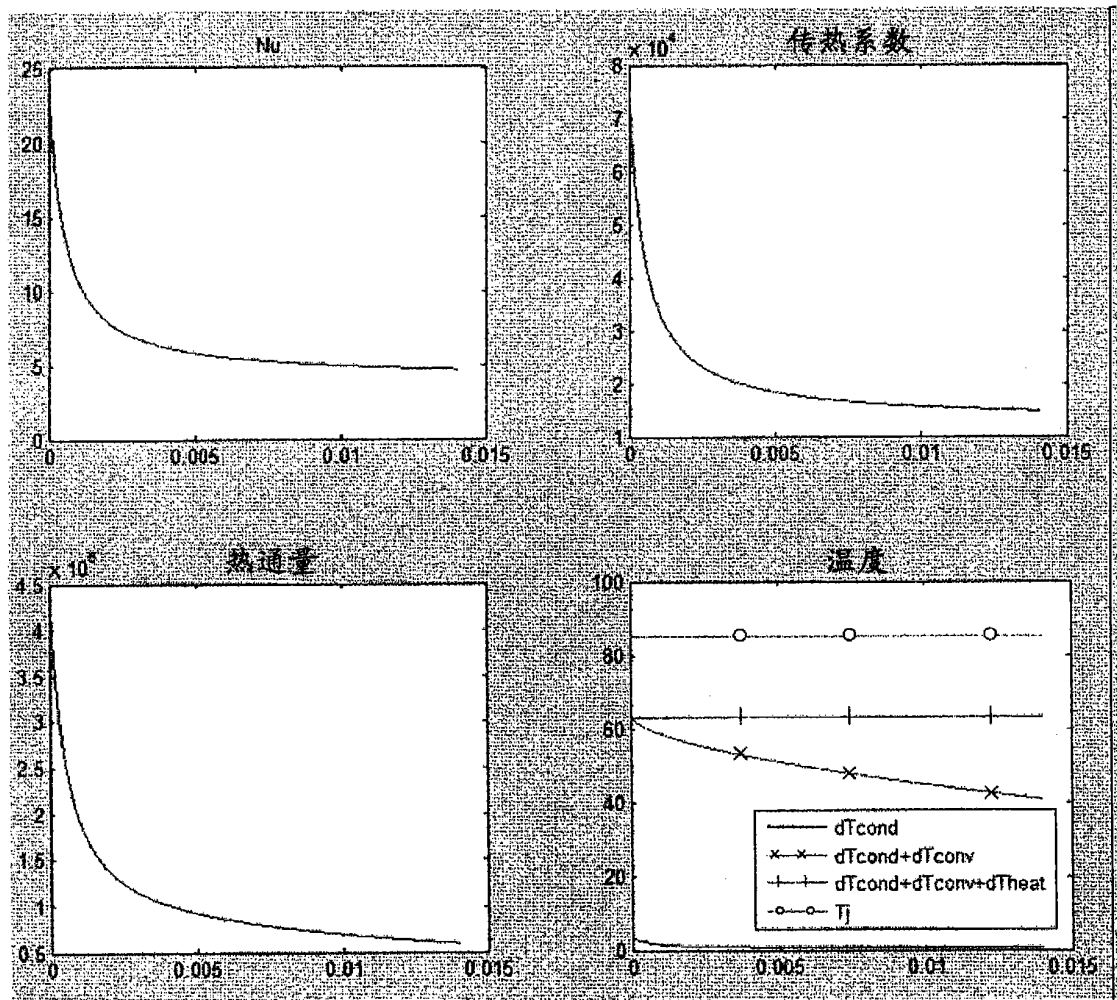


图 11



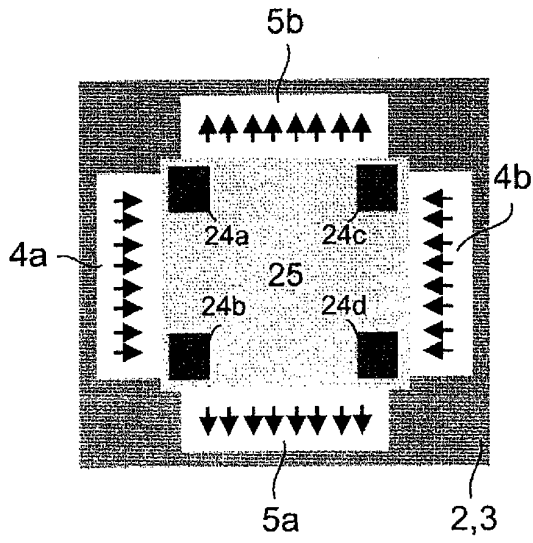


图 12

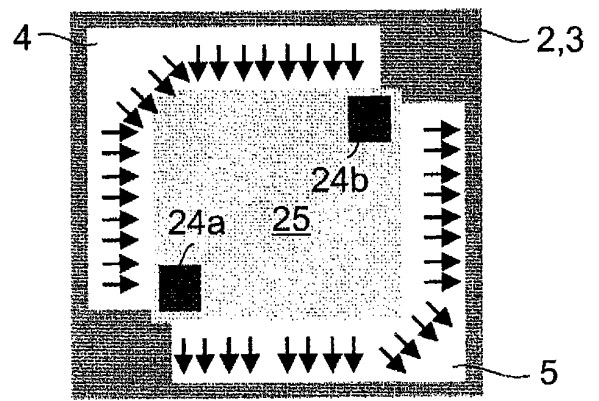


图 13

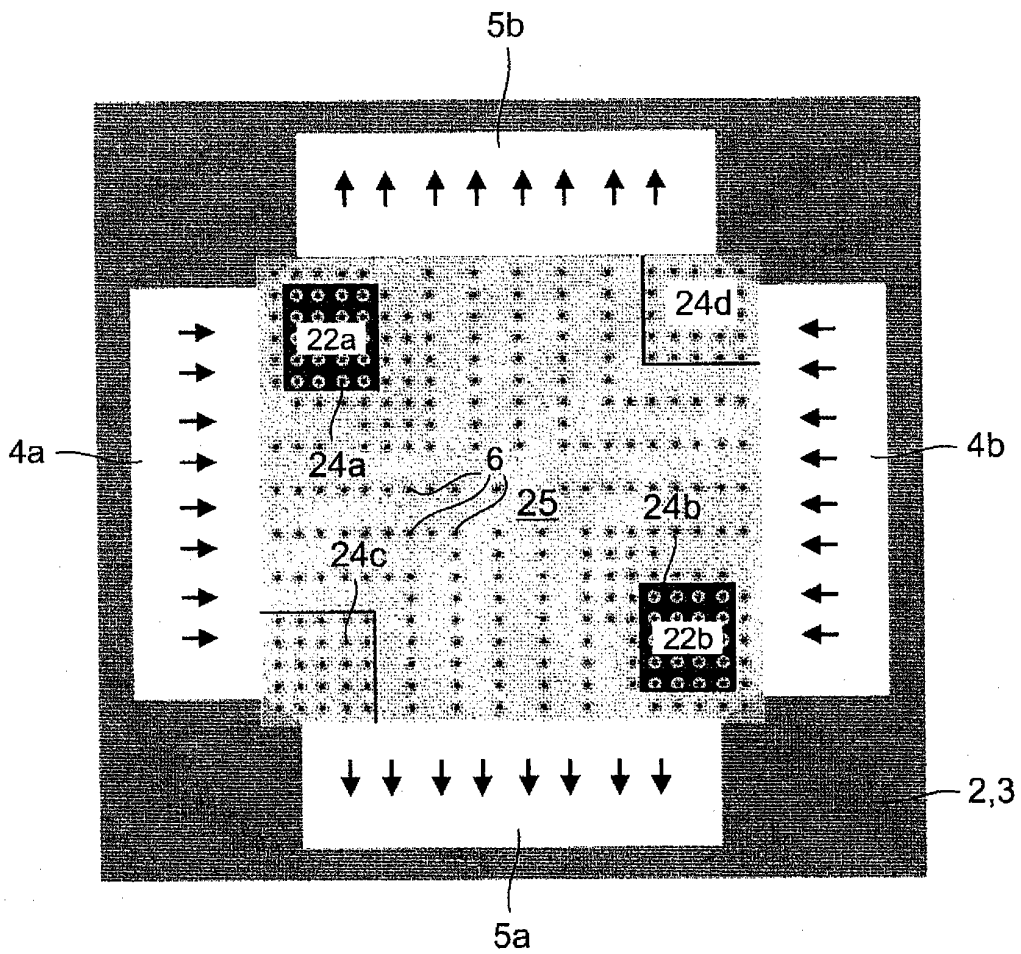


图 14

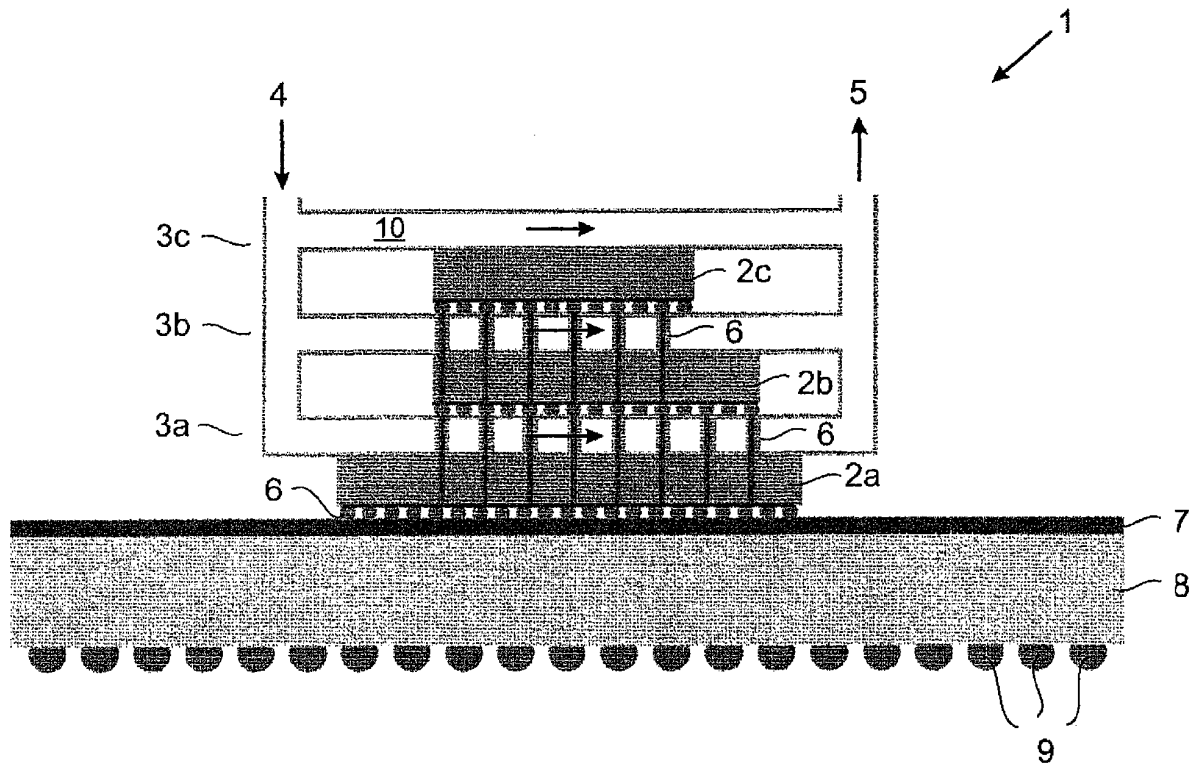


图 15

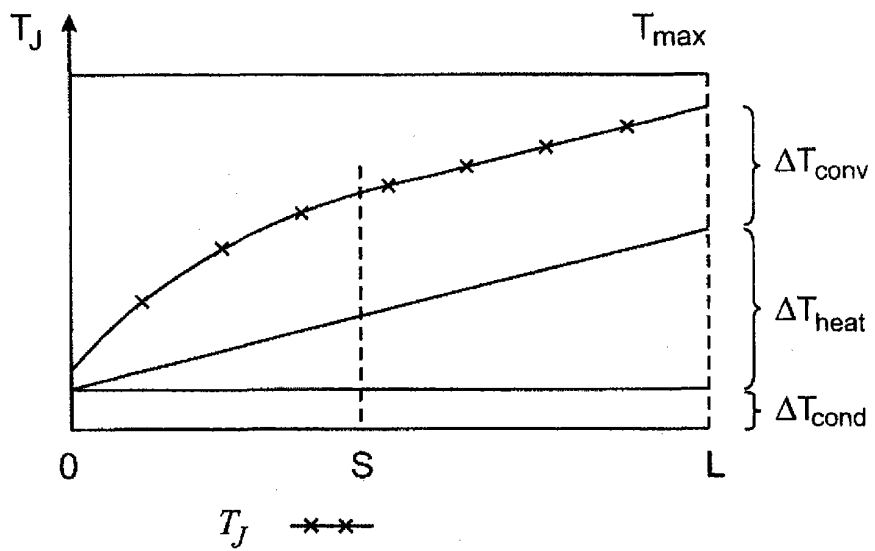


图 16

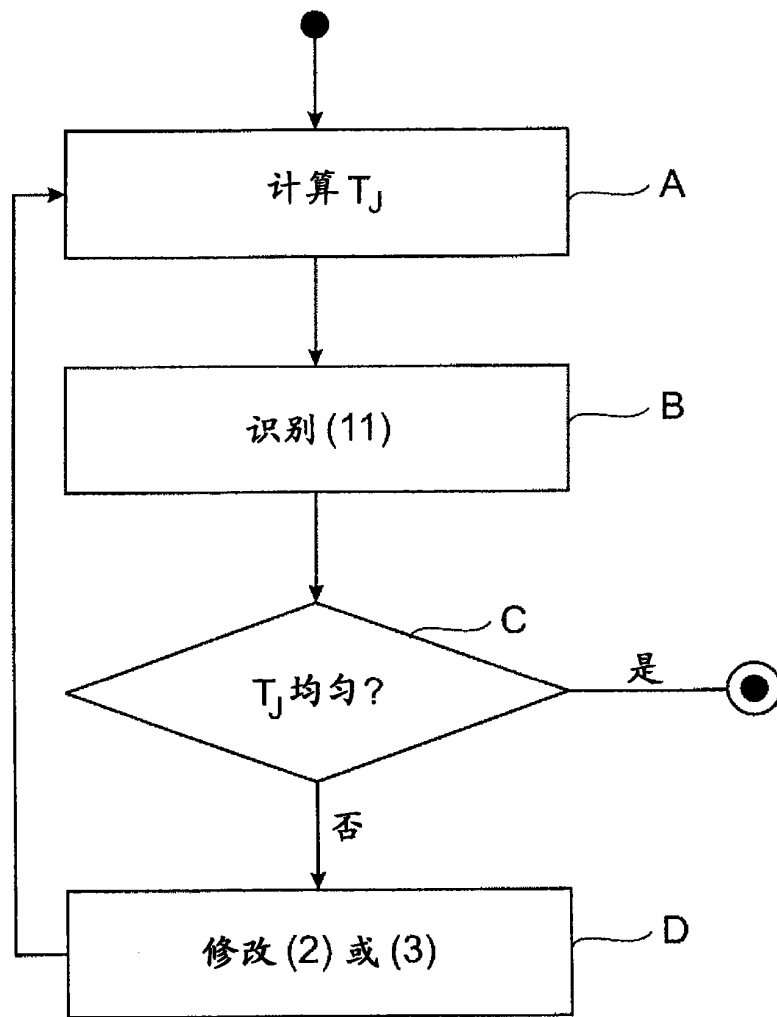


图 17

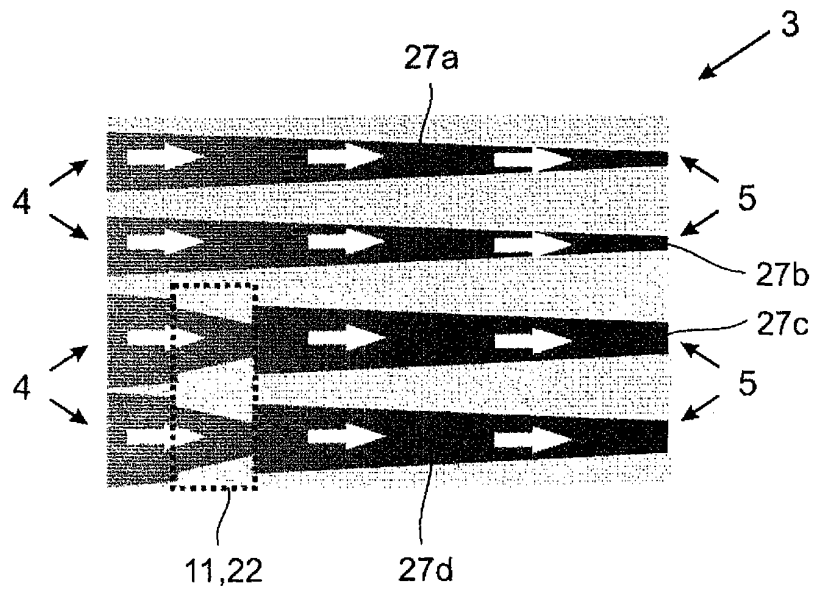


图 18

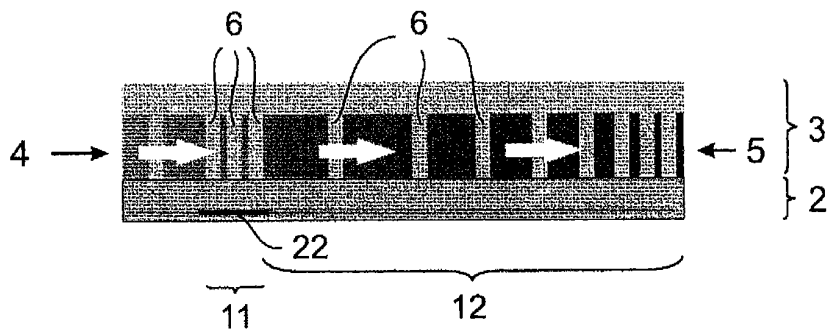


图 19A

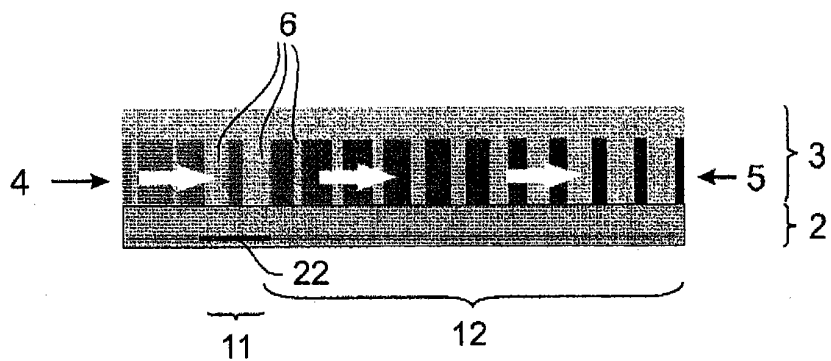


图 19B

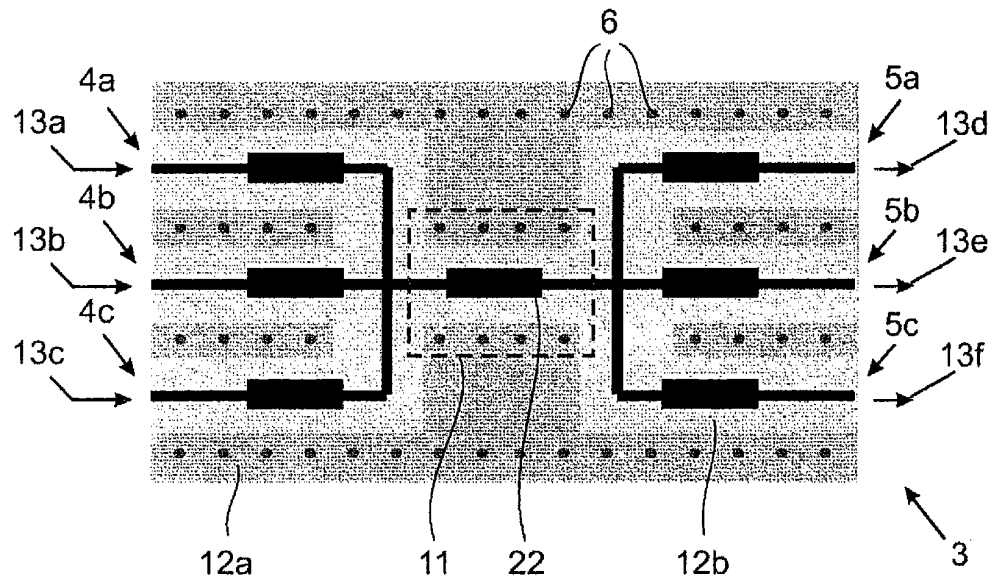


图 20

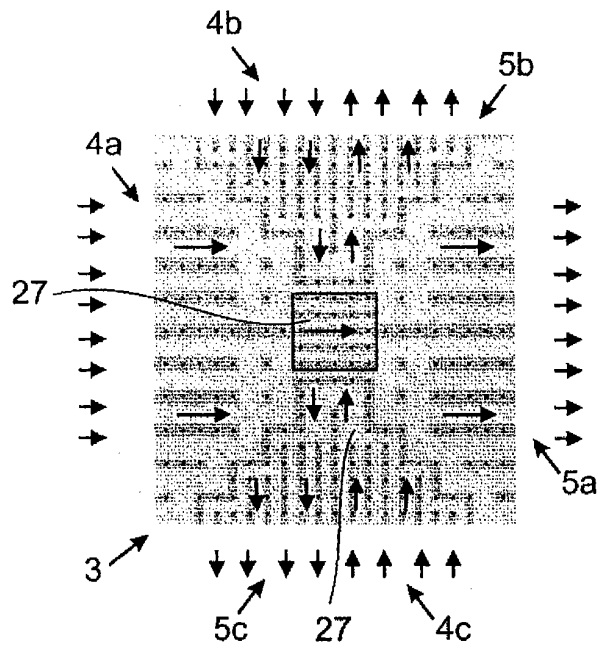


图 21A

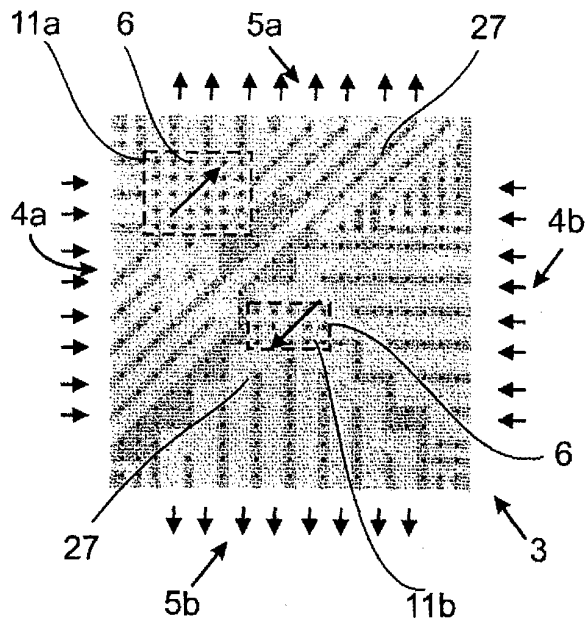


图 21A