



(12) 发明专利申请

(10) 申请公布号 CN 102738025 A

(43) 申请公布日 2012. 10. 17

(21) 申请号 201210090879. 4

H01L 23/48(2006. 01)

(22) 申请日 2012. 03. 30

H01L 23/52(2006. 01)

(30) 优先权数据

H01L 25/065(2006. 01)

13/077, 292 2011. 03. 31 US

1153083 2011. 04. 08 FR

(71) 申请人 SOITEC 公司

地址 法国贝尔尼

(72) 发明人 M·佐高

(74) 专利代理机构 北京戈程知识产权代理有限公司 11314

代理人 程伟 孙向民

(51) Int. Cl.

H01L 21/60(2006. 01)

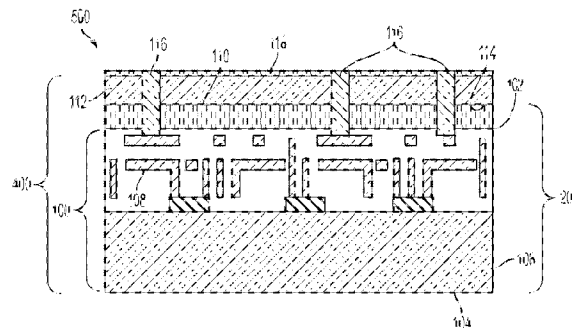
权利要求书 2 页 说明书 14 页 附图 19 页

(54) 发明名称

形成键合半导体结构的方法和用该方法形成的半导体结构

(57) 摘要

一种形成键合半导体结构的方法和用该方法形成的半导体结构,形成键合半导体结构的方法包括:提供包括器件结构的第一半导体结构;在低于大约 400℃ 的温度下将第二半导体结构键合到第一半导体结构;通过第二半导体结构进入第一半导体结构形成贯通晶片互连;以及在与第一半导体结构的相反侧将第三半导体结构键合到第二半导体结构。在另外的实施例中,提供第一半导体结构。将离子注入到第二半导体结构中。第二半导体结构仍然键合到第一半导体结构。使第二半导体结构沿离子注入平面断裂,至少部分通过第一和第二半导体结构形成贯通晶片互连,在与第一半导体结构相反侧将第三半导体结构键合到第二半导体结构。键合半导体结构是使用这种方法形成的。



CN 102738025 A

1. 一种形成键合半导体结构的方法,包括:
提供包括至少一个器件结构的第一半导体结构;
在低于大约 400°C 的温度下将第二半导体结构键合到所述第一半导体结构;
通过所述第二半导体结构进入所述第一半导体结构并且达到所述至少一个器件结构形成至少一个贯通晶片互连;以及
在所述第二半导体结构与所述第一半导体结构的相反的那一侧将所述第二半导体结构键合到第三半导体结构。
2. 根据权利要求 1 所述的形成键合半导体结构的方法,其中将所述第二半导体结构键合到所述第一半导体结构包括:
将相对较厚的半导体结构键合到所述第一半导体结构上;以及
减薄所述相对较厚的半导体结构,以形成所述第二半导体结构,所述第二半导体结构包括相对较厚的半导体结构余下的键合到所述第一半导体结构上的相对较薄的部分。
3. 根据权利要求 1 所述的形成键合半导体结构的方法,进一步包括将所述第二半导体结构选择为至少基本包含硅。
4. 根据权利要求 3 所述的形成键合半导体结构的方法,进一步包括将所述第二半导体结构选择为至少基本包含单晶硅。
5. 根据权利要求 1 所述的形成键合半导体结构的方法,进一步包括在低于大约 400°C 的温度下通过所述第二半导体结构进入所述第一半导体结构并且达到所述至少一个器件结构形成所述至少一个贯通晶片互连。
6. 根据权利要求 1 所述的形成键合半导体结构的方法,进一步包括在所述第二半导体结构中形成至少一个热管理结构。
7. 根据权利要求 6 所述的形成键合半导体结构的方法,其中形成至少一个热管理结构包括在所述第一半导体结构中形成与所述至少一个器件结构电气隔离的至少一个虚设金属焊盘。
8. 根据权利要求 6 所述的形成键合半导体结构的方法,进一步包括通过改变所述至少一个热管理结构的尺寸、数量、成分、位置和形状的至少其中之一来调整所述第二半导体结构的热膨胀系数。
9. 根据权利要求 8 所述的形成键合半导体结构的方法,进一步包括调整所述第二半导体结构的热膨胀系数,使得所述第二半导体结构的热膨胀系数与所述第一半导体结构的热膨胀系数之比介于 0.67 和 1.5 之间。
10. 根据权利要求 1 所述的形成键合半导体结构的方法,进一步包括在将所述第二半导体结构键合到所述第一半导体结构上之后以及在将所述第二半导体结构键合到所述第三半导体结构之前,在所述第二半导体结构上形成附加器件结构。
11. 一种键合半导体结构,包括:
包括至少一个器件结构的第一半导体结构;
键合到所述第一半导体结构上的第二半导体结构,所述第二半导体结构包括断裂的相对较厚的半导体结构的一部分;以及
至少一个贯通晶片互连,其延伸通过所述第二半导体结构、至少部分通过所述第一半导体结构并且达到所述至少一个器件结构。

12. 根据权利要求 11 所述的键合半导体结构,进一步包括在所述第二半导体结构中的至少一个热管理结构。

13. 根据权利要求 11 所述的键合半导体结构,进一步包括在所述第二半导体结构与所述第一半导体结构的相反的那一侧键合到所述第二半导体结构的第三半导体结构。

14. 根据权利要求 11 所述的键合半导体结构,其中所述第二半导体结构具有至少基本等于所述第一半导体结构的热膨胀系数的热膨胀系数。

15. 根据权利要求 11 所述的键合半导体结构,其中所述第二半导体结构至少基本包含硅。

16. 根据权利要求 15 所述的键合半导体结构,其中所述第二半导体结构至少基本包含单晶硅。

形成键合半导体结构的方法和用该方法形成的半导体结构

技术领域

[0001] 本发明的实施例一般涉及用于形成键合半导体结构的方法和使用这种方法形成的最终的键合半导体结构。

背景技术

[0002] 两个或多个半导体结构的三维 (3D) 集成可以对微电子应用产生多种益处。例如, 微电子元件的 3D 集成可以使电性能和功耗得到改善, 同时降低器件封装的面积。例如, 参见 Garrou 等人的“*The Handbook of 3D Integration*,” Wiley-VCH(2008)”。

[0003] 通过将半导体芯片贴装到一个或多个其他半导体块上 (即芯片到芯片 (D2D))、将半导体芯片贴装到一个或多个半导体晶片上 (即芯片到晶片 (D2W)) 以及将半导体晶片贴装到一个或多个其他半导体晶片上 (即晶片到晶片 (W2W)) 或其组合, 可以进行半导体结构的 3D 集成。

[0004] 通常, 单独的半导体结构 (例如芯片或晶片) 可能是相对较薄的, 是用于处理半导体结构的设备难以操作的。因此, 所谓的“载体”芯片或晶片可以被贴装到其中包括起作用的半导体器件的有源和无源元件的实际半导体结构上。载体芯片或晶片通常不包括所要形成的半导体器件的有源或无源元件。这种载体芯片和晶片被称为“载体衬底”。载体衬底增加了半导体结构的总体厚度, 并且有助于处理设备操作半导体结构 (通过对相对较薄的半导体结构提供结构支撑), 所述处理设备用于处理包括将在其上制造的半导体器件的有源和无源元件的贴附到其上的半导体结构中的有源和 / 或无源元件。这种包括将在其上制造的半导体器件的有源和 / 或无源元件或者当制造过程完成时最终包括将在其上制造的半导体器件的有源和 / 或无源元件的半导体结构在本文中被称为“器件衬底”。

[0005] 将一个半导体结构键合到另一半导体结构上所使用的键合技术可以以不同的方式分类, 一种方式是是否在两个半导体结构之间设置中间材料层以将两个半导体结构键合到一起, 第二种方式是键合界面是否允许电子 (即电流) 通过界面。所谓的“直接键合方法”是这样的方法: 在两个半导体结构之间建立直接的固体与固体化学键合以将它们键合到一起, 而不需要在两个半导体结构之间使用中间键合材料将它们键合到一起。已经开发直接金属与金属键合方法, 用于将第一半导体结构的表面处的金属材料键合到第二半导体结构的表面处的金属材料。

[0006] 还可以通过执行每个方法的温度范围对直接金属与金属键合方法进行分类。例如, 一些直接金属与金属键合方法是在相对较高的温度下执行的, 导致键合界面处的金属材料至少部分熔化。用于键合包括一个或多个器件结构的经加工半导体结构时, 这种直接键合过程是不理想的, 因为相对较高的温度可能不利地影响先前形成的器件结构。

[0007] “热压缩”键合方法是一种直接键合方法, 在该方法中, 在介于两百摄氏度 (200°C) 和大约五百摄氏度 (500°C) 之间、并且通常介于大约三百摄氏度 (300°C) 和大约四百摄氏度 (400°C) 之间的升高温度下, 在键合表面之间施加压力。

[0008] 已经开发了可以在两百摄氏度 (200°C) 或更低的温度下执行的其他直接键合方

法。这种在两百摄氏度 (200°C) 或更低的温度下执行的直接键合过程在本文中被称为“超低温”直接键合方法。通过仔细去除表面杂质和表面化合物 (例如自然氧化物) 以及通过在原子尺度增加两个表面之间紧密接触的面积, 可以执行超低温直接键合方法。通常是通过抛光键合表面以将表面粗糙度降低到接近原子尺度的值、通过在键合表面之间施加压力导致塑性变形、或者通过既抛光键合表面又施加压力以获得这种塑性变形来获得两个表面之间紧密接触的区域。

[0009] 可以执行一些超低温直接键合方法, 而不需要在键合界面处的键合表面之间施加压力, 尽管在其他超低温直接键合方法中可以在键合界面处的键合表面之间施加压力, 以便在键合界面处获得适当的键合强度。在键合表面之间施加压力的超低温直接键合方法在本领域中通常被称作“表面辅助键合”或“SAB”方法。因此, 当在本文中使用时, 术语“表面辅助键合”和“SAB”表示和包括任意的直接键合过程, 其中通过在两百摄氏度 (200°C) 或更低的温度下将第一材料靠近第二材料并且在键合界面处的键合表面之间施加压力将第一材料直接键合到第二材料。

[0010] 通常使用粘结剂将载体衬底贴附到器件衬底上。也可以使用类似的键合方法来将在其中包括一个或多个半导体器件的有源和 / 或无源元件的一个半导体结构固定到在其中同样包括一个或多个半导体器件的有源和 / 或无源元件的另一半导体结构上。

[0011] 半导体芯片可以具有与其将要连接到的其他半导体结构上的连接不匹配的电连接。可以在两个半导体结构之间或者任意半导体芯片和半导体封装之间放置内插物 (即附加结构), 以改变和对准适当的电连接。内插物可以具有用于在所需要的半导体结构之间实现适当的接触的一个或多个导电路径和通孔。

发明内容

[0012] 本发明的实施例可以提供用于形成半导体结构的方法和结构, 特别是提供用于形成键合半导体结构的方法和结构。该发明内容部分是为了以简单的形式介绍一组概念, 这些概念在详细描述本发明的实施例时会进一步描述。该发明内容不会确定要求保护的主题的关键特征或必要特征, 也不会用于限制所要求保护的主题的范围。

[0013] 在一些实施例中, 本发明包括形成键合半导体结构的方法。根据这种方法, 提供包括至少一个器件结构的第一半导体结构。在低于大约 400°C 的温度下将第二半导体结构键合到所述第一半导体结构。通过所述第二半导体结构进入所述第一半导体结构并且达到所述至少一个器件结构形成至少一个贯通晶片互连。在所述第二半导体结构与所述第一半导体结构的相反的那一侧将所述第二半导体结构键合到第三半导体结构。

[0014] 在形成键合半导体结构的方法的另外的实施例中, 提供包括至少一个器件结构的第一半导体结构。在第二半导体结构中注入离子, 以在所述第二半导体结构中形成离子注入平面。将所述第二半导体结构键合到所述第一半导体结构上, 并且使所述第二半导体结构沿所述离子注入平面断裂。所述第二半导体结构的一部分仍然键合到所述第一半导体结构。通过仍然键合到所述第一半导体结构的所述第二半导体结构的部分进入所述第一半导体结构并且达到所述至少一个器件结构形成至少一个贯通晶片互连。在所述第二半导体结构与所述第一半导体结构的相反的那一侧将所述第二半导体结构键合到第三半导体结构。

[0015] 在其他的实施例中, 本发明包括作为本文所描述的方法的一部分形成的半导体结

构。例如，键合半导体结构包括至少一个器件结构的第一半导体结构以及键合到所述第一半导体结构的第二半导体结构。所述第二半导体结构包括断裂的相对较厚的半导体结构的一部分。至少一个贯通晶片互连延伸通过所述第二半导体结构、至少部分通过所述第一半导体结构并且达到所述至少一个器件结构。

附图说明

[0016] 参考接下来的本发明的实施例的详细描述和附图，可以更完全地理解本发明的实施例，其中：

[0017] 图 1 至图 10 是半导体结构的简化示意剖面图，显示了用于形成键合半导体结构的本发明的示例性实施例和键合半导体结构的本发明的示例性实施例；

[0018] 图 11 至图 33 是半导体结构的简化示意剖面图，显示了用于形成包括载体衬底的键合半导体结构的本发明的另外的示例性实施例和键合半导体结构的本发明的另外的示例性实施例；

[0019] 图 34 和图 35 是半导体结构的简化示意剖面图，显示了组合前面的图的方法来形成键合半导体结构的本发明的示例性实施例；以及

[0020] 图 36 至图 39 是半导体结构的简化示意剖面图，显示了用于形成键合半导体结构的本发明的其他示例性实施例。

具体实施方式

[0021] 本文所呈现的图示并不意味着任何特殊材料、器件、系统或方法的实际视图，而仅仅是用于描述本发明的实施例的理想表示。

[0022] 本文所使用的任何标题不应被认为限制由权利要求书及其同等法律效力限定的本发明的实施例的范围。任何特定标题所描述的概念在说明书全文中的其他部分是普遍适用的。

[0023] 所引用的参考文献无论在本文中是如何刻画的，都不被承认是相对于本文所要求保护的主题的发明的现有技术。

[0024] 本文所使用的术语“半导体结构”表示和包括以半导体器件的形式使用的任意结构。半导体结构例如包括芯片和晶片（例如载体衬底和器件衬底）以及包括彼此三维集成的两个或更多个芯片和 / 或晶片的组件或复合结构。半导体结构还包括完全制成的半导体器件以及在半导体器件的制造过程中形成的中间结构。

[0025] 本文所使用的术语“经加工半导体结构”表示和包括具有一个或多个至少部分形成的器件结构的任意半导体结构。经加工半导体结构是半导体结构的子集，所有的经加工半导体结构都是半导体结构。

[0026] 本文所使用的术语“键合半导体结构”表示和包括具有两个或更多个贴装在一起的半导体结构的任意结构。键合半导体结构是半导体结构的子集，所有的键合半导体结构都是半导体结构。此外，包括一个或多个经加工半导体结构的键合半导体结构也是经加工半导体结构。

[0027] 本文所使用的术语“器件结构”表示和包括具有或限定将要在半导体结构上或内形成的半导体器件的有源或无源元件的至少一部分的经加工半导体结构的任意部分。例

如,器件结构包括集成电路的有源和无源元件,例如晶体管、传感器、电容器、电阻器、导线、导电通孔和导电接触垫。

[0028] 本文所使用的术语“贯通晶片互连”或“TWI”表示和包括通过第一半导体结构的至少一部分延伸的任意导电通孔,其用于穿过第一半导体结构和第二半导体结构之间的界面提供第一半导体结构和第二半导体结构之间的结构和/或电互连。贯通晶片互连在本领域中也用其他术语来表示,例如“贯通硅/衬底通孔”或“TSV”以及“贯通晶片通孔”或“TWV”。TWI 通常通过半导体结构在通常与半导体结构的通常为平坦的主表面垂直的方向上(在平行于 Z 轴的方向上)延伸。

[0029] 本文所使用的术语“作用面”在与经加工半导体结构联用时表示和包括已经或将要被处理以在经加工半导体结构的暴露主表面之中和/或之上形成一个或多个器件结构的经加工半导体结构的暴露主表面。

[0030] 本文所使用的术语“后表面”在与经加工半导体结构联用时表示和包括位于经加工半导体结构的与半导体结构的作用面相反的那一侧的经加工半导体结构的暴露主表面。

[0031] 本文所使用的术语“III-V 型半导体材料”表示和包括主要包括来自于元素周期表的 IIIA 族的一种或多种元素(B、Al、Ga、In 和 Ti)以及来自于元素周期表的 VA 族的一种或多种元素(N、P、As、Sb 和 Bi)的任意材料。

[0032] 本文所使用的术语“热膨胀系数”在与材料或结构联用时表示材料或结构在室温下的平均线性热膨胀系数。

[0033] 本发明的是实施例包括用于形成半导体结构的方法和结构,特别是包括键合半导体结构的半导体结构和形成这种键合半导体结构的方法。贯通晶片互连可以形成在这些半导体结构之内并且可以取代结构之间的分隔中介层来使用。贯通晶片互连可以完全从作用面形成,或者可以分阶段从作用面和后表面两者形成。

[0034] 在一些实施例中,贯通晶片互连和/或电气隔离的热管理结构可以用于提高键合半导体结构中的热阻。在一些实施例中,贯通晶片互连和/或电气隔离的热管理结构可以用于改善半导体结构和可在其上贴装半导体结构的其他结构之间的热膨胀系数的不匹配。本发明的方法和结构的实施例可以用于各种用途,例如用于 3D 集成过程以及用于形成 3D 集成结构。通过本发明的实施例的方法形成的多个半导体结构可以相互堆叠,将一个半导体结构的作用面或后表面与另一半导体结构的作用面或后表面相连接。每个结构的剩余表面可以贴装到其他结构上。

[0035] 下面参考图 1 至图 39 来描述本发明的示例性实施例。

[0036] 在一个实施例中,本发明包括提供图 1 所显示的具有作用面 102 和后表面 104 的第一半导体结构 100。作用面 102 可以位于第一半导体结构 100 的第一侧,后表面 104 位于第二相反侧。第一半导体结构 100 可以包括形成在衬底 106 之中和/或上方的至少一个器件结构 108。衬底 106 可以包括例如一种或多种半导体材料,例如硅(Si)、锗(Ge)、III-V 半导体材料等等。此外,衬底 106 可以包括单晶半导体材料,并且可以包括一个或多个半导体材料外延层。在另外的实施例中,衬底 106 可以包括一种或多种材料,例如氧化物(例如二氧化硅(SiO₂)或氧化铝(Al₂O₃))、氮化物(例如氮化硅(Si₃N₄)、氮化硼(BN))等等。

[0037] 简单参考图 5,第二半导体结构 112 可以设置在第一半导体结构 100 的作用面 102 的上方(例如在作用面 102 上),以形成键合半导体结构 500。第二半导体结构 112 可以包

括相对较薄的材料层,例如上文关于衬底 106 所提到的任何材料。作为非限制性示例,第二半导体结构 112 的平均厚度可以是大约 1 微米或更小、大约 0.5 微米或更小或者大约 0.07 微米或更小。

[0038] 作为非限制性示例,可以使用现有技术中所谓的 SMART-CUT™ 方法将第二半导体结构 112 设置在第一半导体结构 100 的作用面 102 的上方。例如,如图 3 所示,可以形成包括键合层 110 的半导体结构 300。键合层 110 可以包括一个或多个键合材料层,例如二氧化硅、氮化硅及其混合物。键合层 110 可以形成在第一半导体结构 100 的作用面 102 的上方,以形成平面作用面,从而改善到后续半导体结构的键合。

[0039] 键合层 110 可以设置在第一半导体结构 100 的作用面 102 和另一半导体材料层 111 之间,并且可以用于将第一半导体结构 100 键合到半导体材料层 111。可以在大约 400°C 或更低或者甚至在大约 350°C 或更低的温度下使用键合层 110 将第一半导体结构 100 键合到半导体材料层 111 上,以免对第一半导体结构 100 中的器件结构 108 造成热损伤。

[0040] 在本发明的一些实施例中,半导体材料层 111 可以包括大块半导体衬底 (bulk semiconductor substrate),例如硅、锗或 III-V 化合物半导体。在一些实施例中,半导体材料层 111 可以包括一个或多个外延层,所述一个或多个外延层彼此叠置,形成半导体层结构。在本发明的一些实施例中,半导体材料层 111 可以附着在图 3 中的虚线部分所示的可选牺牲衬底 115 上。可选牺牲衬底 115 可以附着在其与第一半导体结构 100 相对的那一侧的半导体材料层 111 上。

[0041] 可以从半导体材料层 111 去除半导体材料层 111 的部分 113 (和可选牺牲衬底 115 一起),留下后面的第二半导体结构 112。换言之,可以从半导体材料层 111 的部分 113 去除半导体结构 200 (图 2) 和第二半导体结构 112 (和可选牺牲衬底 115 一起,如果使用的话),以形成如图 4 所示的中间结构 400。

[0042] 作为非限制性示例,可以使用 SMART-CUT™ 方法从半导体结构 200 和半导体结构 112 分离半导体材料层 111 的部分 113 (以及牺牲衬底 115,如果使用的话)。例如,Bruel 的美国专利 No. RE39,484 (2007 年 2 月 6 日授权)、Aspar 等人的美国专利 No. 6,303,468 (2001 年 10 月 16 日授权)、Aspar 等人的美国专利 No. 6,335,258 (2002 年 1 月 1 日授权)、Moriceau 等人的美国专利 No. 6,756,286 (2004 年 6 月 29 日授权)、Aspar 等人的美国专利 No. 6,809,044 (2004 年 10 月 26 日授权) 以及 Aspar 等人的美国专利 No. 6,946,365 (2005 年 9 月 20 日授权) 中详细描述了这种方法。

[0043] 简而言之,可以在半导体材料层 111 中注入多个离子 (例如氢、氦或惰性气体离子的一种或多种)。在本发明的一些实施例中,可以在将半导体材料层 111 键合到半导体结构 200 之前在半导体材料层 111 中注入多个离子。例如,可以如图 3 所示,在键合之前从位于半导体材料层 111 的靠近表面 105 那一侧的离子源 (未显示) 将离子注入到半导体材料层 111 中。

[0044] 可以沿基本垂直于半导体材料层 111 的方向注入离子。现有技术中已知的是,离子在半导体材料层 111 中注入的深度至少部分为将离子注入到半导体材料层 111 中所使用的能量的函数。通常,使用较小的能量注入的离子将被注入到相对较浅的深度,而使用较高能量注入的离子将会被注入到相对较深的深度。

[0045] 可以使用被选择为将离子注入到半导体材料层 111 内的所需深度的预定能量将

离子注入到半导体材料层 111 中。可以在将半导体材料层 111 键合到第一半导体结构 100 之前或之后在半导体材料层 111 中注入离子。作为一个特殊的非限制性示例,离子注入面 117 可以在距表面 105 某一深度处设置在半导体材料层 111 内,使得第二半导体结构 112 的平均厚度在从大约一千纳米 (1000nm) 到大约 100 纳米 (100nm) 的范围内。本领域已知的是,必然有至少一些离子可能被注入到所需注入深度以外的深度,作为在半导体材料层 111 中距离半导体材料层 111 的暴露表面 105(例如在键合之前)的深度的函数的离子浓度曲线图可以呈现在所需注入深度处具有最大值的通常为钟形(对称或不对称)的曲线。

[0046] 当在半导体材料层 111 中注入离子时,离子可在半导体材料层 111 内限定离子注入平面 117(图 3 中虚线所示)。离子注入平面 117 可包括半导体材料层 111 内(例如关于)与半导体结构 300 内的最大离子浓度的平面对齐的层或区域。离子注入平面 117 可以在半导体结构 300 内界定脆弱区,半导体结构 300 在后续处理中可沿该脆弱区裂开或断裂。例如,半导体结构 300 可以被加热,以使半导体结构 300 沿着离子注入平面 117 裂开或断裂。但是,在该分裂处理过程中,半导体结构 300 的温度可以被维持在大约 400°C 或更低,或者甚至在大约 350°C 或更低,以避免损伤第一半导体结构 100 中的任何器件结构 108。可选地,可以在半导体结构 300 上施加机械力,以导致或帮助半导体结构 300 沿离子注入平面 117 裂开。

[0047] 在另外的实施例中,可以通过将较厚材料层(例如具有大于大约 100 微米的平均厚度的层)键合到第一半导体结构 100 上,并且随后从第一半导体结构 100 的相对侧减薄较厚材料层,将第二半导体结构 112 设置在第一半导体结构 100 的作用面 102 的上方。例如,如图 2 所示,可以在第一半导体结构 100 的作用面 102 的上方(例如在作用面 102 上)设置包括一种或多种键合材料的键合层 110(例如氧化物层)。如图 4 所示,可以将第二半导体结构 112 的键合面 114 键合到作用面 102 上的键合层 110 上。在另外的实施例中,可以在第二半导体结构 112 的键合面 114 上设置键合层 110,或者在第一半导体结构 100 的作用面 102 上和第二半导体结构 112 的键合面 114 上都设置键合层 110。

[0048] 通过从第二半导体结构 112 的暴露主表面去除材料,可以减薄第二半导体结构 112,例如,可以使用化学处理(例如湿法或干法化学蚀刻处理)和机械处理(例如磨削或研磨处理)或者通过化学机械抛光(CMP)处理来减薄第二半导体结构 112。但是,可以在大约 400°C 或更低或者甚至在大约 350°C 或更低的温度下执行这种处理,以避免损伤第一半导体结构 100 中的任何器件结构 108。

[0049] 在更进一步的实施例中,第二半导体结构 112 可以在原位形成在第一半导体结构 100 的作用面 102 的上方(例如在作用面 102 上)。例如,可以通过在第一半导体结构 100 的作用面 102 上沉积第二半导体结构 112 的材料(例如硅、多晶硅或非晶硅中的一种或多种)到所需厚度,来形成第二半导体结构 112。作为非限制性示例,第二半导体结构 112 的平均厚度可以是大约 1 微米或更小、大约 0.5 微米或更小或者大约 0.3 微米或更小。在这样的实施例中,可以在大约 400°C 或更低或者甚至在大约 350°C 或更低的温度下执行沉积过程,以避免损伤第一半导体结构 100 中的任何器件结构 108。例如,可以通过使用本领域已知的等离子体增强化学气相沉积过程来执行用于形成第二半导体结构 112 的低温沉积过程。

[0050] 如图 5 所示,可以贯通第二半导体结构 112 至第一半导体结构 100 形成与导体

件结构 108 结构或电性连接的至少一个贯通晶片互连 116。换言之,每个贯通晶片互连 116 可以延伸到一个或多个器件结构 108,从而在贯通晶片互连 116 和一个或多个器件结构 108 之间建立物理和电接触。

[0051] 通过穿过第二半导体结构 112 至第一半导体结构 100 蚀刻孔或通孔以及随后用一种或多种导电材料填充孔或通孔,或者通过本领域已知的任意其他方法,可以形成贯通晶片互连 116。可选地,可以在低温(例如大约 400°C 或更低,或者甚至大约 350°C 或更低)过程中在第二半导体结构 112 的暴露主表面上设置另一键合层 118,例如氧化物层,形成图 5 的半导体结构 500。可以在形成至少一个贯通晶片互连 116 之前,在第二半导体结构 112 上方形成键合层 118。同样地,可以在大约 400°C 或更低或者甚至在 350°C 或更低的温度下执行每个用于形成贯通晶片互连 116 的过程,包括形成孔或通孔以及用导电材料填充孔或通孔,以避免损伤器件结构 108。

[0052] 如图 6 所示,第三半导体结构 120 可以通过键合界面 119 键合到半导体结构 500 的作用面 102',以形成键合半导体结构 600。可以在大约 400°C 或更低或者甚至在大约 350°C 或更低的温度下执行该键合过程,以避免损伤器件结构 108。在一些实施例中,第三半导体结构 120 可以至少基本类似于图 5 所示的半导体结构 500(并且可以按照如上文关于半导体结构 500 所述来形成)。第三半导体结构 120 可以至少基本类似于半导体结构 500,但是可以包括器件结构 108' 的不同布置。

[0053] 第三半导体结构 120 可以在第三半导体结构 120 的第一侧具有作用面,并且在第二相反侧具有后表面。第三半导体结构可以包括衬底 106' 和形成在衬底 106' 之中和/或上方的至少一个器件结构 108'。第二半导体结构 112 可以充当第三半导体结构 120 和第一半导体结构 100 之间的中介层。如图 6 所示,第三半导体结构 120 还可以包括如上文所述的第二半导体结构 112',该第二半导体结构 112' 也可充当第三半导体结构 120 和半导体结构 500 之间的中介层。

[0054] 第三半导体结构 120 可以实现与半导体结构 500 的至少一个贯通晶片互连 116 的电接触。例如,第三半导体结构 120 的贯通晶片互连 116' 可以通过键合界面 119 键合到(例如结构和电耦合到)贯通晶片互连 116,以形成半导体结构 500。

[0055] 在一些实施例中,通过在贯通晶片互连 116' 和贯通晶片互连 116 中的一者或两者上设置金属材料(例如焊料合金)的导电凸起或导电球,并且加热金属材料的导电凸起或导电球以使导电凸起或导电球的金属材料熔化和回流,之后可以冷却并固化金属材料以形成贯通晶片互连 116' 和贯通晶片互连 116 之间的键合,可以将贯通晶片互连 116' 键合到贯通晶片互连 116。在这样的实施例中,金属材料的导电凸起或导电球的金属材料可以具有低于大约 400°C 或者甚至低于大约 350°C 的熔点,以允许在这种相对较低的温度下执行键合过程,从而避免损伤器件结构 108、108'。

[0056] 在另外的实施例中,贯通晶片互连 116' 可以在直接金属与金属键合过程中直接键合到贯通晶片互连 116 上,而不需要在它们之间提供任何粘结剂或键合材料。例如,这种直接键合过程可以包括热压缩直接键合过程、超低温直接键合过程以及表面辅助直接键合过程中的任意一种,这些过程已在上文中进行定义。

[0057] 在一些实施例中,可以使用键合层 118,例如氧化物层或其他键合材料,将第三半导体结构 120 键合到半导体结构 500 上。同样地,可以在大约 400°C 或更低或者甚至在大约

350°C或更低的温度下执行这种键合过程,以避免损伤器件结构 108、108`。

[0058] 在一个实施例中,半导体结构 500 可以与另一衬底 122(例如电路板)电接触地放置,如图 7 所示。半导体结构 500 可以具有将半导体结构 500 连接到衬底 122 的导电凸起 123。导电凸起 123 可以由金、铜、银或其他导电金属制成,并且可通过将材料沉积到贯通晶片互连 116 上、通过将材料沉积到衬底 122 上或者通过本领域已知的任意其他方法来形成。在这样的实施例中,第二半导体结构 112 还充当第一半导体结构 100 和衬底 122 之间的中介层。

[0059] 在被显示为图 8 中的半导体结构 800 的另一实施例中,可以在第二半导体结构 112 中形成至少一个热管理结构 124。通过在第二半导体结构 112 中蚀刻孔或通孔以及随后用一种或多种导电材料填充孔或通孔,或者通过本领域已知的任意其他方法,可以形成热管理结构 124。热管理结构 124 可以延伸到第一半导体结构 100 或者其中,如图 8 所示。

[0060] 图 9 显示了类似于半导体结构 800 的半导体结构 900 的另一实施例,但是在半导体结构 900 中,热管理结构 124 完全设置在第二半导体结构 112 内。在半导体结构 800 和 900 中,热管理结构 124 可以包括由相对导热的材料(例如与任何器件结构 108 电气隔离的金属)形成的至少一个“虚设(dummy)”焊盘或结构。

[0061] 图 10 用于显示与上文所述的方法类似的方法,其用于将第三半导体结构 120 贴附到图 8 的半导体结构 800(或者图 9 的半导体结构 900)上以形成图 10 所示的最终半导体结构 1000。第三半导体 120 可以本身包括键合到第三半导体结构 120 的作用面上的第四半导体结构 112`。至少一个贯通晶片互连 116 可以通过第二半导体结构 112 和第四半导体结构 112` 将半导体结构 500 连接到第三半导体结构 120。

[0062] 通过平衡纵向热阻与横向热扩散,热管理结构 124 可以用于改善系统的热管理。通过改变热管理结构 124 的尺寸、数量、成分、布置、形状或深度,可以将包括其中具有热管理结构 124 的第二半导体结构 112 的中介层所呈现的热膨胀系数调整到期望值。

[0063] 例如,中介层的热膨胀系数可以被调整到至少基本匹配中介层所贴附到的第一半导体结构 100 的热膨胀系数,或者被调整到至少基本匹配半导体结构 800 或 900 可以贴附到的另一结构(例如图 10 的第三半导体结构 120)的热膨胀系数。热管理结构 124 可以由一种或多种金属(例如铜、钨、铝或基于一种或多种这样的金属的合金)或相对导热的任意其他材料形成。也可以改变贯通晶片互连 116 的尺寸、数量、成分、布置、形状或深度,以使中介层呈现期望的热膨胀系数。在一些实施例中,中介层(其中具有热管理结构 124 的第二半导体结构 112)的热膨胀系数与第一半导体结构 100 的热膨胀系数之比可以在大约 0.67 到大约 1.5 的范围内、大约 0.9 到大约 1.1 的范围内,或者该比值可以是大约 1.0。也就是说,中介层的热膨胀系数可以至少基本等于第一半导体结构 100 的热膨胀系数。

[0064] 在本发明的一些实施例中,可以从半导体结构的相反侧形成两组贯通晶片互连。也就是说,可以如上文所述通过作用面形成一组贯通晶片互连,并且通过后表面形成另一组贯通晶片互连。贯通晶片互连可以在半导体结构内彼此连接,并且可以将电信号通过半导体结构传递到其他器件结构。

[0065] 例如,图 11 所示的半导体结构 1100 可以在半导体结构 1100 的第一侧具有作用面 202,并且在半导体结构 1100 的第二相反侧具有后表面 204。半导体结构 1100 可以具有形成在衬底 206 之中和/或上方的至少一个器件结构 208。衬底 206 可以包括半导体 210 和

绝缘体 212。衬底 206 可以进一步包括一个或多个附加层 214, 例如半导体材料附加层。半导体 210 可以包括例如一种或多种半导体材料层, 例如硅 (Si)、锗 (Ge)、III-V 半导体材料等等。此外, 衬底 206 可以包括单晶半导体材料或者半导体材料外延层。绝缘体 212 可以包括一层或多层介电材料, 例如氧化物 (例如二氧化硅 (SiO_2) 或氧化铝 (Al_2O_3))、氮化物 (例如氮化硅 (Si_3N_4) 或氮化硼 (BN)) 等等。

[0066] 可以通过半导体结构 1100 形成至少一个第一贯通晶片互连 216, 以形成如图 12 所示的半导体结构 1200。可以从作用面 202 部分通过衬底 206 形成与至少一个器件结构 208 相连接的至少一个第一贯通晶片互连 216。换言之, 每个第一贯通晶片互连 216 可以延伸到一个或多个器件结构 208, 从而在第一贯通晶片互连 216 和一个或多个器件结构 208 之间建立物理和电接触。通过贯穿半导体结构 1100 蚀刻孔或通孔以及随后用一种或多种导电材料填充孔或通孔, 或者通过本领域已知的任意其他方法, 可以形成第一贯通晶片互连 216。如上文所述, 可以在大约 400°C 或更低的温度或者甚至在大约 350°C 或更低的温度下执行这种过程。

[0067] 可以可选地在半导体结构 1200 的作用面上添加一个或多个附加层 217, 如图 13 所示。所述一个或多个附加层 217 可以包括附加键合层。可以使用附加键合层来使半导体结构 1200 的作用面 202 平坦化, 以便有助于将半导体结构 1200 键合到载体衬底 220 上。当添加附加层 217 时, 最后添加的层包括作用面 202。作用面 202 可以键合到载体衬底 220 的键合面 218 上, 以形成图 13 的半导体结构 1300。使用提供结构支撑的载体衬底 220, 可以使用例如化学机械抛光 (CMP) 处理或者本领域已知的任意其他方法通过从其上去除材料来减薄半导体结构 1300 的衬底 206。如上文所述, 可以在大约 400°C 或更低的温度或者甚至在大约 350°C 或更低的温度下执行这种过程。

[0068] 如图 14 和图 15 所示, 可以通过减薄的衬底 206 的一部分形成至少一个第二贯通晶片互连 222。第二贯通晶片互连 222 可以定位和定向成在第二贯通晶片互连 222 和第一贯通晶片互连 216 之间建立物理和电接触。因此, 通过第一晶片互连 216 在器件结构 208 和第二贯通晶片互连 222 之间建立电连接。

[0069] 第二贯通晶片互连 222 可以具有与第一贯通晶片互连 216 不同的横截面尺寸和 / 或形状。例如, 第二贯通晶片互连 222 的横截面尺寸可以小于第一贯通晶片互连 216 的横截面尺寸, 如图 14 的半导体结构 1400 所示。在另外的实施例中, 第二贯通晶片互连 222 的横截面尺寸可以大于第一贯通晶片互连 216 的横截面尺寸, 如图 15 的半导体结构 1500 所示。在另一些实施例中, 第二贯通晶片互连 222 可以具有与第一贯通晶片互连 216 相同的横截面尺寸。通过改变第一贯通晶片互连 216、第二贯通晶片互连 222 或者第一贯通晶片互连 216 和第二贯通晶片互连 222 两者的尺寸、数量、成分、布置和 / 或深度可以将半导体结构 1400 和 1500 的热膨胀系数调整到期望值。

[0070] 与在一个单一步骤中完全通过 (图 11 的) 半导体结构 1100 的衬底 206 形成贯通晶片互连相比, 与第一贯通晶片互连 216 分开地形成第二贯通晶片互连 222 可以得到更高的成品率。通过降低蚀刻过程的纵横比 (AR), 并且由于可以完全通过单一均质材料形成第二贯通晶片互连 222, 与第一贯通晶片互连分开地形成第二贯通晶片互连 222 可以提高成品率。

[0071] 可以使用上文所述的方法在大约 400°C 或更低的温度或者甚至在大约 350°C 或更

低的温度下形成第二贯通晶片互连 222。

[0072] 在一些实施例中,可以在半导体结构内的不同深度形成第一贯通晶片互连 216。也就是说,可以通过比上文所述的更多层或更少层的材料形成第一贯通晶片互连 216。然后可以形成第二贯通晶片互连 222,使得其接触第一贯通晶片互连 216 并且实现电接触。

[0073] 例如,如图 16 所示,半导体结构 1600 可以在半导体结构 1600 的第一侧具有作用面 202,并且在半导体结构 1600 的第二相反侧具有后表面 204。半导体结构 1600 可以具有形成在衬底 206 之中和 / 或上方的至少一个器件结构 208。衬底 206 可以包括半导体 210 和绝缘体 212。衬底 206 可以进一步包括一个或多个附加层 214,例如附加半导体材料层。半导体 210 可以包括例如一种或多种半导体材料层,例如硅 (Si)、锗 (Ge)、III-V 半导体材料等等。此外,衬底 206 可以包括单晶半导体材料或者半导体材料外延层。绝缘体 212 可以包括一层或多层介电材料,例如氧化物(例如二氧化硅 (SiO₂) 或氧化铝 (Al₂O₃))、氮化物(例如氮化硅 (Si₃N₄) 或氮化硼 (BN)) 等等。

[0074] 可以从作用面 202 通过半导体结构 1600、通过半导体 210 并且至少部分通过绝缘体 212 形成第一贯通晶片互连 216。可以如上文所述来形成第一贯通晶片互连 216,其可以延伸通过或者延伸到一个或多个器件结构 208。

[0075] 可以可选地在半导体结构 1600 的作用面 202 上添加一个或多个附加层 217(例如附加键合层),以形成如图 17 所示的半导体结构 1700。当添加附加层 217 时,最后添加的层包括作用面 202。作用面 202 可以键合到载体衬底 220 的键合面 218 上,以形成半导体结构 1700。使用提供结构支撑的载体衬底 220,可以使用例如化学机械抛光或者本领域已知的任意其他方法通过从其上去除材料来减薄半导体结构 1700 的衬底 206。

[0076] 之后可以通过一个或多个附加层 214 和绝缘体 212 形成至少一个第二贯通晶片互连 222,以形成图 18 和 19 所显示的半导体结构 1800 和 1900。第二贯通晶片互连 222 可以具有横截面尺寸和形状至少其中之一与第一贯通晶片互连 216 的横截面不同的横截面。例如,第二贯通晶片互连 222 的横截面可以小于第一贯通晶片互连 216 的横截面,如图 18 所示的半导体结构 1800 那样,或者大于第一贯通晶片互连 216 的横截面,如图 19 所示的半导体结构 1900 那样。在另外的实施例中,第二贯通晶片互连 222 可以具有尺寸和形状与第一贯通晶片互连 216 的横截面相同的横截面形状。通过改变第一贯通晶片互连 216、第二贯通晶片互连 222 或两者的尺寸、数量、成分、布置、形状或深度可以将半导体结构 1800 和 1900 的热膨胀系数调整到期望值。

[0077] 可以在大约 400°C 或更低或者甚至在大约 350°C 或更低的温度下形成第一贯通晶片互连 216 和第二贯通晶片互连 222,以避免损伤器件结构 208,如上文所述。

[0078] 图 20 显示了图 18 的半导体结构 1800 的一部分的放大图,图 21 显示了图 20 在图 20 中所显示的虚线圆内的部分的放大图。如图 21 所示,在一些实施例中,可以在半导体 210 和绝缘体 212 之间设置蚀刻停止层 224,以便如下文所述辅助形成第一贯通晶片互连 216 和第二贯通晶片互连 222。

[0079] 可以以与上文参考图 12 所描述的方式类似的方式形成第一贯通晶片互连 216。但是,在下文所描述的实施例中,蚀刻停止层 224 的加入可以有助于贯通晶片互连制造。例如,可以在作用面 202 上涂覆图案化掩模层(未显示),以保护某些区域不被蚀刻。然后可以使用湿法化学蚀刻处理、干法反应离子蚀刻处理或者本领域已知的任意其他蚀刻处理使

通过图案化掩模层露出的结构经受选择性蚀刻剂。可以选择性地将结构蚀刻到蚀刻停止层 224, 在其中形成孔或通孔。换言之, 蚀刻处理将通过半导体结构 1800 进行蚀刻, 并且选择性地停止在蚀刻停止层 224。蚀刻停止层 224 可以包括一层不被蚀刻或者以基本上低于周围材料的速度被蚀刻的材料。作为非限制性示例, 蚀刻停止层 224 可以包括一层氮化物材料, 例如氮化硅 (Si_3N_4)。蚀刻停止层 224 可以位于衬底 206 的层之间, 这种情况下使用该结构可以蚀刻一层或多层。一旦在结构中孔或通孔已被蚀刻到蚀刻停止层 224, 就可以用一种或多种导电材料填充孔或通孔, 以形成第一贯通晶片互连 216。

[0080] 可以以类似的方式形成第二贯通晶片互连 222。首先, 可以在后表面 204 上涂覆图案化掩模层 (未显示), 以保护某些区域不被蚀刻。然后可以使用湿法化学蚀刻处理、干法反应离子蚀刻处理或者本领域已知的任意其他蚀刻处理使通过图案化掩模层露出的衬底 206 承受选择性蚀刻剂。可以将衬底 206 选择性地蚀刻到蚀刻停止层 224。蚀刻处理将通过半导体结构进行蚀刻, 并且选择性地停止在蚀刻停止层 224。为了连接第二贯通晶片互连与第一贯通晶片互连, 可以去除通孔或孔内露出的蚀刻停止层 224 的材料。如上文所述, 蚀刻停止层 224 可以由基本不受用于通过结构和衬底 206 形成孔或通孔的蚀刻剂侵蚀的材料制成。换言之, 所选择的蚀刻处理通过蚀刻停止层的蚀刻速度可以基本上低于通过结构和衬底 206 的蚀刻速度。为了去除蚀刻停止层 224 并且允许通过晶片互连 216 和 222 的电连接, 可以选择不同的蚀刻处理或化学处理。该不同的蚀刻处理可以基本上高于用于通过结构和衬底 206 形成孔或通孔的蚀刻处理的蚀刻速度的速度去除蚀刻停止层 224。该不同的蚀刻处理可能对蚀刻结构和衬底 206 的其他材料不起作用。

[0081] 在图 21 中, 器件结构 208 的示例被显示为包括源区 230、栅极电极 231 和漏区 232 的晶体管 208。这些特征仅为示例性的, 并不用于限制半导体结构 1800 中的器件结构 208 的类型。可以靠近 (例如围绕) 第一贯通晶片互连 216 设置至少一个浅沟道隔离结构 226。浅沟道隔离结构 226 可以将贯通晶片互连 216 和 222 与至少一个器件结构 208 隔离, 并且将另外的器件结构 (未显示) 与器件结构 208 隔离。

[0082] 在一些实施例中, 第二贯通晶片互连 222 的至少一部分可以横向延伸并且与半导体 210 的一部分重叠, 第二贯通晶片互连 222 可以横向超过浅沟道隔离结构 226 的外周边界延伸, 如图 21 所示。

[0083] 在一些实施例中, 浅沟道隔离结构 226 可以比第二贯通晶片互连 222 的宽度宽。例如, 在图 22 中, 第二贯通晶片互连 222 的横向截面可以比浅沟道隔离结构 226 的横向截面窄, 因此可以不与形成第一贯通晶片互连 216 之后余下的半导体 210 和浅沟道隔离结构 226 重叠。在另一些实施例中, 如图 23 所示, 第二贯通晶片互连 222 的横向截面可以比第一贯通晶片互连 216 的横向截面窄。换言之, 第二贯通晶片互连 222 的横截面面积可以小于第一贯通晶片互连 216 的横截面面积。因此, 蚀刻停止层 224 在形成第二贯通晶片互连 222 之后余下的部分可以与第一贯通晶片互连 216 的一部分重叠, 如图 23 所示。

[0084] 在其他实施例中, 半导体结构可以具有不同数量的材料层。例如, 与图 20 所示的半导体结构 1800 的衬底 206 相比, 如图 24 所示的半导体结构 2400 的衬底没有附加层 214。不过, 可以以至少基本类似的方式形成贯通晶片互连 216 和 222。可以形成没有附加层 214 的半导体结构 2400, 或者可以在形成至少一个第二贯通晶片互连 222 之前完全去除附加层 214。不具有附加层 214 的一个优点是可以通过单一均质材料而不是通过两个或多个不同

的层执行蚀刻过程。蚀刻剂通过不同材料可以具有不同的蚀刻速度。因此,通过均质材料蚀刻可以比通过不同材料蚀刻更加一致。如参考图 21 所描述的,第二贯通晶片互连 222 可以横向超出浅沟道隔离结构 226 的横向外周延伸,如图 25 所示。在其他实施例中,第二贯通晶片互连 222 可以不横向超出浅沟道隔离结构 226 的横向外周延伸,但是可以比第一贯通晶片互连 216 更宽,如图 26 所示。第二贯通晶片互连 222 也可以具有比第一贯通晶片互连 216 小的横截面面积,如图 27 所示。

[0085] 本发明的一些实施例也可以具有在衬底 206 中形成的至少一个热管理结构 234。图 28 和 29 显示了具有仅在衬底 206 中形成的热管理结构 234 的半导体结构 2800 和 2900。可以与如上文所述的形成贯通晶片互连类似的方式形成热管理结构。例如,可以在衬底 206 上涂覆图案化掩模层(未显示),以保护某些区域不被蚀刻。之后通过图案化掩模层露出的结构可以经受蚀刻剂。可以用材料填充所得到的孔,以形成热管理结构 234。形成热管理结构的材料不需要导电,尽管其可以是导电的。材料可以被选择成具有期望的传热特性(例如使得整个半导体结构具有期望的热膨胀系数的特性)。

[0086] 也可以跨越两个或更多个层形成热管理结构 234,例如跨越衬底 206 和绝缘体 212,如图 30 和 31 的半导体结构 3000 和 3100 所示。无论如何布置,热管理结构 234 可以包括与器件结构 208 电气隔离的至少一个虚设金属焊盘。电气隔离可以是由于热管理结构 234 和器件结构 208 之间物理屏障而引起的,或者可以是热管理结构 234 的材料的低导电性的结果。

[0087] 通过平衡纵向热阻与横向热扩散,热管理结构 234 可以改善系统的热管理。通过改变热管理结构 234 的尺寸、数量、成分、布置、形状或深度,可以将热膨胀系数调整到期望值。该期望热膨胀系数可以被选择为匹配后续半导体结构 2800、2900、3000 和 3100 可键合到其上的另一半导体结构的热膨胀系数。热管理结构 234 可以由一种或多种金属(例如铜、钨、铝、锡、银或基于一种或多种这样的金属的合金)或与衬底 206 相比相对更加导热的任意其他材料形成。可以代替或者结合第一贯通晶片互连 216 和第二贯通晶片互连 222 的尺寸、数量、成分、布置、形状或深度的变化,使用热管理结构 234 的变化来获得期望的热膨胀系数。

[0088] 在一些实施例中,可以在衬底 206 上方形成一个或多个导电互连层 236,以改变电接触的位置。例如,在图 32 和图 33 中,每个半导体结构 3200 和 3300 可以在半导体结构 1500 和 1400 的衬底 206 顶上分别具有多个导电互连层 236。一个导电互连层 236 可以具有与第二贯通晶片互连 222 接触的导电材料。每个导电互连层 236 可以具有与另一导电互连层 236 接触的导电材料。导电互连层 236 可以在半导体结构 200 的表面上的不同点之间共同提供到器件结构 208 的电连接。

[0089] 可以通过本领域已知的任意方法来形成导电互连层 236。例如,可以在衬底 206 上沉积一个或多个附加介电层。可以在附加介电层上涂覆图案化掩模层,以保护某些区域不被蚀刻。然后可以使用湿法化学蚀刻处理、干法反应离子蚀刻处理或者本领域已知的任意其他蚀刻处理使附加介电层通过图案化掩模层承受选择性蚀刻剂。然后可以用一种或多种导电材料填充所形成的孔或空隙(通常被称为通孔),以形成导电互连层 236。

[0090] 导电金属互连层 236 可以用于改变电接触,以匹配另一半导体结构上的接触。使用导电互连层可以免去使用分隔的中介层的需要。通过限制所需要的不同部分的数量以及

通过限制热失配的问题,避免使用分隔的中介层可以降低制造和维护成本。导电互连层 236 可以具有被调整与半导体结构 1500 和 1400 或者半导体结构 3200 和 3300 可贴附到其上的其他半导体结构的热膨胀系数相匹配的热膨胀系数。

[0091] 可以将上文所描述的多种方法合并为单一半导体结构。例如,图 34 显示了半导体结构 3400,其具有如图 8 所示通过作用面形成的贯通晶片互连 316 以及与之组合的如图 32 所示在通过作用面和后表面的阶段形成的贯通晶片互连 316'。任一贯通晶片互连 316 可以连接到器件结构 308,可以代替分隔的中介层,并且可以对半导体结构 3400 的期望热膨胀系数做出贡献。

[0092] 如上文参考上述实施例所描述的,半导体结构 3400 可以具有后表面 304,并且可以包括形成在衬底 306 之中和 / 或上方的至少一个器件结构 308。可以通过后表面 304 形成与器件结构 308 连接的至少一个贯通晶片互连 316。半导体结构 3400 可以包括半导体 310 和绝缘体 312。此外,可以通过半导体 310 和绝缘体 312 形成贯通晶片互连 316。可以在衬底 306 上形成一个或多个导电互连层 336,其可以连接到贯通晶片互连 316。可以存在形成在半导体结构 3400 内的至少一个热管理结构 324,以帮助获得期望的热膨胀系数。

[0093] 在图 35 所显示的另一实施例中,半导体结构 3400 可以与另一衬底 320 (例如电路板)电接触地放置。半导体结构 3400 可以具有将半导体结构 3400 连接到衬底 320 的导电凸起 344。可以通过本领域已知的任意方法形成导电凸起 344,例如沉积一种或多种金属。附加半导体结构 346 可以在衬底 320 相反侧与半导体结构 3400 电接触地放置。可以存在将半导体结构 300 连接到附加半导体结构 346 的金属键合点 348。可以通过沉积和回流导电凸起或导电球来形成这些金属键合点 348,如上文所述。在这些方法中,可以在大约 400°C 或更低或者甚至在大约 350°C 或更低的温度下执行键合过程,以避免对器件结构造成热损伤。在另外的实施例中,可以使用直接金属与金属键合过程形成金属键合点,而不需要使用任何中间粘结剂或其他键合材料。例如,这种直接键合过程可以包括热压缩直接键合过程、超低温直接键合过程以及表面辅助直接键合过程中的任意一种,这些过程已在上文中进行定义。

[0094] 在一些实施例中,可以形成具有比最终产品中所需要的更厚的层的半导体结构。这样做可以避免与处理非常薄的晶片有关的问题。后续可以在形成贯通晶片互连和其他特征之后减薄半导体结构。例如,本发明的实施例可以利用(图 11 的)半导体结构 1100。可以形成具有比最终产品中所需要的更厚的层的半导体结构 1100 (特别是衬底 206) 的厚度。例如,绝缘体层 212 可以具有至少大约 100 μm 、至少大约 300 μm 或者至少大约 500 μm 的厚度。通过增加绝缘体 212 的层厚,可以避免处理非常薄的半导体结构的问题,并且可以更好地控制纵横比蚀刻 (aspect ratio etching)。

[0095] 本发明还可以包括形成图 36 所示的半导体结构 3600,其在半导体结构 3600 的第一侧具有作用面 402,并且在半导体结构 3600 的第二相反侧具有后表面 404,并且在衬底 406 上面和 / 或上方包括至少一个器件结构 408。衬底 406 可以包括与(图 11 的)衬底 206 类似的结构,即包括半导体 410、绝缘体 412 和一个或多个附加层 414,例如半导体材料附加层。在一些实施例中,衬底 406 还可以包括一个或多个附加绝缘体层 415 以及一个或多个附加半导体层 416。层 410、414 和 416 可以包括一种或多种半导体材料,例如硅 (Si)、锗 (Ge)、III-V 半导体材料等等。此外,衬底 406 可以包括单晶半导体材料或者半导体材料

外延层。绝缘体层 412 和 415 可以包括一层或多层介电材料,例如氧化物(例如二氧化硅(SiO_2)或氧化铝(Al_2O_3))、氮化物(例如氮化硅(Si_3N_4)或氮化硼(BN))等等。

[0096] 如上文参考图 5 所述,通过上文所述的蚀刻或者通过本领域已知的任意其他方法,可以从作用面 402 通过半导体层 410、绝缘体层 412 和一个或多个附加 414 衬底 406 通过半导体结构 3600 形成至少一个贯通晶片互连 416。贯通晶片互连 416 可以连接到器件结构 408。通过半导体层和绝缘体层,可以避免处理非常薄的半导体结构的问题,并且可以更好地控制纵横比蚀刻。例如,通过选择蚀刻处理和化学处理,可以优选地在一个或多个绝缘体层上方蚀刻一个或多个半导体层。换言之,可以利用一个或多个绝缘体层作为蚀刻停止层,以帮助形成贯通晶片互连 416。

[0097] 可以通过多个半导体层 410 和 414 并且通过绝缘体层 412 形成贯通晶片互连 416,如图 36 所示。在另一实施例中,可以通过单一半导体层 410 形成贯通晶片互连 416,其停止在绝缘体层 412,如图 37 中的半导体结构 3700 所示。半导体结构 3700 的作用面 402 可以键合到载体衬底 422 上,如图 38 所示。可以使用化学机械抛光处理或者本领域已知的任意其他方法通过从其上去除材料来减薄半导体结构 3700。在某些实施例中,可以去除整个半导体层 416 和整个绝缘体 415,如图 38 中的半导体结构 3800 所示。减薄半导体结构 400 可以留下露出的贯通晶片互连 416,如图 39 的半导体结构 3900 所示。在这样的实施例中,其他半导体结构(未显示)可以电连接到露出的贯通晶片互连 420。

[0098] 在上文所述的方法中,各个制造过程的每一个作为其一部分可以在大约 400°C 或更低或者甚至在大约 350°C 或更低的温度下执行,以避免对之前在正在经受处理的半导体结构中制造的器件结构造成热损伤。换言之,在上文所述的方法中,各个制造过程的每一个作为其一部分可以被执行,而不需要将半导体结构暴露到大约 400°C 以上的温度或者甚至大约 350°C 以上的温度,从而避免对之前在正在经受处理的半导体结构中制造的器件结构造成热损伤。

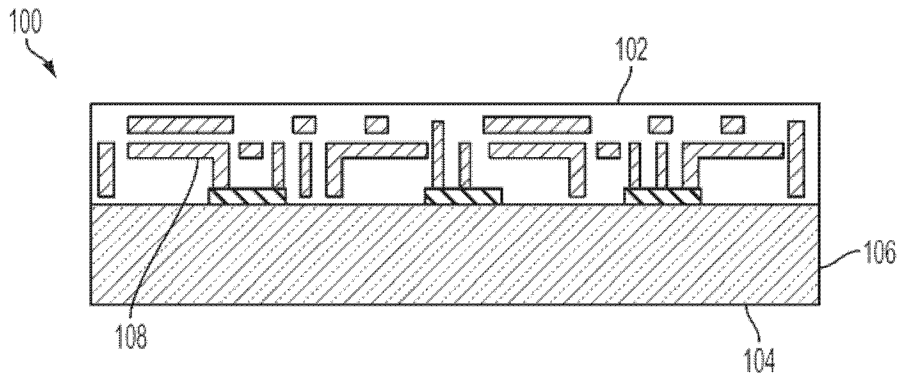


图 1

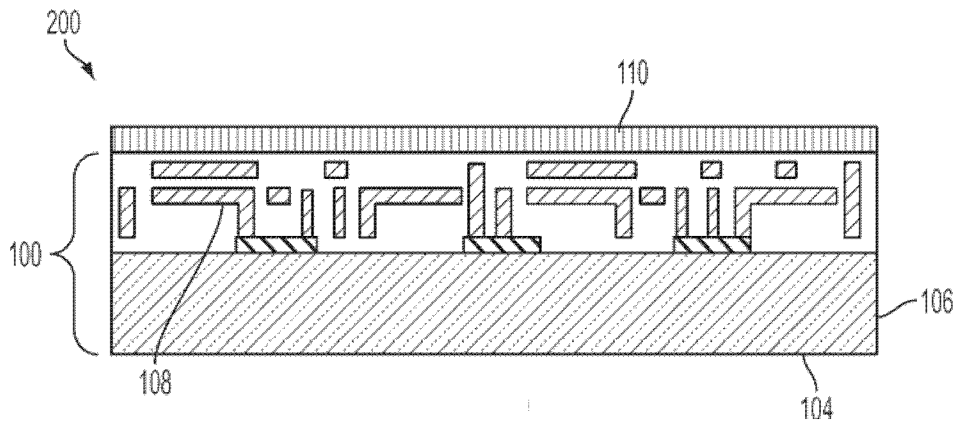


图 2

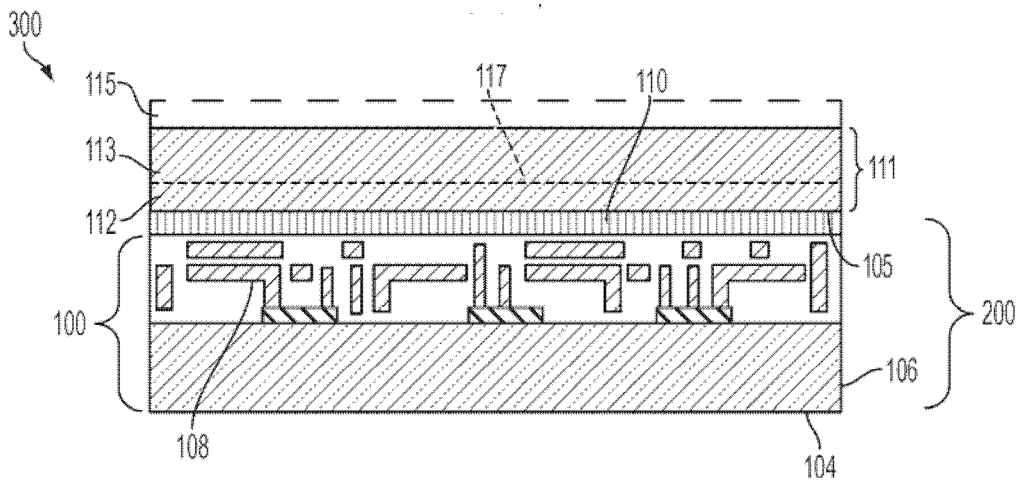


图 3

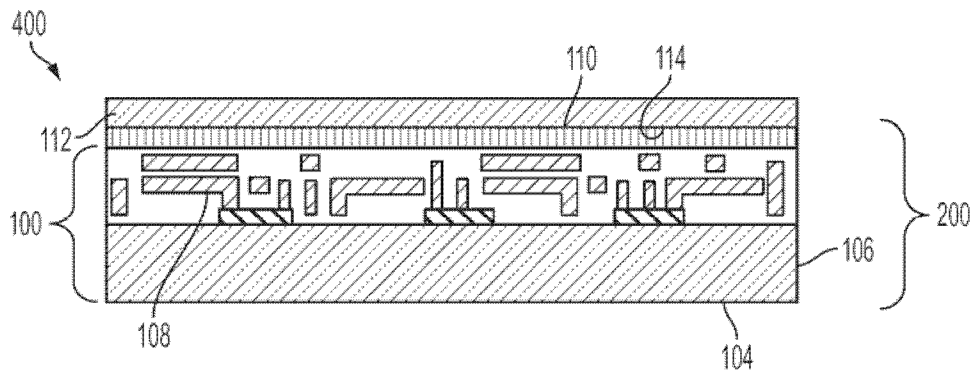


图 4

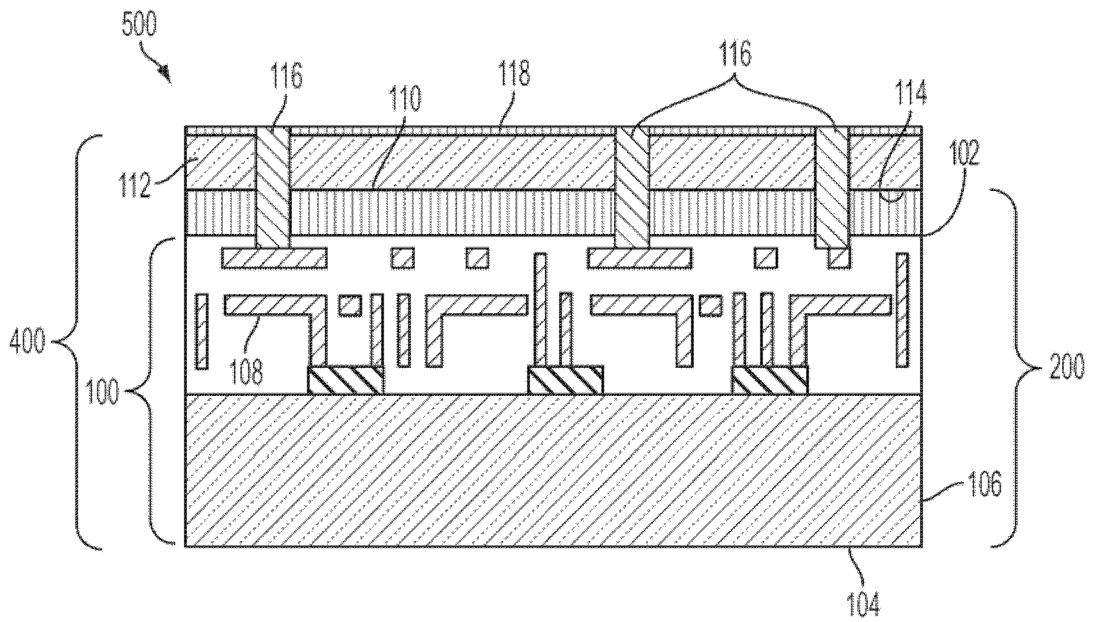


图 5

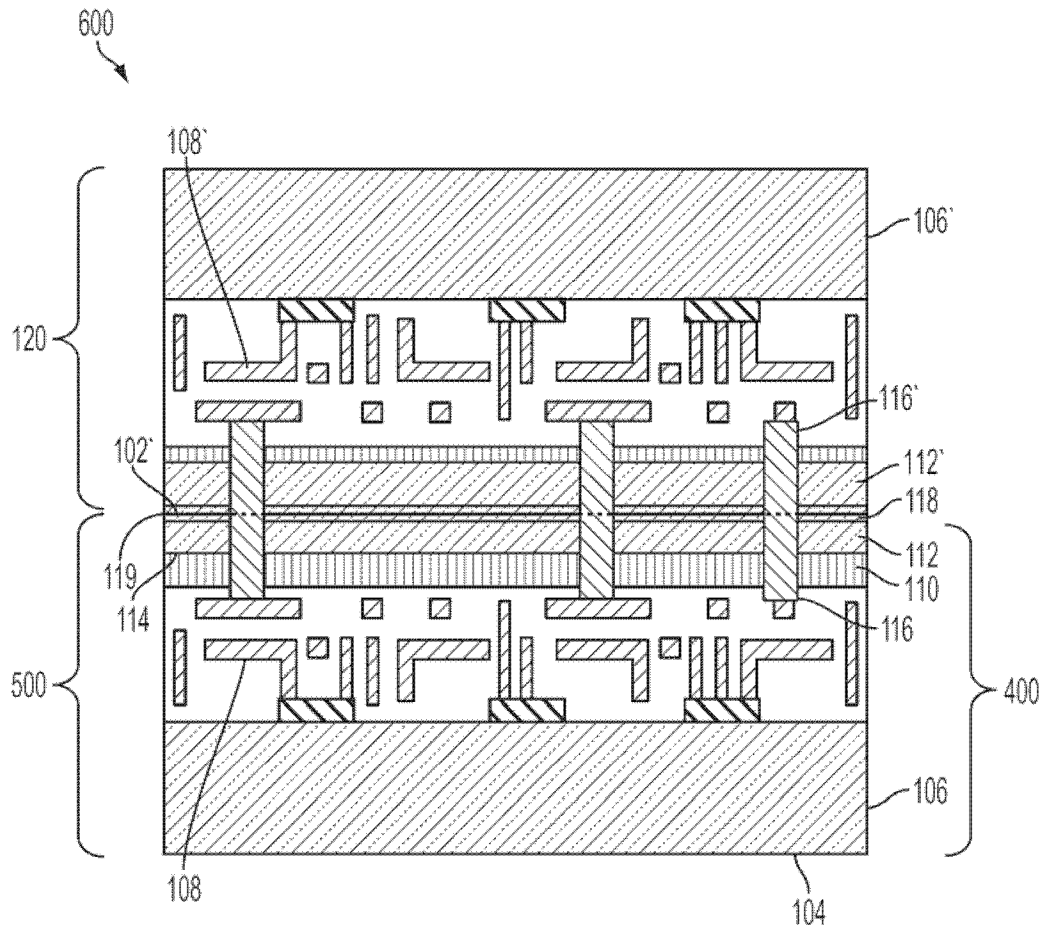


图 6

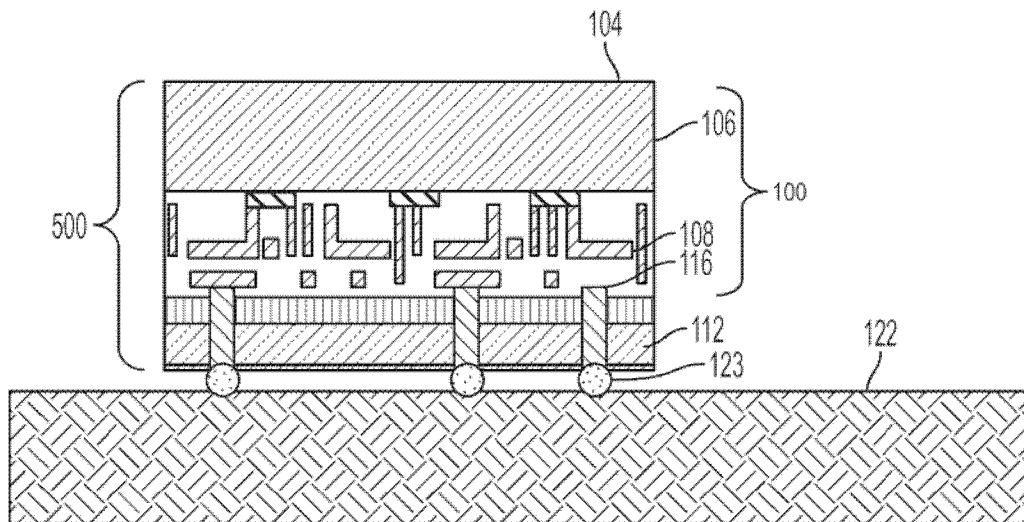


图 7

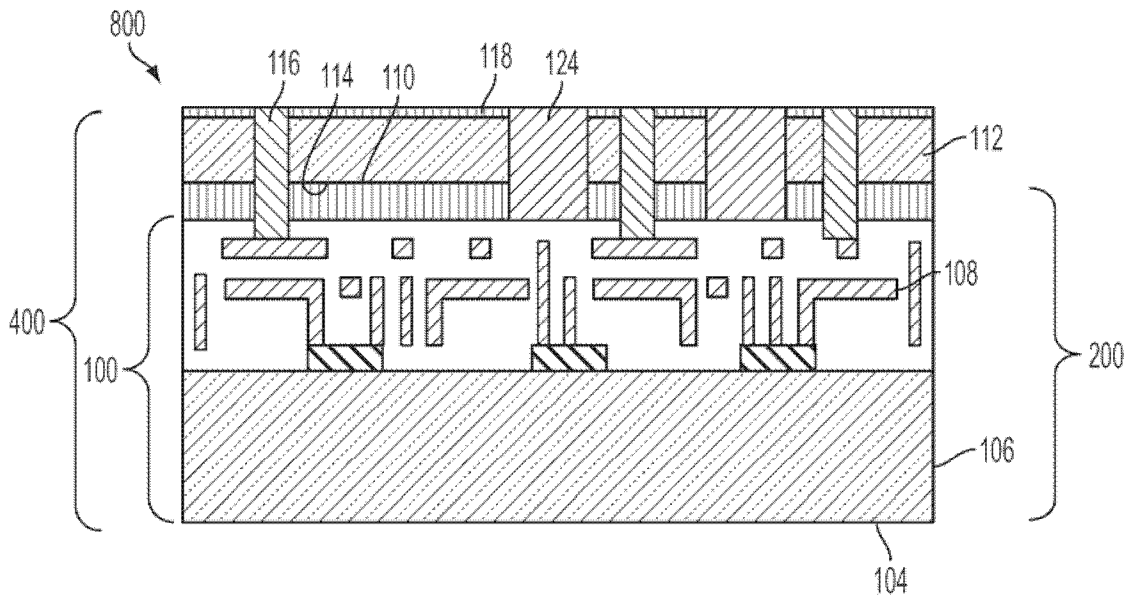


图 8

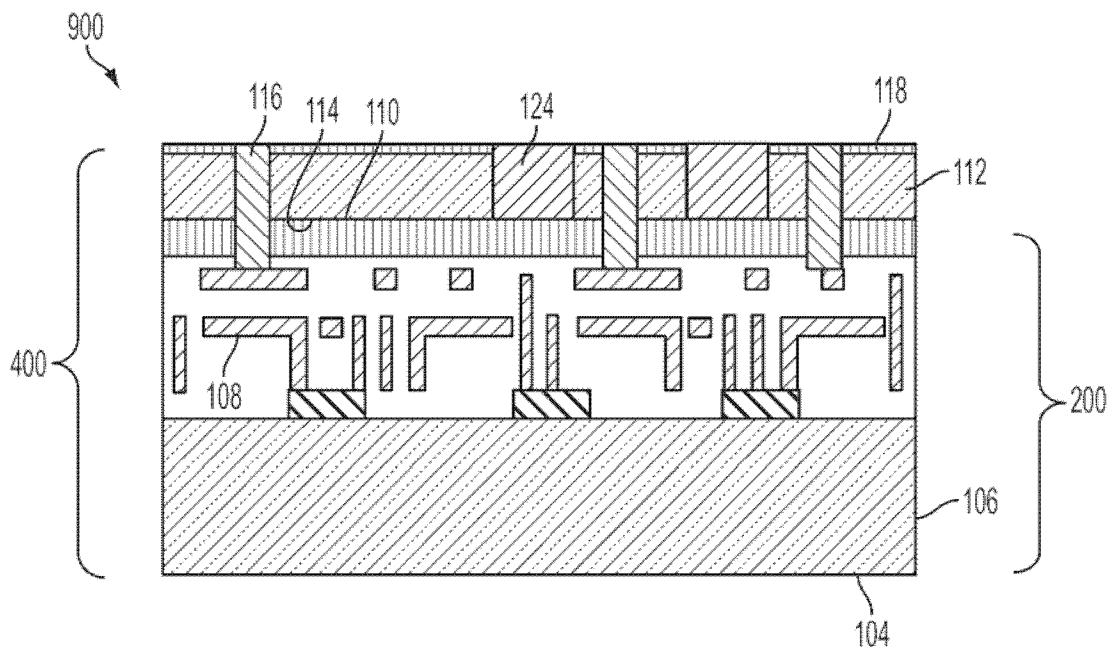


图 9

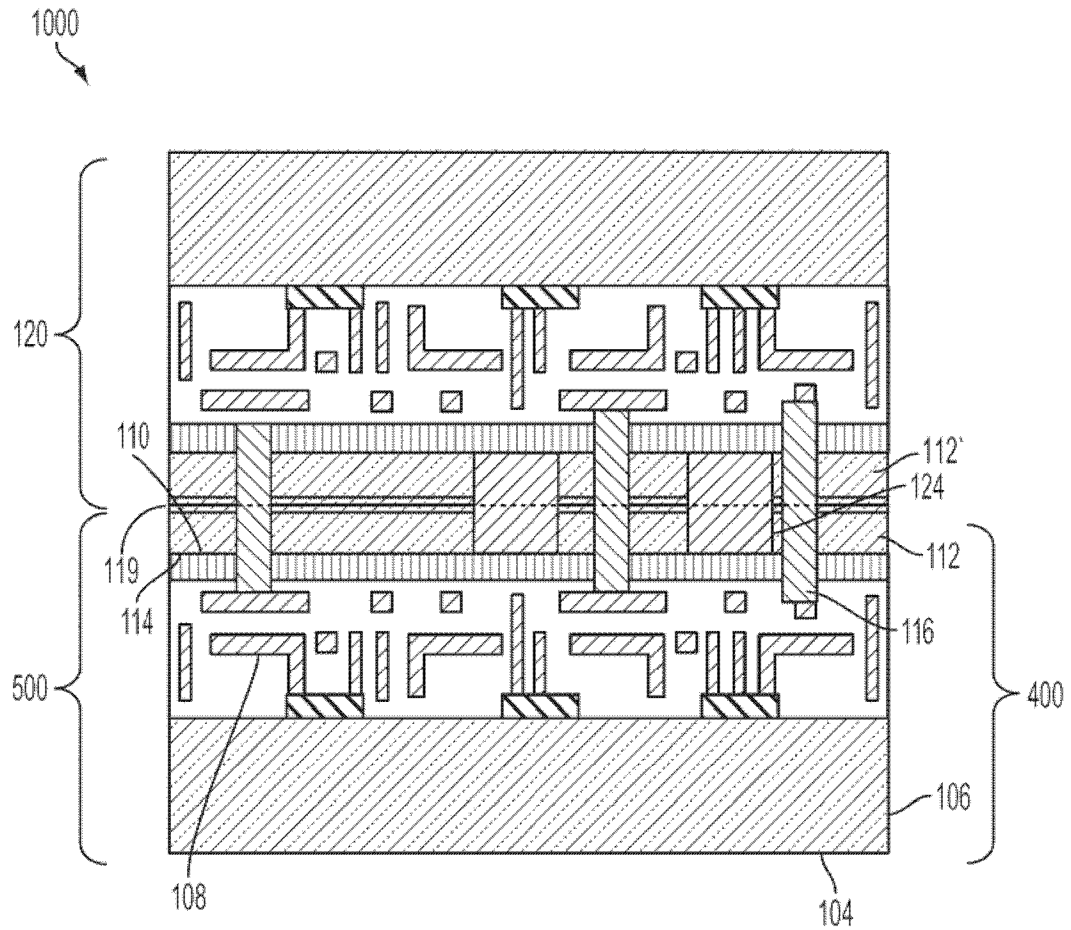


图 10

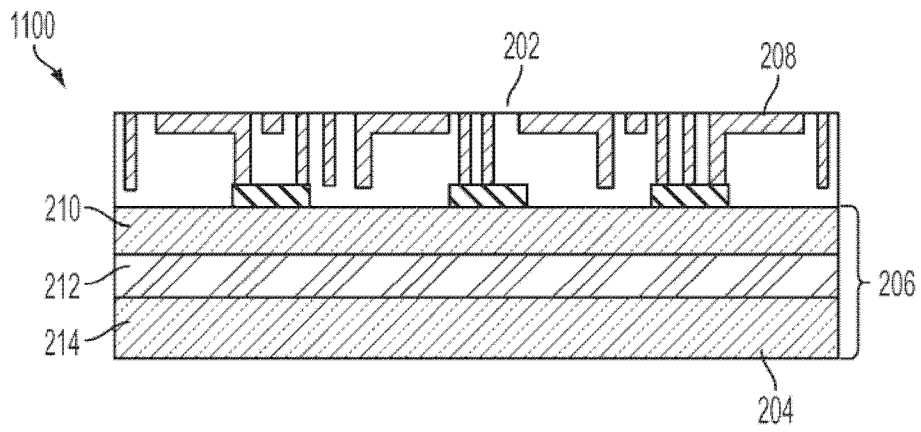


图 11

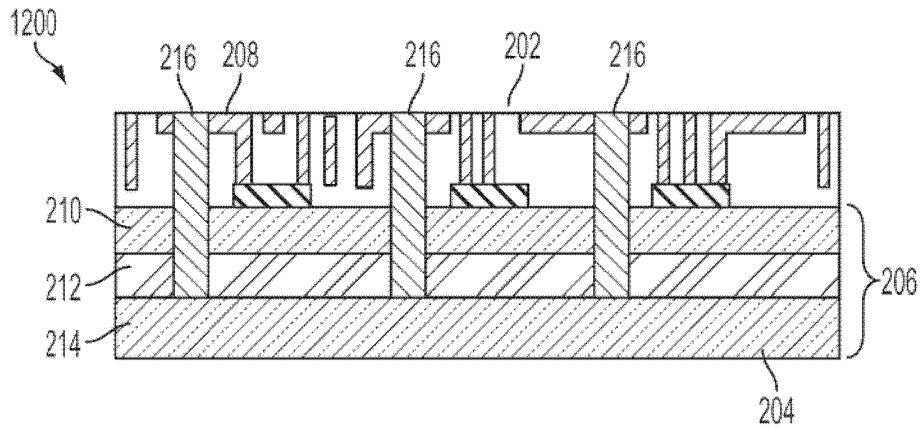


图 12

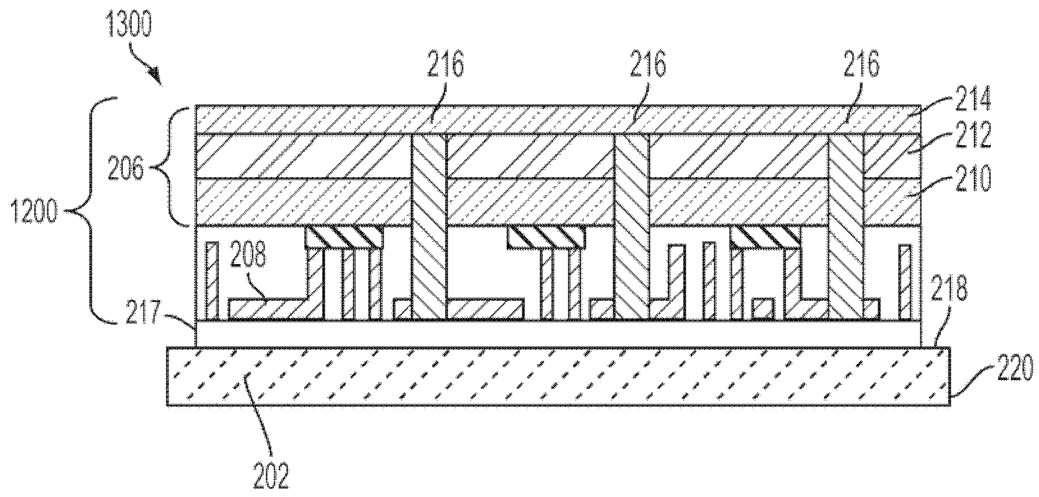


图 13

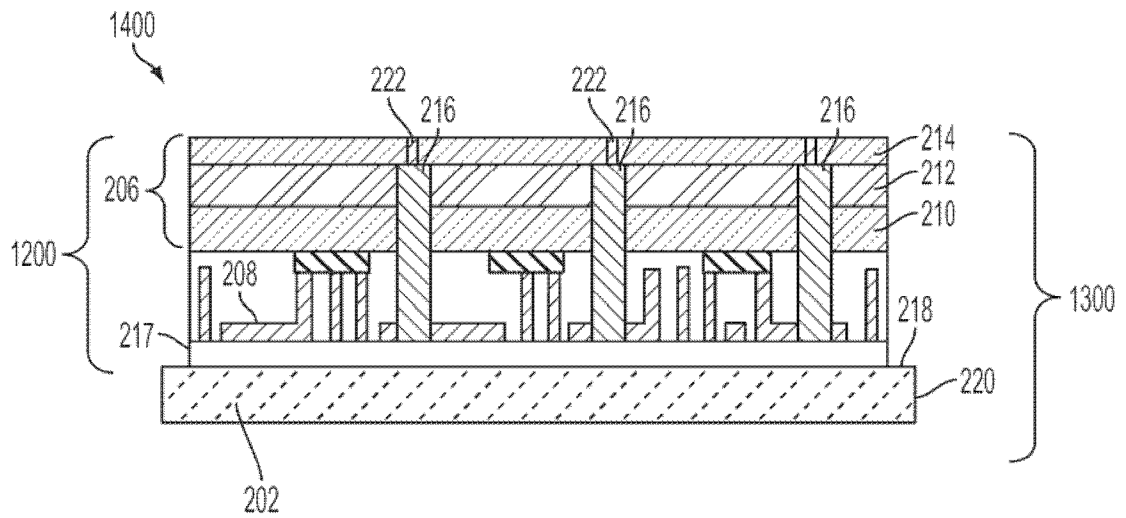


图 14

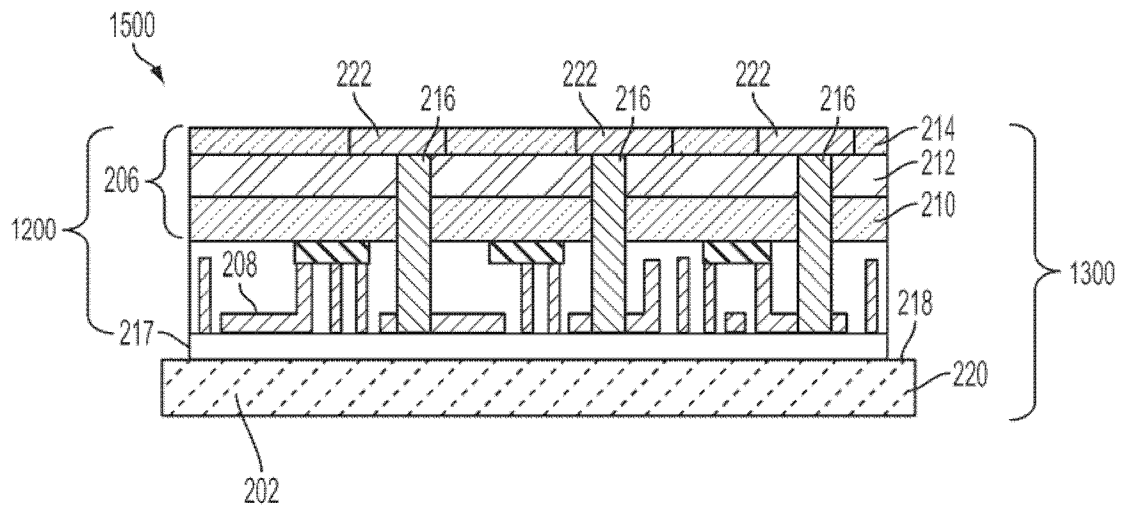


图 15

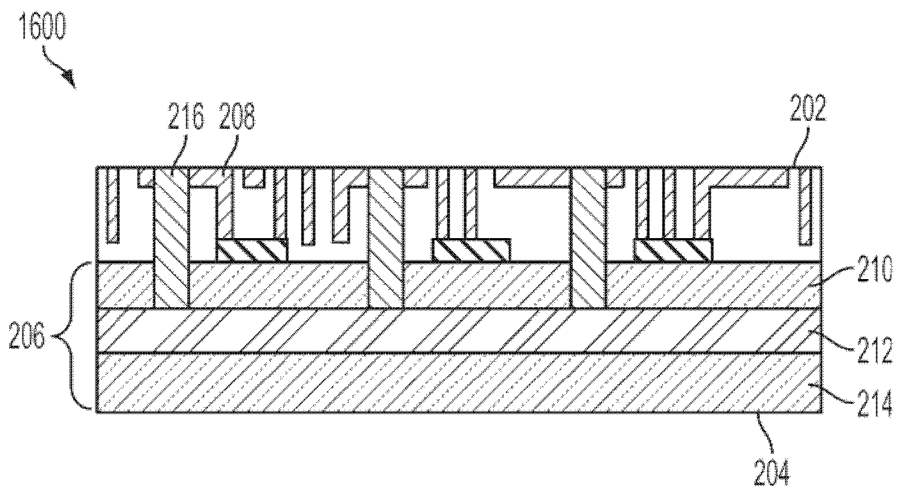


图 16

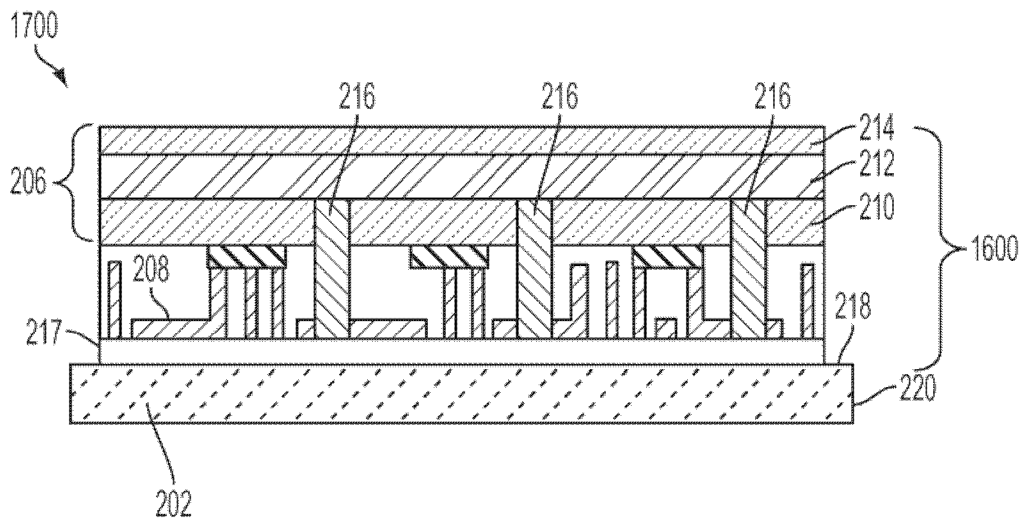


图 17

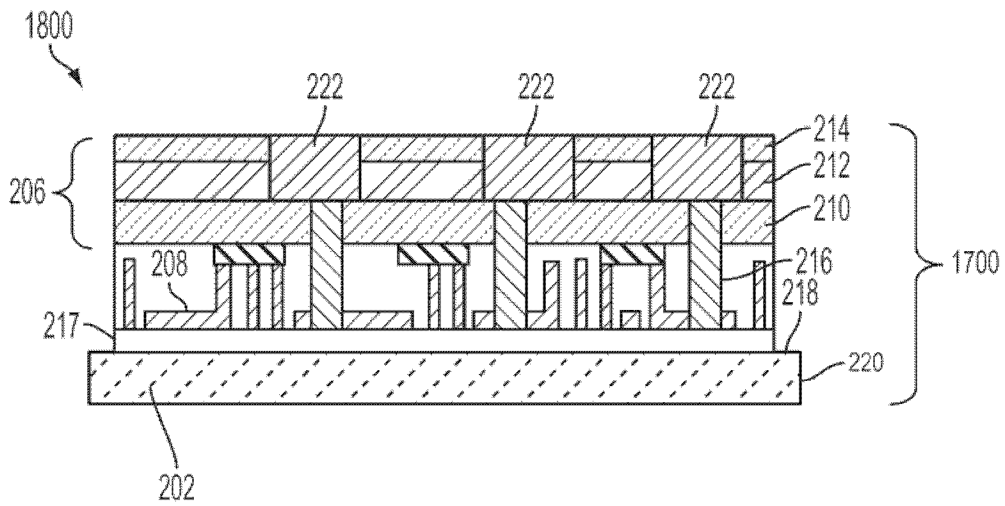


图 18

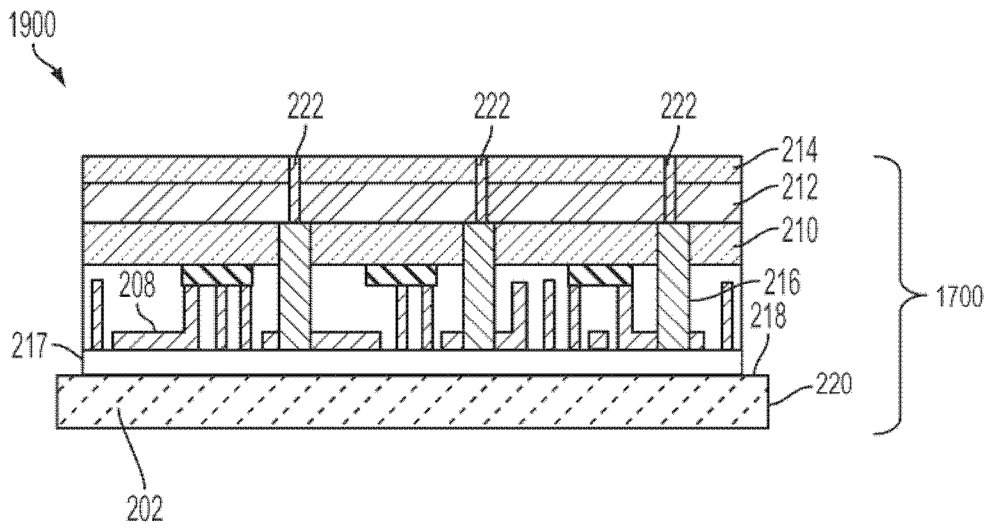


图 19

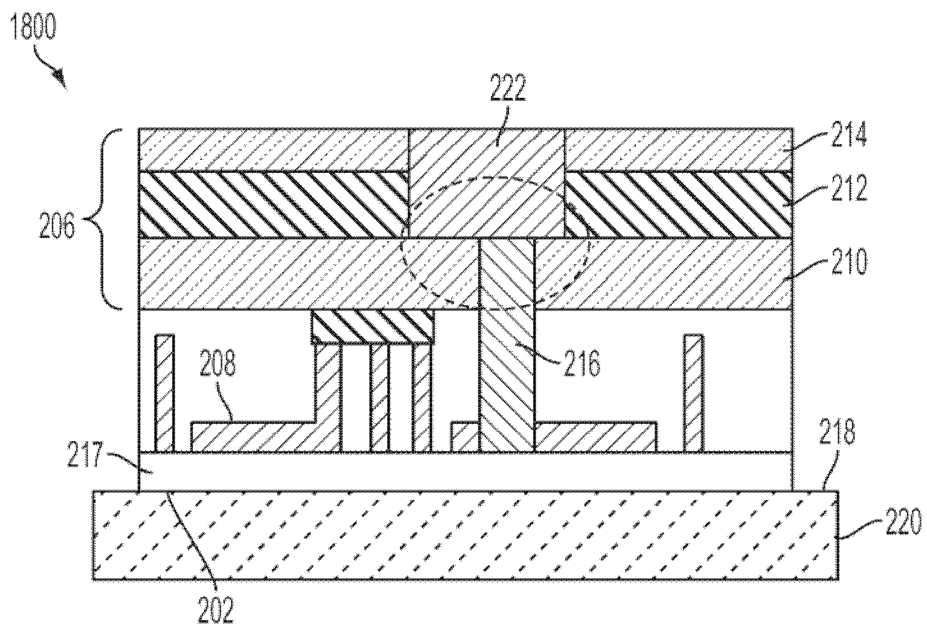


图 20

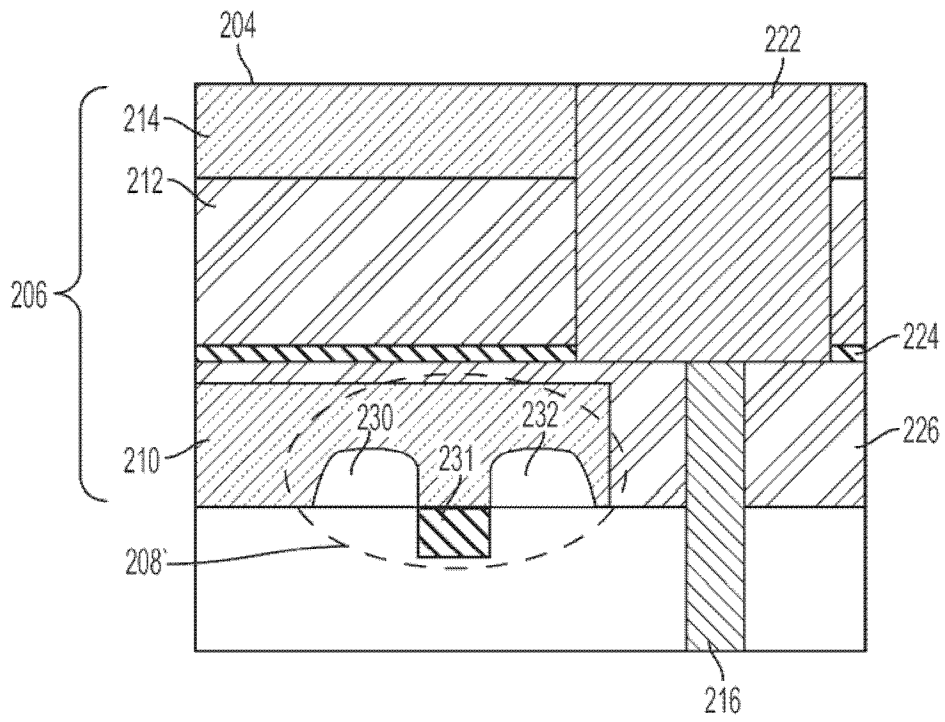


图 21

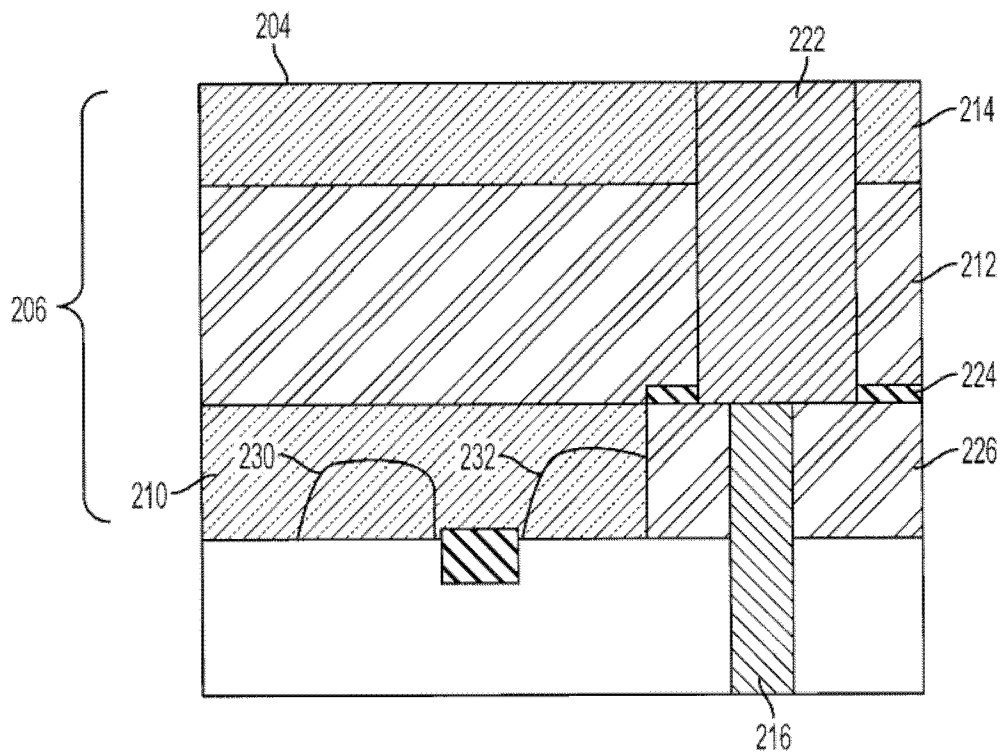


图 22

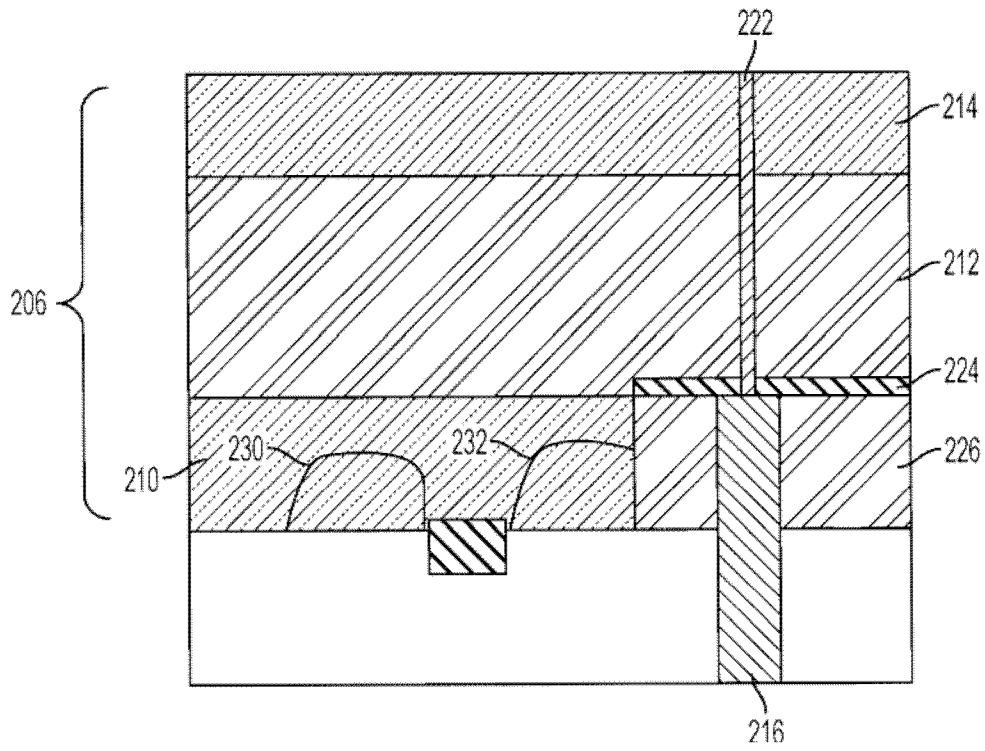


图 23

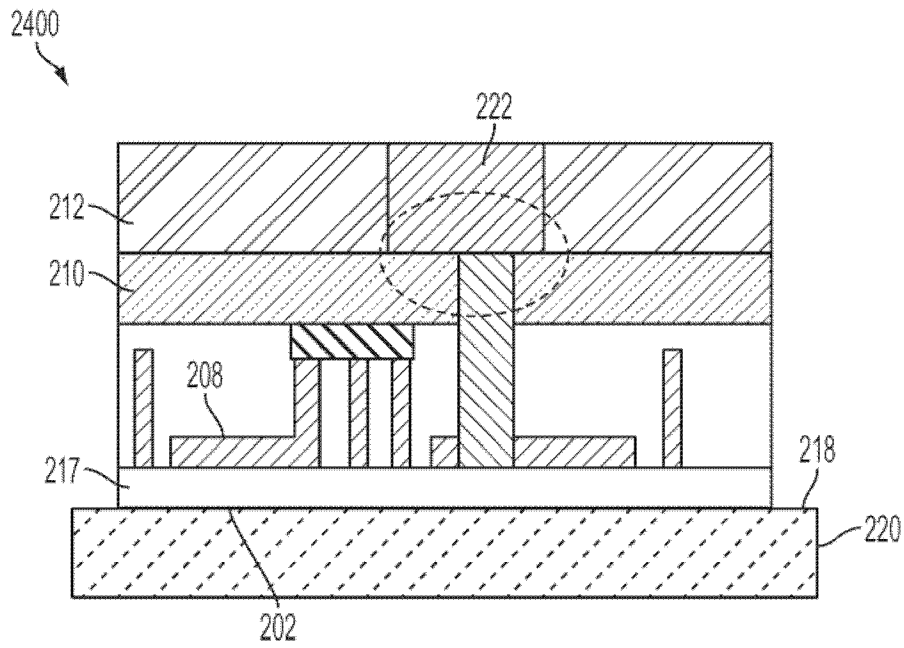


图 24

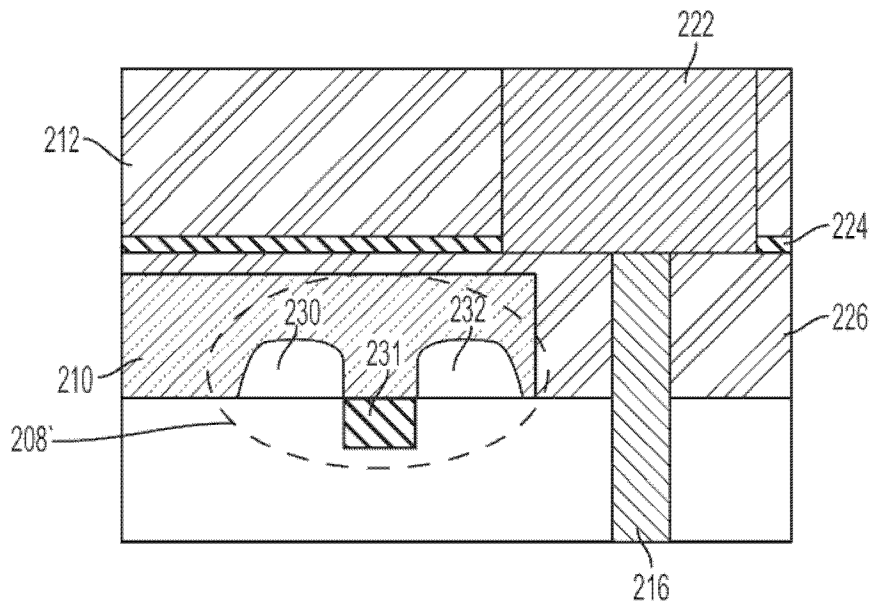


图 25

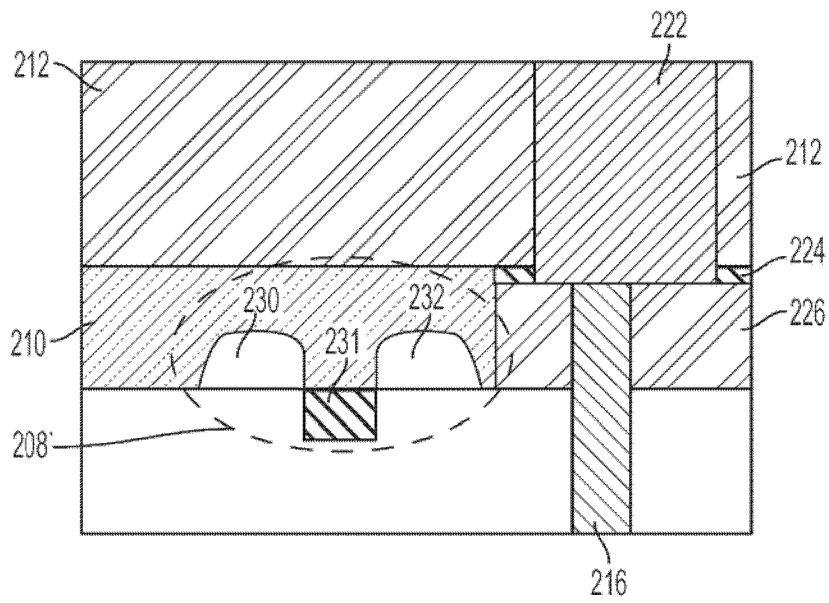


图 26

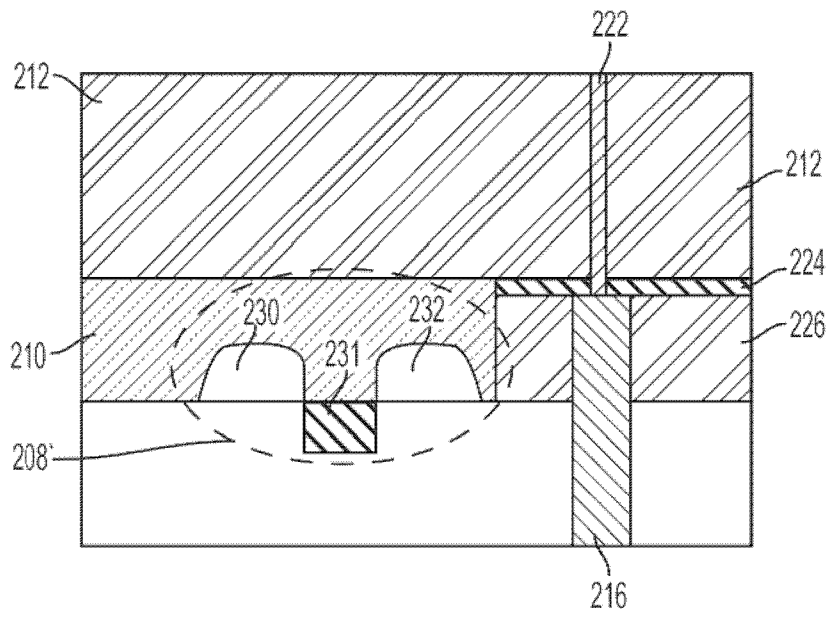


图 27

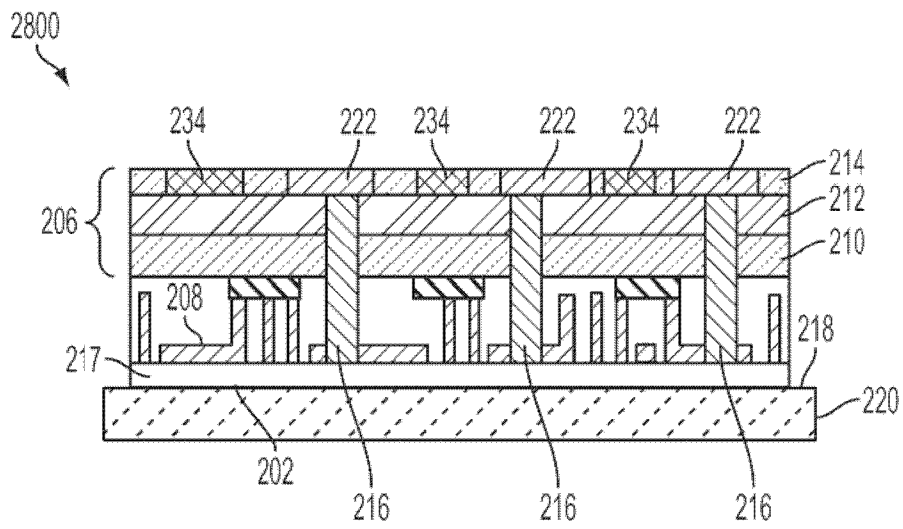


图 28

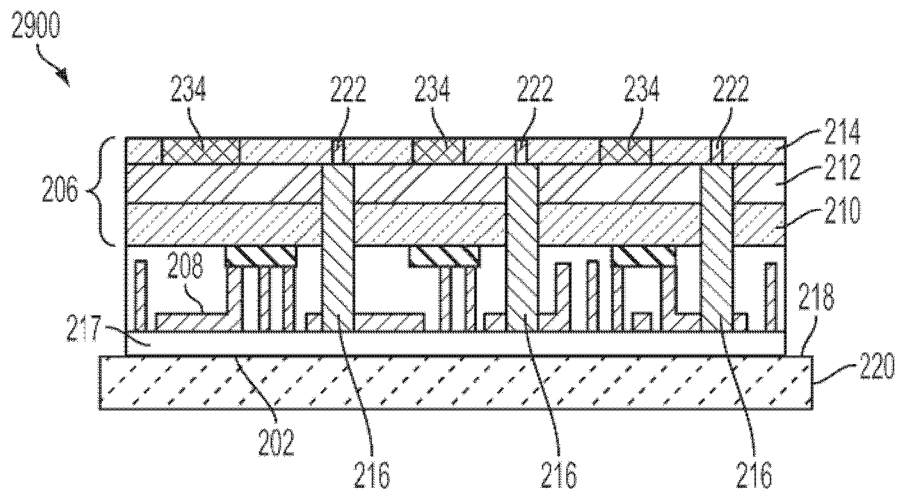


图 29

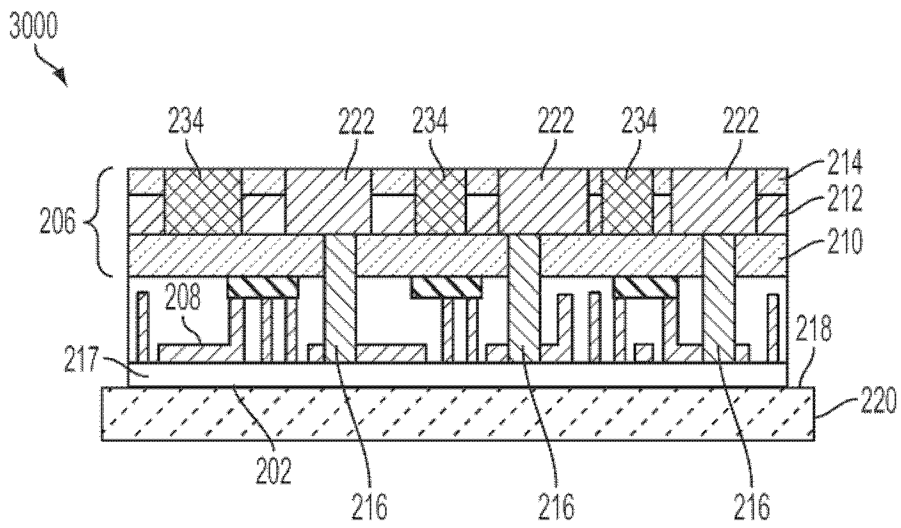


图 30

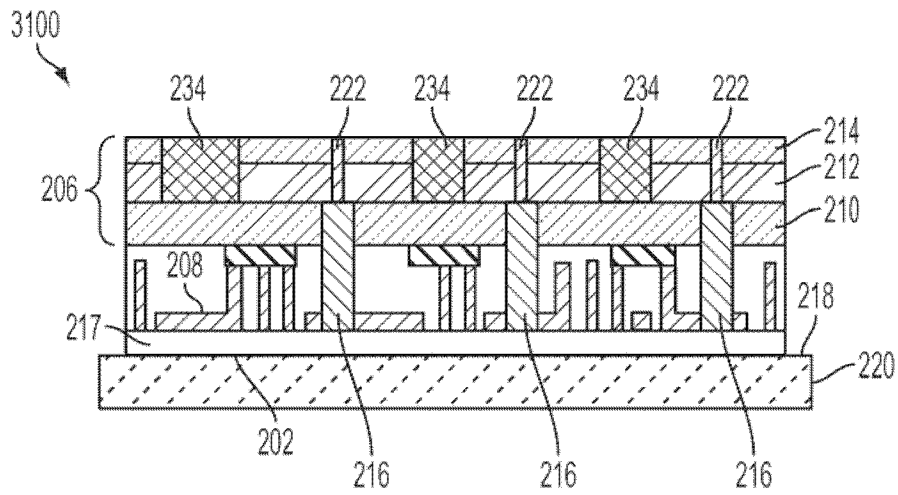


图 31

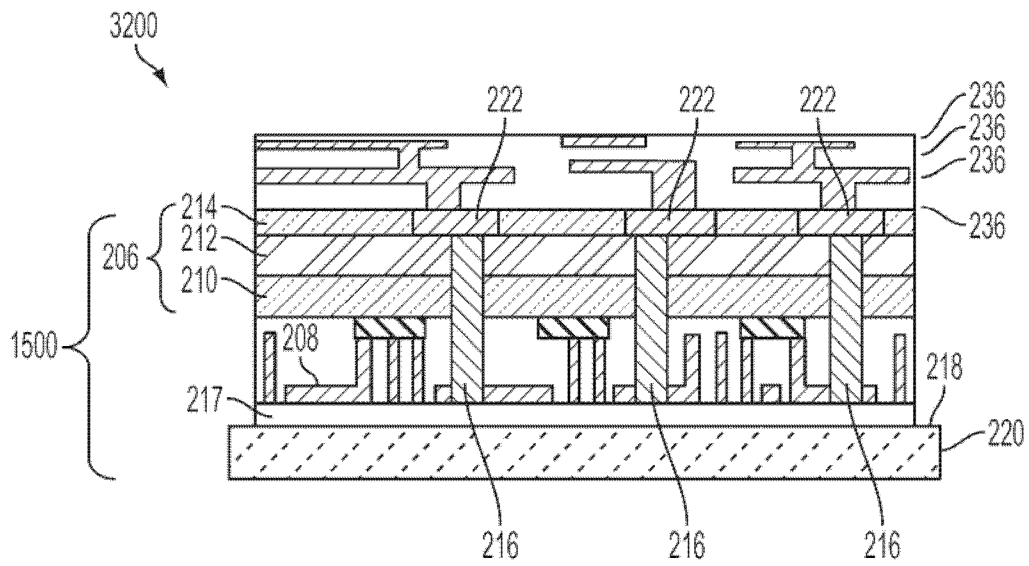


图 32

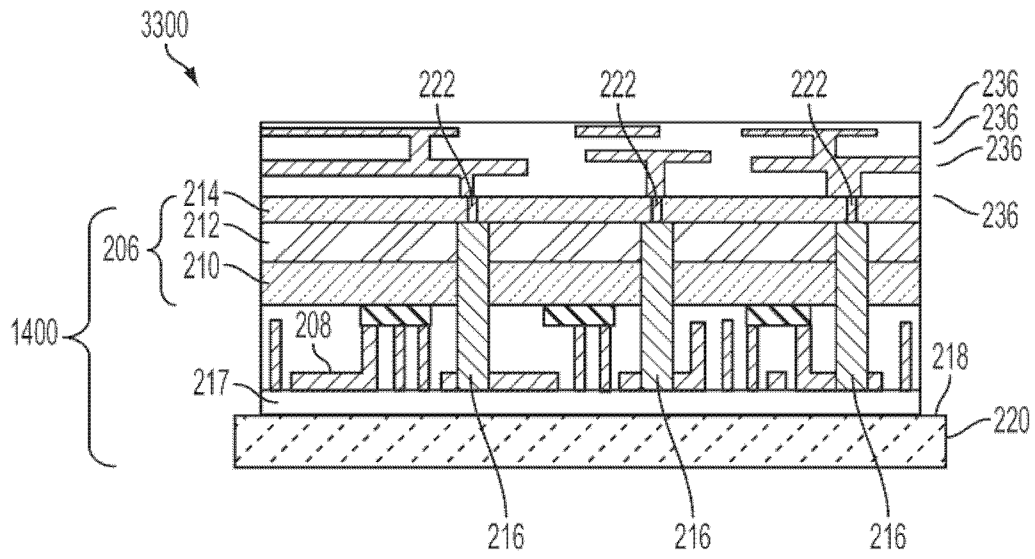


图 33

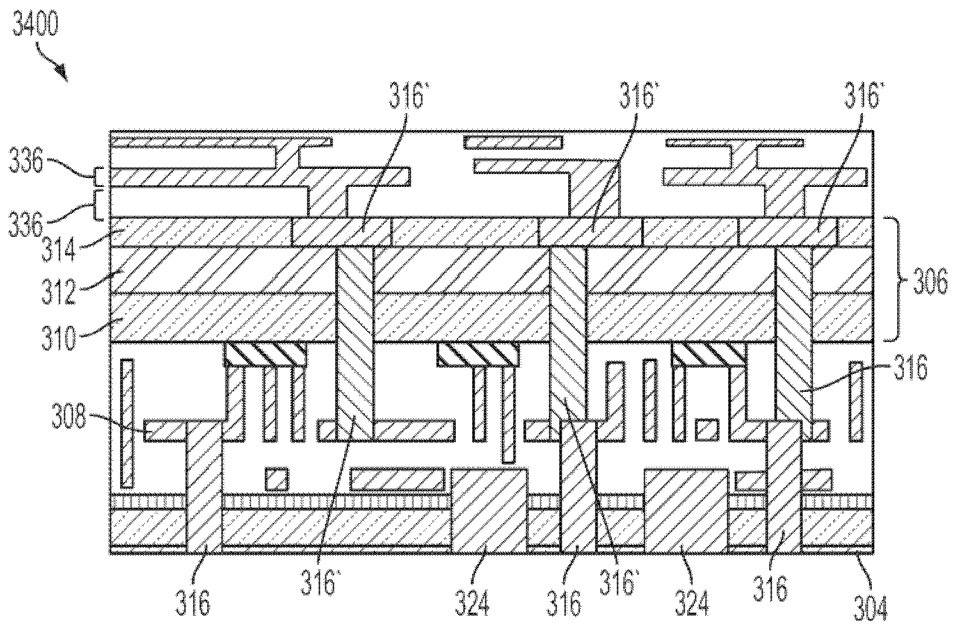


图 34

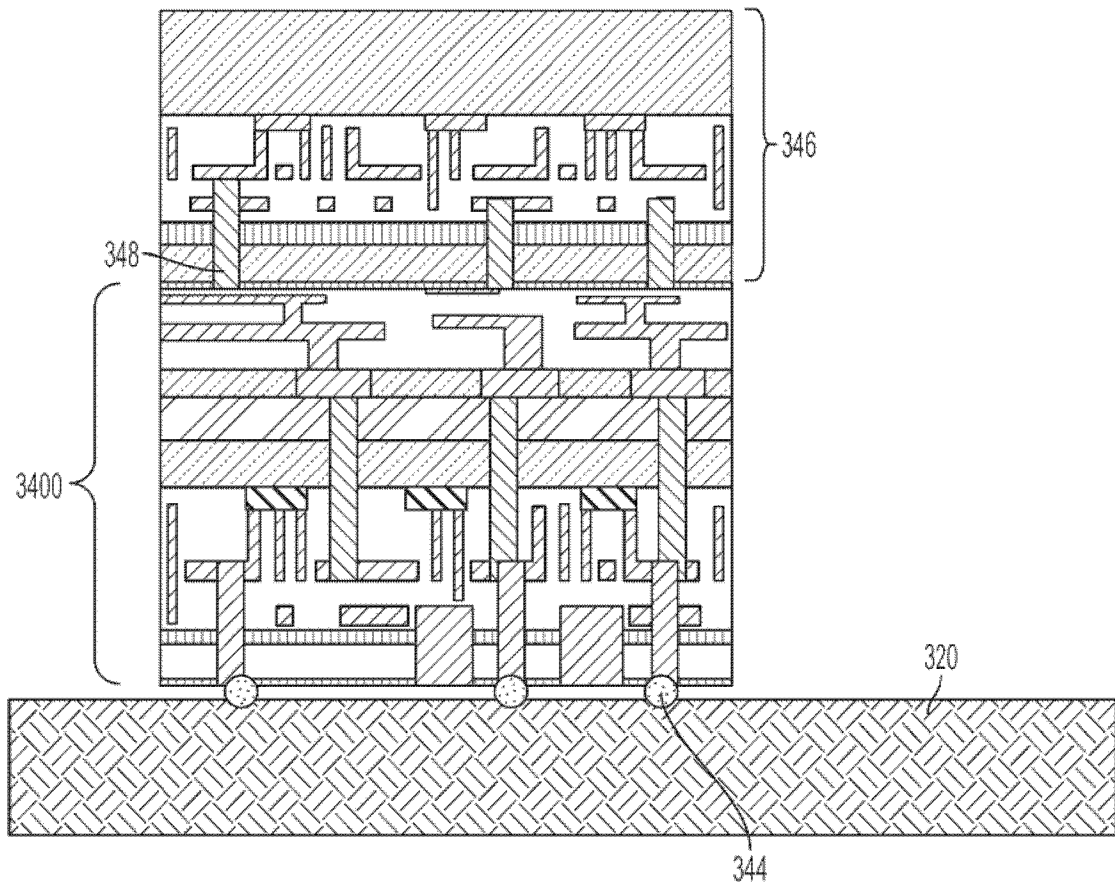


图 35

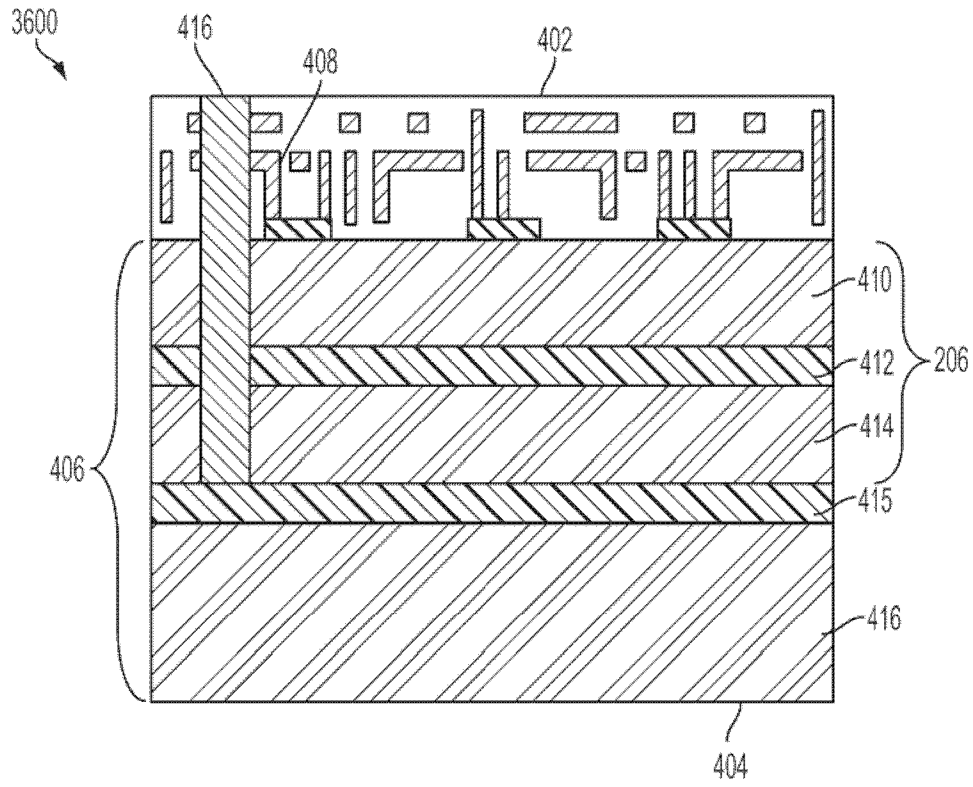


图 36

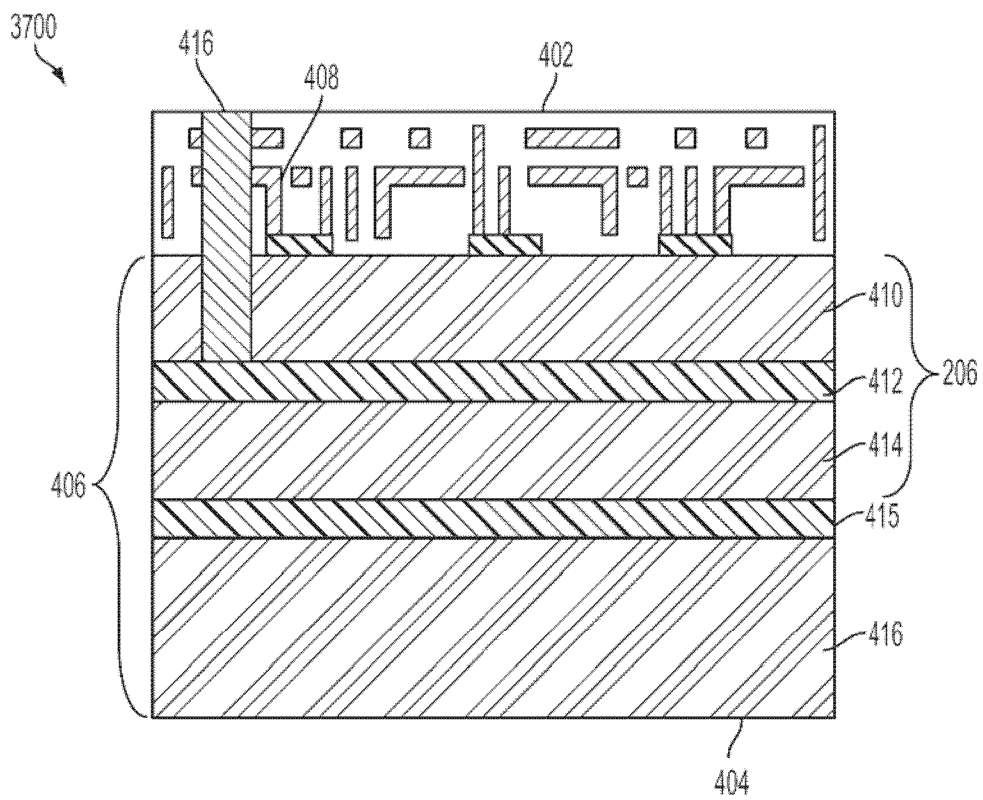


图 37

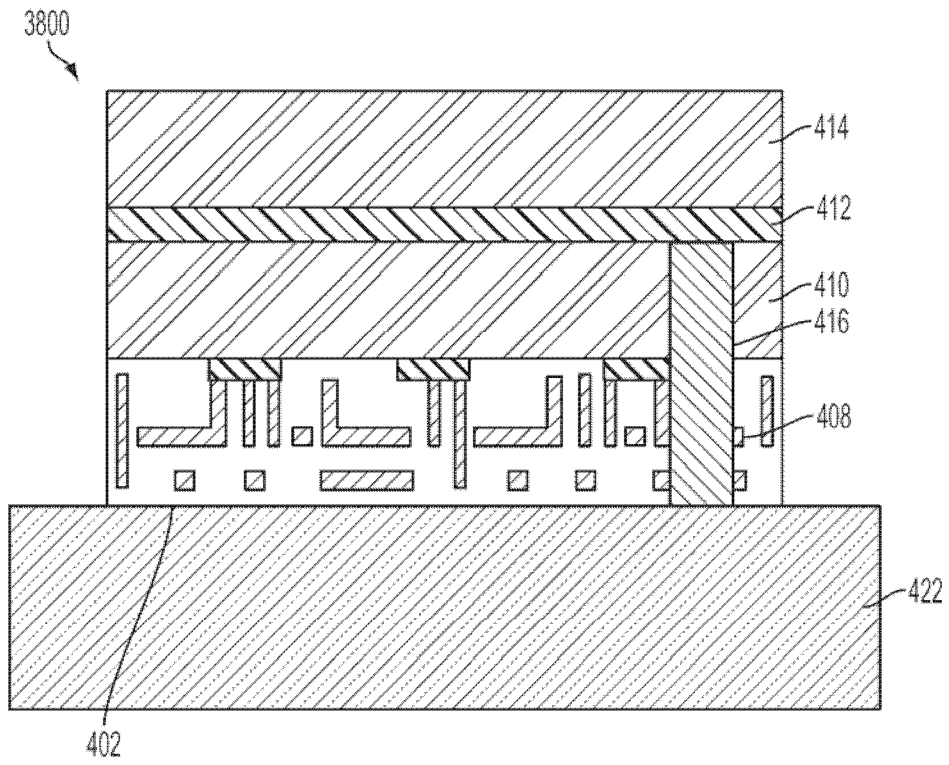


图 38

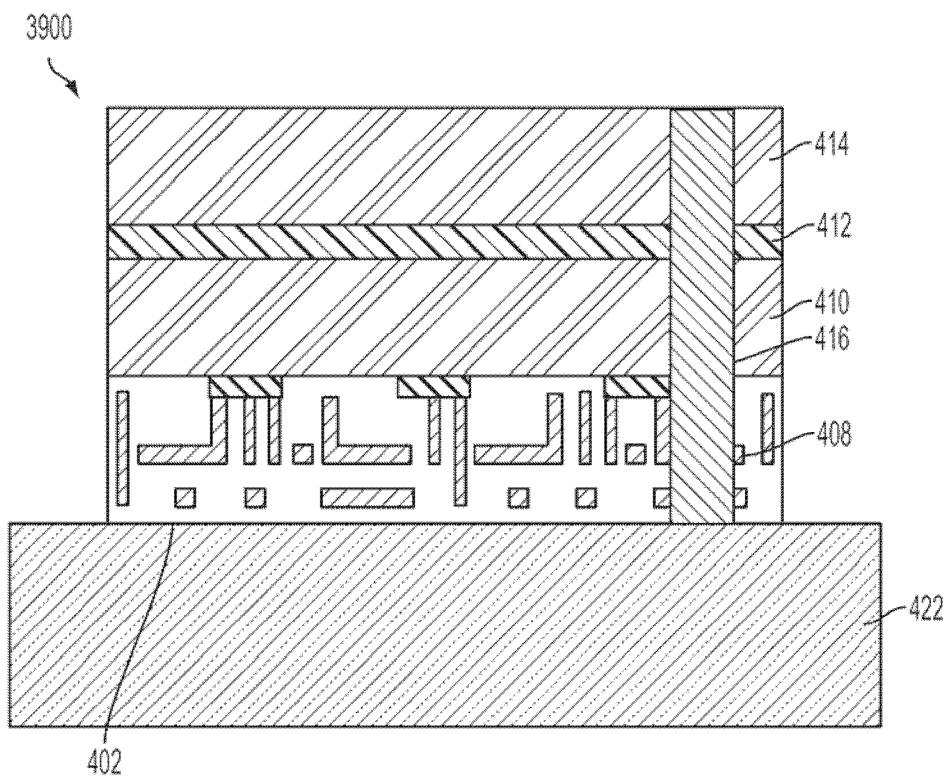


图 39