



(12) 发明专利申请

(10) 申请公布号 CN 103098207 A

(43) 申请公布日 2013.05.08

(21) 申请号 201180043590.0

(51) Int. Cl.

(22) 申请日 2011.09.21

H01L 25/065(2006.01)

(30) 优先权数据

H01L 23/36(2006.01)

12/889,590 2010.09.24 US

(85) PCT申请进入国家阶段日

2013.03.11

(86) PCT申请的申请数据

PCT/US2011/052466 2011.09.21

(87) PCT申请的公布数据

W02012/040271 EN 2012.03.29

(71) 申请人 ATI 科技有限责任公司

地址 加拿大安大略省

申请人 超威半导体公司

(72) 发明人 贾迈尔·里法伊-艾哈迈德

布莱恩·布莱克 迈克尔·Z·苏

(74) 专利代理机构 上海胜康律师事务所 31263

代理人 李献忠

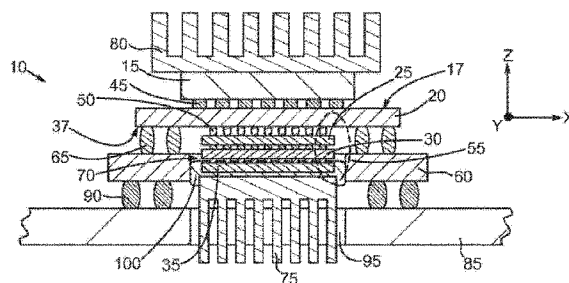
权利要求书2页 说明书7页 附图5页

(54) 发明名称

具有热管理的堆叠半导体芯片设备

(57) 摘要

提供一种包括将热管理设备(75)与半导体芯片设备(10)的第一半导体芯片(35)热接触放置的制造方法。所述半导体芯片设备包括耦接到所述第一半导体芯片的第一基板(60)。所述第一基板具有第一孔径(70)。所述第一半导体芯片和所述热管理设备中至少一个至少部分位于所述第一孔径中。



1. 一种制造方法,其包括:
将第一半导体芯片(35)耦接到第一基板(60),所述第一基板包括第一孔径(70);和通过所述第一孔径将热管理设备(75、75'、75'')与第一半导体芯片热接触放置。
2. 如权利要求1所述的方法,其中所述热管理设备包括散热器、均热板或热电冷却器中的一个。
3. 如权利要求1所述的方法,其中所述第一半导体芯片和所述热管理设备中的至少一个至少部分位于所述第一孔径中。
4. 如权利要求1所述的方法,其包括将多个半导体芯片(25、30、35)耦接到所述第一基板。
5. 如权利要求4所述的方法,其中所述多个半导体芯片中的一个包括插入器(20)。
6. 如权利要求1所述的方法,其中所述第一基板包括电路板,所述方法包括将所述第一电路板耦接到第二电路板(85)。
7. 如权利要求6所述的方法,其中所述第二电路板包括第二孔径(95),且所述热管理设备至少部分位于所述第二孔径中。
8. 如权利要求7所述的方法,其中将所述热管理设备耦接到所述第二电路板。
9. 一种制造方法,其包括:
将热管理设备与半导体芯片设备(10)的第一半导体芯片热接触放置;且
其中所述半导体芯片设备包括耦接到所述第一半导体芯片(60)的第一基板,所述第一基板包括第一孔径(70),且所述热接触是通过所述第一孔径。
10. 如权利要求9所述的方法,其中所述热管理设备包括散热器、均热板或热电冷却器中的一个。
11. 如权利要求9所述的方法,其中所述第一半导体芯片和所述热管理设备中的至少一个至少部分位于所述第一孔径中。
12. 如权利要求9所述的方法,其中所述半导体芯片设备包括耦接到所述第一基板的多个半导体芯片(25、30、35)。
13. 如权利要求12所述的方法,其中所述多个半导体芯片中的一个包括插入器(20)。
14. 如权利要求9所述的方法,其中所述第一基板包括电路板,所述方法包括将所述第一电路板耦接到第二电路板(85)。
15. 如权利要求14所述的方法,其中所述第二电路板包括第二孔径(95),且所述热管理设备至少部分位于所述第二孔径中。
16. 如权利要求15所述的方法,其中将所述热管理设备(75'')耦接到所述第二电路板。
17. 一种装置,其包括:
半导体芯片设备(10),其包括耦接到第一基板的第一半导体芯片(35),所述第一基板包括第一孔径(70);和
热管理设备(70),其通过所述第一孔径与所述第一半导体芯片热接触。
18. 如权利要求17所述的装置,其中所述热管理设备包括散热器、均热板或热电冷却器中的一个。
19. 如权利要求17所述的装置,其中所述第一半导体芯片和所述热管理设备中的至少一个至少部分位于所述第一孔径中。

20. 如权利要求 17 所述的装置,其中所述第一半导体芯片和所述热管理设备都至少部分位于所述第一孔径中。

21. 如权利要求 17 所述的装置,其包括耦接到所述第一基板的多个半导体芯片。

22. 如权利要求 21 所述的装置,其中多个半导体芯片中的一个包括插入器(20)。

23. 如权利要求 17 所述的装置,其中所述第一基板包括耦接到第二电路板的电路板(85)。

24. 如权利要求 23 所述的装置,其中所述第二电路板包括第二孔径(95),且所述热管理设备至少部分位于所述第二孔径中。

25. 如权利要求 24 所述的装置,其中将所述热管理设备耦接到所述第二电路板。

具有热管理的堆叠半导体芯片设备

[0001] 发明背景

1. 技术领域

[0002] 本发明一般涉及半导体加工,并且更具体涉及堆叠半导体芯片的热管理结构及其组装方法。

[0003] 2. 相关领域描述

[0004] 堆叠半导体芯片设备向科学家和工程师提出大量设计和整合挑战。常见问题包括在堆叠半导体芯片之间和在个别芯片和某一类型的电路板之间提供适当的电接口,所述电路板例如半导体芯片安装到的母板或半导体芯片封装基板。与堆叠半导体芯片相关的另一关键设计问题是热管理。大多数电设备由于电阻损耗而散热,且半导体芯片和装载半导体芯片的电路板都不例外。仍对与堆叠半导体芯片相关的另一技术挑战进行测试。

[0005] 将裸半导体薄片转变成芯片集,然后将所述芯片安装在封装上或其它板上涉及大量个别步骤。因为半导体芯片的加工和安装通常以线性方式进行,即,各个步骤通常按特定顺序执行,所以最好能够在流程中尽早识别瑕疵部分。这样,可识别瑕疵部分,使得它们不经受不必要的另外处理。在处理阶段尽早识别瑕疵部分的经济刺激在堆叠半导体芯片设备的设计和制造中充分展现。这是从制造堆叠半导体芯片设备的特定工艺流程包括许多涉及将多个单一半导体芯片连续安装到电路板的制造步骤的事实中得出的。例如,如果安装到载台基板的第一半导体芯片在上面堆叠了几个其它半导体芯片后才被认出有瑕疵,那么所有与后来安装的芯片有关的材料加工步骤和材料可能都会浪费。

[0006] 堆叠结构中半导体芯片的热管理在一个或多个半导体芯片的所需电测试期间仍然是技术挑战。堆叠结构中给定半导体芯片,不管是特定堆叠中第一个、中间的还是最后的半导体芯片,可能散热使得需要进行有效热管理来防止堆叠中的一个或所有半导体芯片热散逸,或使得可能以接近或真实操作功率级和频率来电测试堆叠中的一个或多个半导体芯片。

[0007] 本发明旨在克服或减小一个或多个前述劣势的效应。

[0008] 发明概述

[0009] 根据本发明的实施方案的一个方面,提供一种包括将第一半导体芯片耦接到第一基板的制造方法。第一基板包括第一孔径。热管理设备通过第一孔径与第一半导体芯片热接触放置。

[0010] 根据本发明的实施方案的另一方面,提供一种包括将热管理设备与半导体芯片设备的第一半导体芯片热接触放置的制造方法。半导体芯片设备包括耦接到第一半导体芯片的第一基板。第一基板具有第一孔径。热接触是通过第一孔径。

[0011] 根据本发明的实施方案的另一方面,提供一种包括半导体芯片设备的装置,所述半导体芯片设备具有耦接到第一基板的第一半导体芯片。第一基板包括第一孔径。热管理设备通过第一孔径与第一半导体芯片热接触放置。

[0012] 附图简述

[0013] 在阅读以下详细描述且参照附图后,本发明的前述优点和另外的优点将会变得显而易见,在附图中:

[0014] 图 1 是包括连接到插入器对面的半导体芯片的半导体芯片设备的示例性实施方案的剖视图;

[0015] 图 2 是以更大放大倍率示出的图 1 的部分;

[0016] 图 3 类似于图 1,但是是包括连接到插入器对面的半导体芯片且具有替代热管理设备的半导体芯片设备的另一示例性实施方案的剖视图;

[0017] 图 4 是从安装有热管理设备的电路板分解的示例性半导体芯片设备的剖视图;

[0018] 图 5 是示例性半导体芯片设备在装配初始阶段的剖视图;

[0019] 图 6 是类似于图 5 的剖视图,但是描绘了另外的装配;

[0020] 图 7 是类似于图 6 的剖视图,描绘了示例性热管理设备附接到半导体芯片设备;

[0021] 图 8 是描绘将示例性半导体芯片设备安装到示例性电路板上的剖视图;

[0022] 图 9 是包括连接到插入器对面的半导体芯片的半导体芯片设备的替代示例性实施方案的剖视图;和

[0023] 图 10 是图 9 描绘的插入器的示意图。

具体实施方式

[0024] 公开了各种堆叠半导体芯片结构。所公开的实施方案将基板或电路板与孔径合并来容纳半导体芯片和 / 或热管理设备中的一个的至少部分。热管理设备可操作以从芯片堆叠中最低的半导体芯片散热。孔径减小堆叠的形状因数而同时仍然提供热管理。现将描述另外的细节。

[0025] 在下文所描述的附图中,在相同元件出现在多于一个附图中的情况下,通常重复参考数字。现参看附图,并且具体参看图 1,示出半导体芯片设备 10 的示例性实施方案的剖视图,半导体芯片设备 10 包括连接到插入器 20 的侧面 17 的半导体芯片 15 和连接到插入器 20 的对面 37 的多个半导体芯片 25、30 和 35。半导体芯片设备 10 的示例性结构和本文公开的替代物和本文公开的相关半导体芯片 15、25、30 和 35 并不依赖于半导体芯片或插入器的特定电子功能或特定类型。因此,半导体芯片 15、25、30 和 35 可以是电子产品中使用的无数种不同类型的电路设备中的任何设备,所述电子产品例如微处理器、图形处理器、结合微处理器 / 图形处理器、专用集成电路、存储设备、例如激光的有源光学器件、无源光学器件等,且半导体芯片 15、25、30 和 35 可以是单核或多核或甚至是与另外的芯片横向堆叠。另外,半导体芯片 15、25、30 和 35 中任一个或全部可被配置成具有或不具有一些逻辑电路的插入器,且插入器 20 可以是半导体芯片。因此,术语“芯片”包括插入器,且反之亦然。半导体芯片 15、25、30 和 35 和插入器 20 可能由例如硅或锗的散装半导体或例如绝缘体上硅材料的绝缘体上半导体材料或其它芯片或甚至绝缘材料构成。如果构建为专用插入器,那么插入器 20 可能由适于用于堆叠半导体芯片结构中的各种材料组成。例如,一些理想的属性包括相对接近半导体芯片 15、25、30 和 35 的 CTE 的热膨胀系数、易制性和热导率。例如,示例性材料包括硅、锗、蓝宝石、金刚石、聚合物基体中的碳纳米管等。

[0026] 半导体芯片 15 可通过多个互连结构 45 电连接到插入器 20。互连结构 45 可以是导电柱、焊点或其它类型的互连件。半导体芯片 25 可类似地通过多个互连结构 50 连接到

插入器 20,互连结构 50 可以是导电柱、焊点或其它类型的互连件。

[0027] 虚线椭圆 55 外接插入器 20、半导体芯片 25、30 和 35 和其它结构的部分。虚线椭圆 55 外接的部分将在图 2 中以更大放大倍率示出。然而,在参看图 2 之前,现将描述图 1 的另外的细节。插入器 20 可安装到基板或电路板 60,且通过多个互连结构 65 电连接到基板或电路板 60。互连结构 65 可以是导电柱、焊点或其它类型的互连件。本文公开的半导体芯片设备 10 的示例性结构不依赖于特定电子电路板功能。因此,电路板 60 可以是半导体芯片封装基板、母板、电路板或几乎任何其它类型的印刷电路板。虽然单片结构可用于电路板 60,但是更典型的配置将使用堆积设计。在这方面,电路板 60 可由中央核心组成,所述中央核心上方形成一个或多个堆积层且下方形成另外一个或多个堆积层。核心本身可由一个或多个层堆叠形成。如果实施成半导体芯片封装基板,那么电路板 60 中层的数目可从四到十六不等或更多,但是也可使用少于四个层。也可使用所谓的“无核”设计。电路板 60 的层可由绝缘材料组成,例如各种已知的穿插金属互连件的环氧树脂。可使用堆积以外的多层配置。可选地,电路板 20 可由已知陶瓷或适于封装基板或其它印刷电路板的其它材料组成。电路板 60 具有许多导线和孔和其它结构(不可见)来在半导体芯片 15、25、30 和 35 之间和插入器 20 和例如另一电路板的另一设备之间提供电源、接地和信号传输。

[0028] 虽然最好能够将例如半导体芯片 25、30 和 35 的一个或多个半导体芯片安装到插入器 20 的侧面 37,但是所述结构必定增大半导体芯片设备 10 的总高度。所述高度增大在一些其它电子设备中半导体芯片设备 10 可用的空间有限的情况下可体现设计的复杂性。为了补偿与具有连接到插入器 20 的侧面 35 和 40 的半导体芯片相关的潜在高度增大,电路板 60 可能具有孔径 70,半导体芯片 25、30 和 35 中的一个或多个可伸入孔径 70。孔径 70 有利地完全穿过电路板 60 的厚度,来使可选热管理设备 75 能够至少与半导体芯片 30 热接触放置。可改变半导体芯片 25、30 和 35 和热管理设备 75 相对于孔径 70 的位置,来向半导体芯片设备 10 提供某一理想高度。例如,半导体芯片 25、30 和 35 中至少一个可部分或完全位于孔径 70 中,和 / 或可类似设置热管理设备 75 的部分。在任一情况下,热管理设备 75 通过孔径 70 与半导体芯片 35 热接触。

[0029] 热管理设备 75 可采用无数种配置,例如,如示出的热翅片散热器布置或几乎任何其它类型的传热设备设计。若需要,热管理设备 75 可包括均热板和 / 或固态热电冷却器。可使用适用于传热设备的各种类型的材料,例如,铜、镍、铝、钢、它们的组合等。例如金刚石或蓝宝石的更特殊的材料也可用于极端热环境。

[0030] 可选散热器 80 可安装在半导体芯片 15 上,来向半导体芯片设备 10 的上游提供热管理。散热器 80 可采用无数种配置,例如,如示出的翅片设计、更传统的半导体芯片封装盖、以上两种配置的组合或几乎任何其它类型的热输送设备。此外,示例性材料包括铜、镍、铝、钢、它们的组合等。例如金刚石或蓝宝石的更特殊的材料也可用于极端热环境。

[0031] 半导体芯片设备 10 可安装到各种不同类型的电子结构。在该示意性实施方案中,半导体芯片设备 10 安装到电路板 85,且通过多个将电路板 60 连接到电路板 85 的互连结构 90 连接到电路板 85,所述电路板 85 可以是电路板、母板或几乎任何类型的电路板。在所述示意性实施方案中,互连结构 90 可以是一些锡球。然而,技术人员将理解到也可使用其它类型的互连结构,例如,针栅阵列、焊盘网格阵列或其它互连结构。在所述示意性实施方案中,至少与半导体芯片 35 热接触的热管理设备 75 的厚度可足以要求伸入电路板 85 或穿过

电路板 85。为了将热管理设备 75 容纳在所述电路板 85 中,可提供适当孔径 95 来容纳热管理设备 75。如果热管理设备 75 沿 z 轴具有足够尺寸,那么在 x-y 平面中有空气或其它气流的情况下可实现对流冷却。

[0032] 为了促进热管理设备 75 和至少半导体芯片 35 之间的热接触,热界面材料 100 可位于孔径 70 中,且与热管理设备 75 和至少半导体芯片 35 热接触。若需要,热界面材料 100 可足够广泛来根据需要完全填充孔径 70。热界面材料 100 可由适于热管理的各种不同类型的热界面材料组成,例如,硅橡胶、硅润滑脂、丙烯酸类聚合物等。甚至可使用例如铟、镓、各种焊料等的金属材料。当然,如果使用金属材料,那么半导体芯片 35 可能必须具有适当的润湿膜或甚至堆叠。所述堆叠可包括形成在半导体芯片 35 上的铝膜、形成在铝膜上的钛膜、形成在钛膜上的镍钒膜和形成在镍钒膜上的金膜。铝膜提供与硅的有利的附着。钛膜提供阻挡层,来防止金和铟迁入半导体芯片 35,并促进与镍钒膜的附着,且镍钒膜提供与金的理想附着和屏障来阻止扩散到钛层中。金膜为铟提供理想的润湿表面。

[0033] 现在请参看图 2,如上所述图 2 是以更大放大倍率示出的虚线椭圆 55 外接的图 1 的部分。这里,可看见插入器 20、半导体芯片 25、30 和 35、电路板 60 和热界面材料 100 的小部分。另外,也可看见热管理设备 75 的小部分。插入器 20 可具有多个内部布线结构,例如,黑线 105 示意性地表示的布线结构。半导体芯片 25、30 和 35 可类似地具有分别由黑线 110、115 和 120 示意性地表示的多个内部布线结构。技术人员将理解到布线结构 105、110、115 和 120 可以是单线线路或由导电孔互连的多个导线层或按要求地其它类型的结构。插入器 20 可如上文所述通过多个互连结构 50 电连接到半导体芯片 25。互连结构 50 可以是微焊点、导电柱等。互连结构 50 可电连接到插入器 20 和半导体芯片 25 的各自的导体结构或焊垫 125 和 130。半导体芯片 25 和 30 可被导体结构 135 电连接,且半导体芯片 30 和 35 可被导体结构 140 电连接。导体结构 135 和 140 可以是微焊点、导电柱等。导体结构 135 可电连接到半导体芯片 25 和 30 的各自的导体结构或焊垫 145 和 146,且导体结构可电连接到半导体芯片 30 和 35 的各自的导体结构或焊垫 147 和 148。

[0034] 本文公开为尽可能由焊料组成的任何导体结构可由各种类型的焊料组成,例如,无铅或含铅焊料。适当的无铅焊料的例子包括锡-银(约 97.3% 的 Sn、2.7% 的 Ag)、锡-铜(约 99% 的 Sn、1% 的 Cu)、锡-银-铜(约 96.5% 的 Sn、3% 的 Ag、0.5% 的 Cu)等。含铅焊料的例子包括共晶比例或接近共晶比例的锡铅焊料。

[0035] 各种焊垫 125、130、145、146、147 和 148 或上文所述的导电柱可由铜、铝、银、金、铂、钛、难熔金属、难熔金属化合物、它们的合金等制成。若需要,那么焊垫 125、130、145、146、147 和 148 可由下部金属结构构成,所述下部金属结构提供屏障功能来阻止焊料浸渍。例如,多个金属层的层压例如钛层,然后是镍-钒层,然后是铜层。在另一个实施方案中,钛层可被铜层覆盖,然后是顶部镍涂层。然而,技术人员将理解到各种导电材料可用于导体。可使用各种已知技术来涂覆金属材料,例如,电镀、物理气相沉积、化学气相沉积等。

[0036] 如上所述,热界面材料 100 可如图 2 中描绘部分地与孔径 170 同延或甚至完全同延。的确,所提供的热界面材料 100 的量使得半导体芯片 25、30 和 35 中所有半导体芯片都与热界面材料 100 接触。

[0037] 现在可参看图 3 来理解半导体芯片设备 10' 的另一示例性实施方案,图 3 是类似于图 1 的剖视图。这里,半导体芯片设备 10' 可实质与半导体芯片设备 10 类似地配置,除

了几处显著的例外。因此,半导体芯片 15、25、30 和 35 可连接到插入器 20 的对面。散热器 75' 可至少与半导体芯片 35 热接触放置,且芯片 25、30 和 35 可部分或完全位于电路板 60 中孔径 70 中。然而,在所述示意性实施方案中,热管理设备 75' 比图 1 中描绘的热管理设备 75 高度低。因此,不需要提供具有孔径的电路板 85' 来容纳热管理设备 75'。只需要提供足够的间隙 Z1 来容纳替代性热管理设备 75'。

[0038] 在前述示意性实施方案中,热管理设备 75 或 75' 主要由热界面材料 100 的固有粘性固定到半导体芯片设备 10。然而,技术人员将理解到可使用各种机制来相对于半导体芯片设备的任何公开的实施方案的半导体芯片设置热管理设备。在这方面,现在参看图 2,其是描绘从电路板 85'' 的替代示例性实施方案分解的半导体芯片设备 10 的剖视图。这里,热管理设备 75'' 可固定到电路板 85'', 且通过一个或多个支架 150 和 155 向下延伸穿过其中的孔径 95。支架 150 和 155 可通过任何无数已知紧固技术固定到电路板 85'', 例如,螺丝、焊料、粘合剂等。热管理设备 75'' 可通过所描绘的螺丝 160 和 165 或通过粘合剂、夹子、甚至焊料或任何各种已知紧固技术来固定到支架 150 和 155。因此,热管理设备 75'' 可首先固定到电路板 85'', 然后半导体芯片设备 10 可安装到电路板 85'', 使得在热界面材料 100 和半导体芯片设备 10 的至少半导体芯片 35 之间建立热接触。此后,必要时可执行适当的回流焊接工艺来建立与互连结构 90 和电路板 85'' 相关的冶金结合。

[0039] 现可通过参看图 5、6 和 7 且首先参看图 5 来理解装配图 1 和 2 描绘的半导体芯片设备 10 的示例性工艺流程。图 5 是半导体芯片设备 10 在安装图 1 和 2 描绘的半导体芯片 25、30 和 35 之前的剖视图。这里,如果半导体芯片 15 被大批生产为半导体薄片或其它工件的部分,那么半导体芯片 15 可首先是单一的,然后被安装到插入器 20 并通过互连结构 45 电连接到插入器 20。插入器 20 可类似地大批生产且在安装半导体芯片 15 之前或之后是单一的。在任一情况下,互连结构 45 可取决于它们的成分而必要时经受焊料回流焊接工艺。另外,在将插入器 20 安装到电路板 60 之前或在互连结构 65 在例如两个焊接凸点或柱和凸点等的两个结构之间构成活接头的情况下,可制造互连结构 65 并将互连结构 65 连接到插入器 20, 然后互连结构 65 可分别在插入器 20 和电路板 60 上它们各自壳中形成,随后以安装/回流焊接工艺结合。在任一情况下,被设计来与图 1 和 2 中描绘的半导体芯片 25 电连接和结合的互连结构 50 这时或若需要就在下一阶段可位于插入器 20 上。

[0040] 可用各种方式在电路板 60 中建立孔径 70。在一个示意性实施方案中,电路板 60 可整体形成,随后可执行适当材料去除过程来建立孔径。例如,这可包括适当蚀刻工艺、激光烧蚀或一些其它材料去除过程。可选地,可用连续堆积工艺来形成电路板 60, 其中孔径 70 被简单地图案化,因此作为堆积工艺的部分而形成。另外,在这个阶段,互连结构 90 可附着到电路板 60, 或者,例如,所述结构可实际位于电路板 85 上且随后连接到电路板 60。此外,建立互连结构 90 的实际过程将取决于它们的成分,在互连结构 90 包括通过匹配例如凸点的两个焊接结构形成的焊结点的情况下也是这样。

[0041] 在这个阶段,半导体芯片 15 和插入器 20 都与电路板 60 电接触。因此,由芯片 15、插入器 20 和电路板 60 组成的整个半导体芯片设备可经受电测试,来证实这三个主要元件的完整性。这是有利的,因为在这个阶段可检测到这些主要元件中任何元件的故障,而不需要经受与在安装图 1 和 2 描绘的所述半导体芯片 25、30 和 35 以后执行所述测试相关的时间、费用和可能的材料成本。

[0042] 如图 6 示出, 半导体芯片 25、30 和 35 可通过建立各自的互连结构(图 2 示出的 135 和 140)来安装到插入器 20。例如, 这可能需要适当的回流焊接工艺。在半导体芯片 25、30 和 35 处于适当位置的情况下, 半导体芯片设备 10 可再次经受电测试来不仅证实半导体芯片 25、30 和 35 的功能也证实整个半导体芯片设备 10 的各种组合电功能。

[0043] 接下来, 如图 7 示出, 可向热管理设备 75 提供一些热界面材料 100, 然后热管理设备 75 与半导体芯片设备 10 的至少半导体芯片 35 接触。应注意, 孔径 70 使得可容易地移动半导体芯片 25、30 和 35 来在插入器 20 安装到电路板 60 之后与插入器 20 啮合。可选地, 部分或全部的热界面材料 100 可按需要涂覆到半导体芯片 35 和其它半导体芯片 30 和 25, 此后热管理设备 75 可与所述半导体芯片接触来建立必要的热接触。

[0044] 接下来, 如图 8 所描绘, 包括热管理设备 75 的半导体芯片设备 10 可位于电路板 85 上, 使得热管理设备 75 至少部分或可能延伸穿过孔径 95, 且如果需要就执行回流来通过互连结构 90 连接电路板 85。

[0045] 在上述示意性实施方案中, 一个或多个半导体芯片可堆叠在插入器的下面, 并向下延伸到电路板的单个孔径中或穿过所述单个孔径。然而, 技术人员将理解到其它结构也是可能的。在这方面, 现参看图 9, 其是类似于图 1 的剖视图, 但是是半导体芯片设备 10" 的替代示例性实施方案, 半导体芯片设备 10" 分享其它示意性实施方案的许多特点, 例如, 安装到插入器 20 的半导体芯片 15。这里, 然而, 半导体芯片的多个堆叠 170 和 175 可安装到插入器 20, 且向下延伸穿过或完全穿过电路板 190 中各自的孔径 180 和 185, 在其中提供多个孔径 180 和 185 的条件下, 电路板 190 可类似于图 1 和 2 描绘的电路板 60 而配置。为了提供热管理, 热管理设备 75 可与位于孔径 180 和 185 中的各自的热界面材料部分 200 和 205 热接触。可选地, 多个热管理设备 75 可按需要与堆叠 170 和 175 热接触放置, 其中堆叠 170 和 175 中每一个堆叠一个热管理设备 75。此外, 电路板 85 可具有孔径 95 来容纳热管理设备 75。当然, 图 3 中描绘的热管理设备 75' 也可用于所述示意性实施方案中。技术人员将理解到, 孔径 180 和 185 的数目和空间定位具有设计自由裁量权。

[0046] 技术人员将理解到, 电路板中的一个或多个孔径的规定将带来导体路由的挑战。例如, 如图 10 示出, 图 10 是图 9 描绘的电路板 195 的示图, 例如导线和导电孔的各种电布线结构将必须在孔径 180 和 185 周围路由。应注意, 示出了被设计来在图 9 描绘的插入器 20 和图 10 描绘的电路板 195 之间建立电互连的互连结构中的几个互连结构, 且所述几个互连结构被标注为 210、215 和 220。另外, 被设计来将电路板 195 电连接到图 9 中描绘的电路板 85 的互连结构中的几个互连结构是可见的且被标注为 225 和 230。为了说明的目的, 假设互连结构 210 是通过虚线示出的表面线路 235 和导电孔 240 来直接电连接到互连结构 225。因此, 互连结构 210 和互连结构 225 之间的电路径必须在孔径 180 周围路由, 且必要时也在孔径 185 周围路由。对于互连结构 213 和互连结构 230 之间的虚线 245 示意性地表示的电路径也是这样。对于连接互连结构 215 和互连结构 220 的表面线路 250 也是这样。此外, 图 10 中各种电路由结构的示意描绘的点只是为了说明提供孔径 180 和 185 来容纳图 9 示出的堆叠 170 和 175 将需要在所述孔径 180 和 185 周围路由任何内部或外部电布线结构。

[0047] 本文公开的任何示例性实施方案可用计算机可读介质中放置的指令来实施或作为计算机数据信号来实施, 所述计算机可读介质例如半导体、磁盘、光盘或其他存储介质。

指令或软件可能能够合成和 / 或模拟本文公开的电路结构。在示例性实施方案中, 例如 Cadence APD、Encore 等的电子设计自动化方案可用以合成所公开的电路结构。所生成的代码可用以制造所公开的电路结构。

[0048] 虽然本发明可能具有各种修改和替代形式, 但是具体的实施方案已通过附图中的例子被示出并在本文中详细描述。然而, 应理解, 本发明并不旨在限于所公开的特定形式。相反, 本发明将涵盖落入本发明的精神和范围内的所有修改、等同物和替代物, 且本发明的精神和范围由以上权利要求限定。

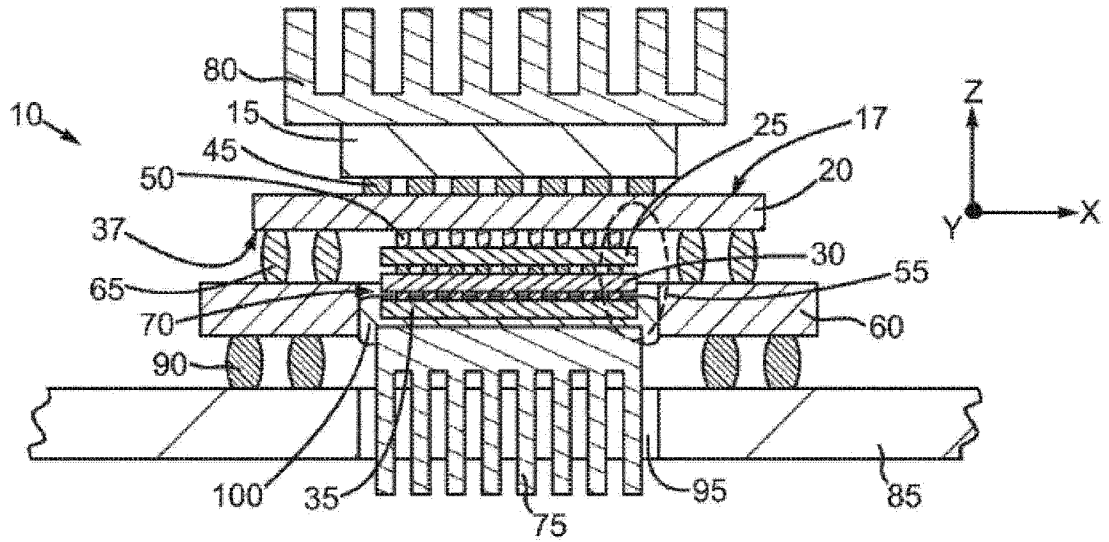


图 1

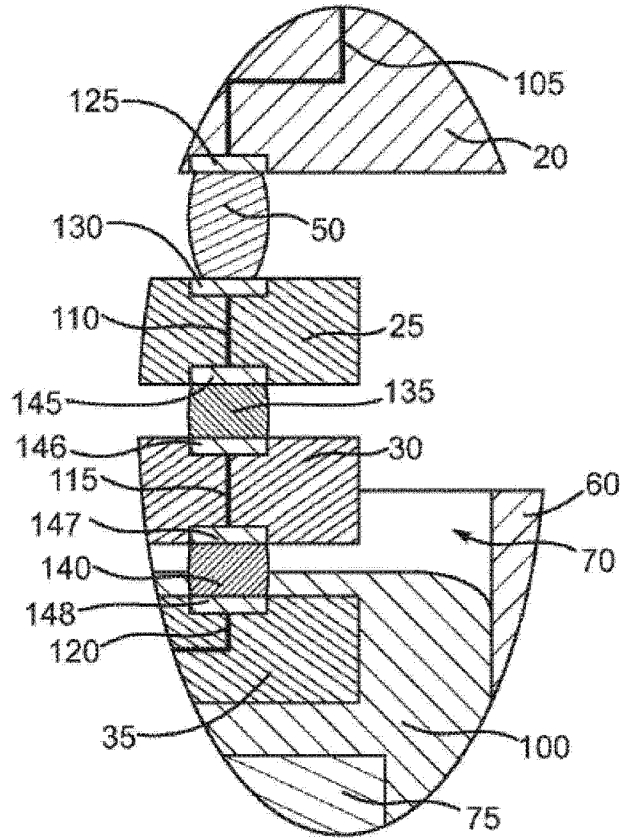


图 2

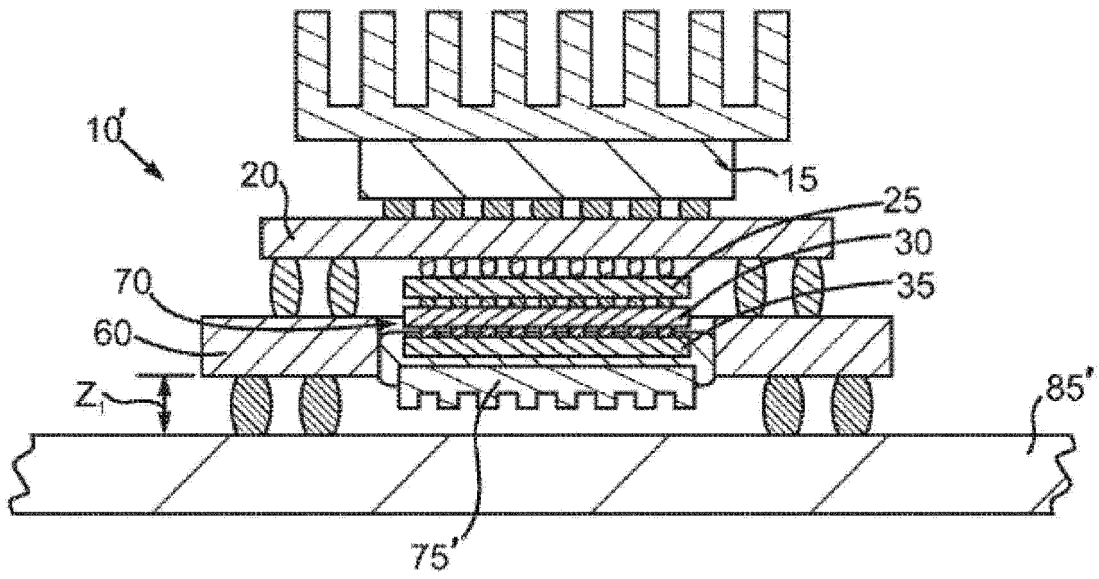


图 3

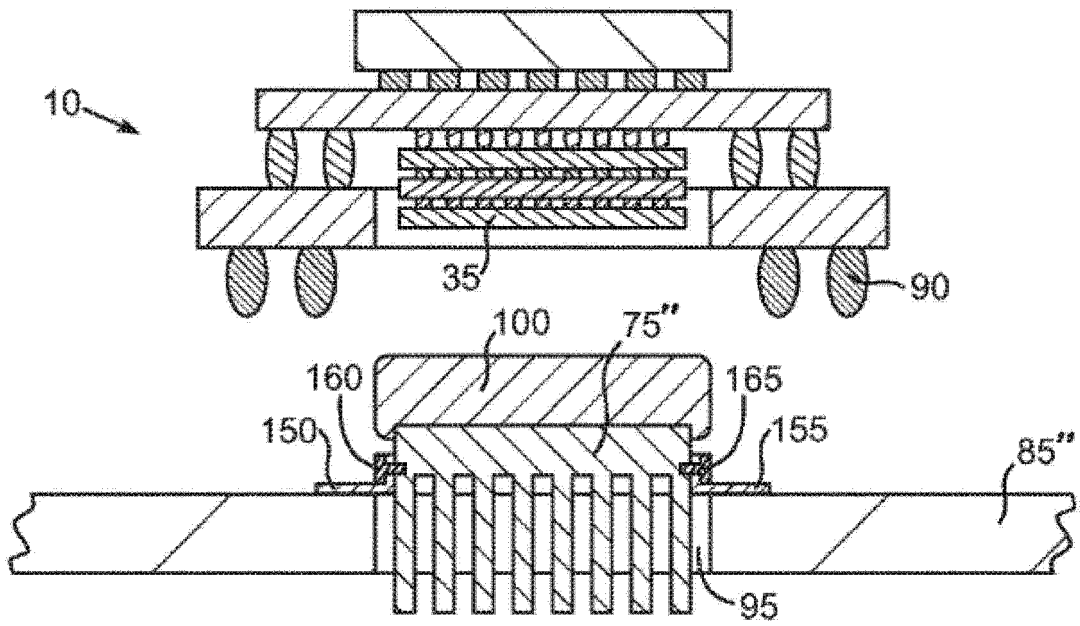


图 4

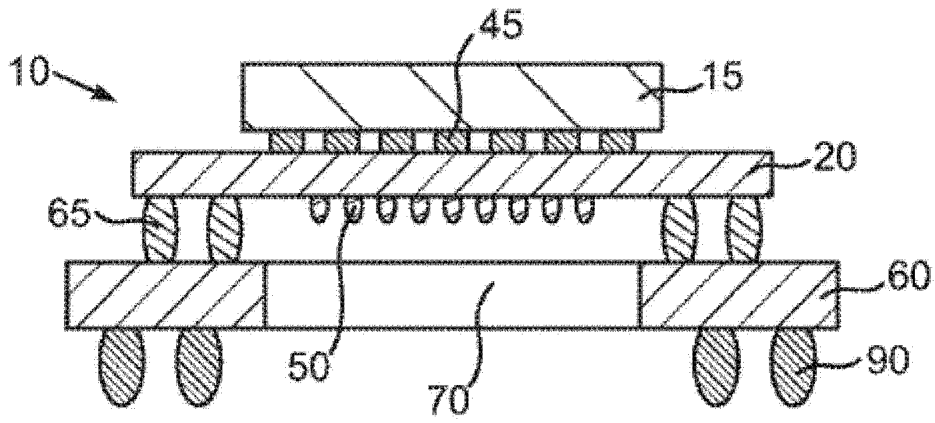


图 5

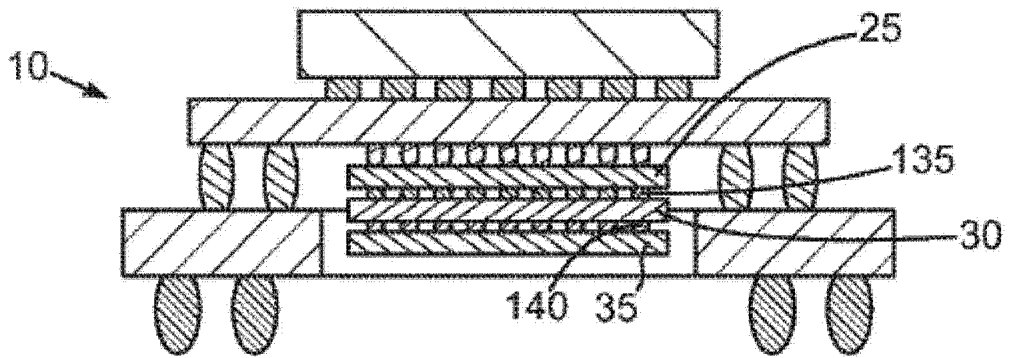


图 6

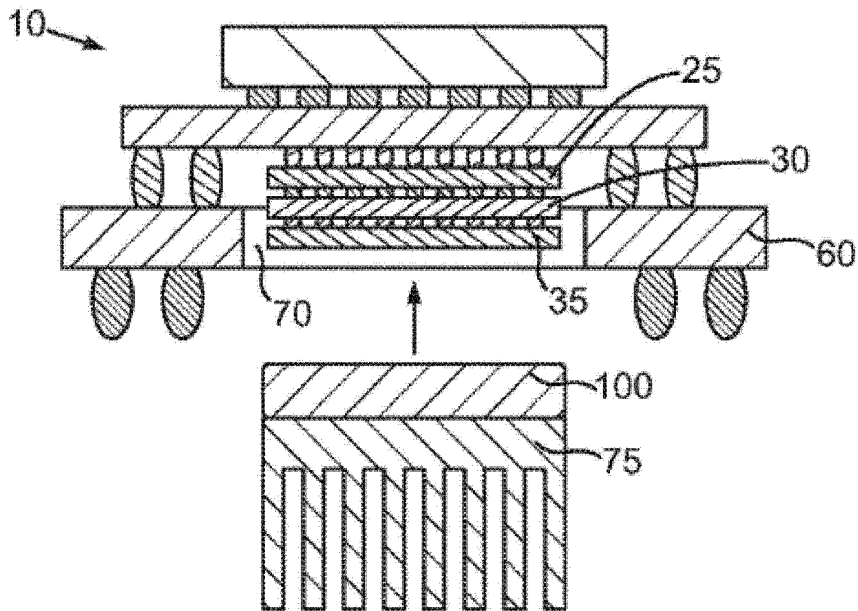


图 7

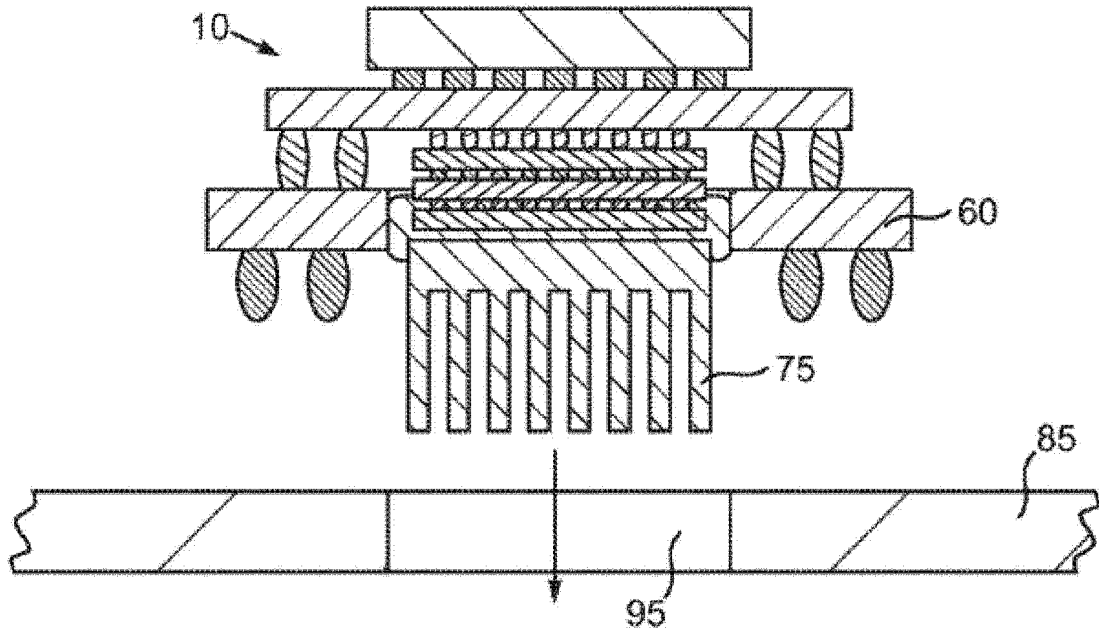


图 8

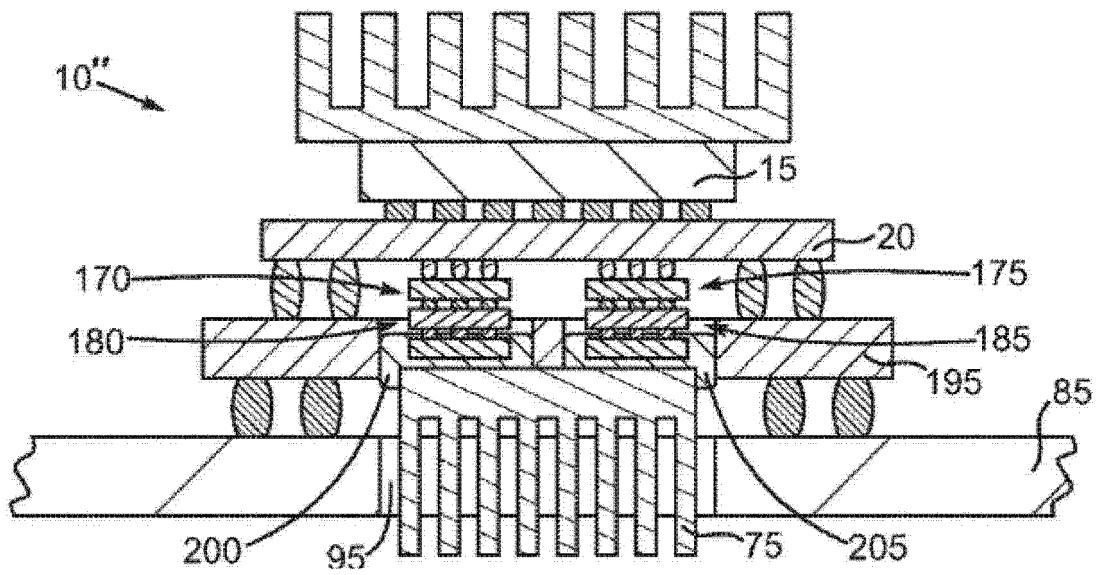


图 9

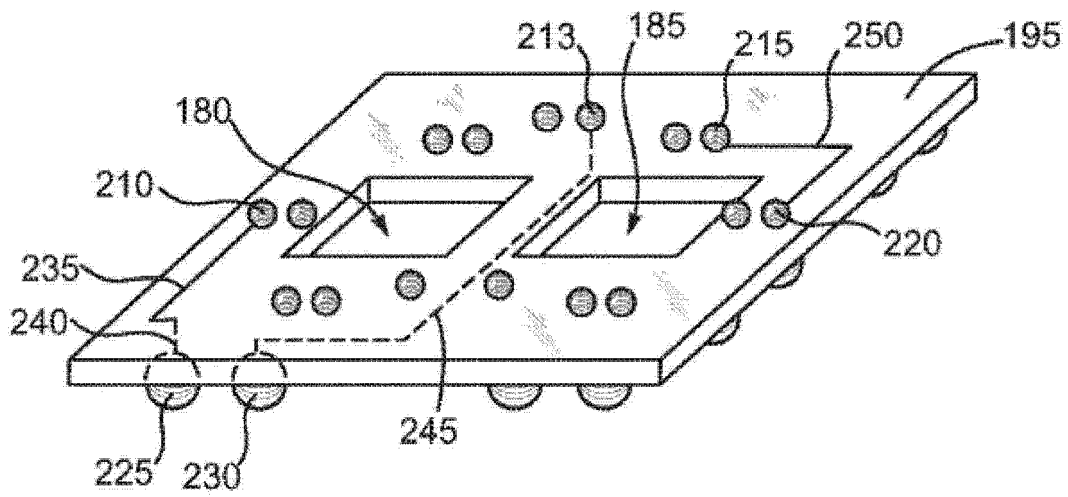


图 10