



(12) 发明专利申请

(10) 申请公布号 CN 103975428 A

(43) 申请公布日 2014. 08. 06

(21) 申请号 201280059990. 5

(74) 专利代理机构 北京律盟知识产权代理有限公司 11287

(22) 申请日 2012. 11. 13

代理人 孙宝成

(30) 优先权数据

(51) Int. Cl.

61/559, 664 2011. 11. 14 US

H01L 23/34 (2006. 01)

61/559, 659 2011. 11. 14 US

H01L 27/108 (2006. 01)

13/613, 235 2012. 09. 13 US

H01L 21/8242 (2006. 01)

(85) PCT国际申请进入国家阶段日  
2014. 06. 05

(86) PCT国际申请的申请数据  
PCT/US2012/064762 2012. 11. 13

(87) PCT国际申请的公布数据  
W02013/074484 EN 2013. 05. 23

(71) 申请人 美光科技公司  
地址 美国爱达荷州

(72) 发明人 罗时剑 李晓 李健

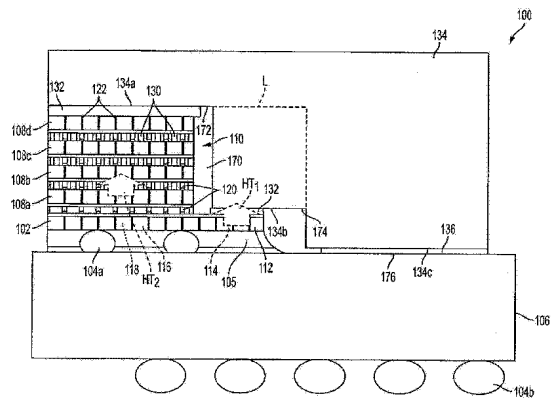
权利要求书4页 说明书10页 附图5页

(54) 发明名称

具有增强型热管理的半导体裸片组合件、包含所述半导体裸片组合件的半导体装置及相关方法

(57) 摘要

本发明揭示一种半导体裸片组合件,其包括在堆栈中的多个半导体裸片。另一半导体裸片邻近于所述堆栈并且具有一区域,所述区域可包括外围延伸超出所述堆栈的相对较高功率密度区域。传导元件在所述堆栈中的半导体裸片的和所述另一半导体裸片的集成电路之间延伸并且电互连所述堆栈中的半导体裸片与所述另一半导体裸片的集成电路。热柱插入于所述堆栈的半导体裸片之间,并且例如盖等热量耗散结构与所述堆栈的最上裸片及所述另一半导体裸片的所述高功率密度区域接触。还揭示其它裸片组合件、半导体装置及管理半导体裸片组合件内的热量传送的方法。



1. 一种半导体裸片组合件,其包括:  
在堆栈中的多个半导体裸片;  
传导元件,其在所述堆栈中的半导体裸片之间并且互连所述堆栈中的半导体裸片的集成电路;  
导热结构,其在所述堆栈中的半导体裸片之间并且与所述集成电路电隔离;以及  
电介质材料,其定位于所述堆栈中的半导体裸片之间并且环绕所述传导元件及所述导热元件。
2. 根据权利要求 1 所述的半导体裸片组合件,其进一步包含包括相对较高功率密度区域的另一半导体裸片。
3. 根据权利要求 2 所述的半导体裸片组合件,其中所述另一半导体裸片定位于所述堆栈中的所述多个半导体裸片下方,所述另一半导体裸片包括包含所述相对高功率密度区域的外围延伸区。
4. 根据权利要求 3 所述的半导体裸片组合件,其进一步包括:传导元件,其在所述另一半导体裸片与所述堆栈中的最下半导体裸片之间;以及电介质材料,其定位于所述另一半导体裸片与所述堆栈中的所述最下半导体裸片之间并且环绕所述传导元件。
5. 根据权利要求 4 所述的半导体裸片组合件,其中在所述另一半导体裸片与所述堆栈中的所述最下半导体裸片之间无电隔离的导热结构。
6. 根据权利要求 2 所述的半导体裸片组合件,其进一步包括:  
衬底,其具有比所述另一半导体裸片大的侧向广度;以及  
热量耗散结构,其安置于所述堆栈中的所述半导体裸片及所述另一半导体裸片上方,与所述堆栈中的最上裸片热接触并且与中介层的表面热接触。
7. 根据权利要求 6 所述的半导体裸片组合件,其中热量耗散结构还与所述另一半导体裸片的所述相对较高功率密度区域热接触。
8. 根据权利要求 6 所述的半导体裸片组合件,其中所述热量耗散结构通过热界面材料与所述堆栈中的所述最上裸片并且与所述另一半导体裸片的所述相对较高功率密度区域热接触,并且通过密封材料与所述衬底热接触。
9. 根据权利要求 4 所述的半导体裸片组合件,其中所述另一半导体裸片与所述堆栈中的所述最下半导体裸片之间的电隔离导热结构提供的热量传递能力小于所述堆栈中的半导体裸片之间的导热结构所提供的热量传递能力。
10. 根据权利要求 1 所述的半导体裸片组合件,其中所述电隔离导热结构包括热柱及壁结构中的至少一者。
11. 根据权利要求 10 所述的半导体裸片组合件,其中所述电隔离导热结构包括热柱,并且所述热柱横跨所述堆栈的所述半导体裸片的主要表面实质上均匀分布。
12. 根据权利要求 10 所述的半导体裸片组合件,其中所述电隔离导热结构包括热柱,并且所述热柱横跨所述堆栈的所述半导体裸片的所述主要表面非均匀分布。
13. 根据权利要求 10 所述的半导体裸片组合件,其中所述电隔离导热结构包括热柱,并且所述堆栈中的两个邻近半导体裸片之间的热柱与所述堆栈的所述两个邻近半导体裸片中的至少一者与所述堆栈中的至少一个其它半导体裸片之间的热柱垂直地对准。
14. 根据权利要求 10 所述的半导体裸片组合件,其中所述电隔离导热结构包括热柱,

并且所述堆栈中的两个邻近半导体裸片之间的至少一个热柱侧向偏移于所述堆栈中的所述两个邻近半导体裸片中的至少一者与所述堆栈中的至少一个其它半导体裸片之间的至少一个其它热柱。

15. 根据权利要求 1 所述的半导体裸片组合件,其中所述电隔离导热结构与所述堆栈的所述半导体裸片之间的所述传导元件交替。

16. 根据权利要求 2 所述的半导体裸片组合件,其中所述堆栈中的所述半导体裸片包括存储器裸片,并且所述另一半导体裸片包括逻辑裸片。

17. 根据权利要求 2 所述的半导体裸片组合件,其中所述另一半导体裸片包括外围延伸区,并且所述另一半导体裸片的所述外围延伸区及内部区中的一者包括所述相对较高功率密度区域。

18. 一种半导体装置,其包括:

在堆栈中的多个存储器裸片;

在所述堆栈中的邻近存储器裸片之间的多个导热结构,其不同于电连接所述堆栈中的邻近存储器裸片的集成电路的传导元件;

电介质材料,其在所述邻近存储器裸片之间并且环绕所述多个导热结构;

逻辑裸片,其在所述堆栈的基底处并且包括相对较高功率密度区域及相对较低功率密度区域,其中所述相对较高功率密度区域的至少一部分向外围延伸越出所述堆栈的至少一个侧;

衬底,其具有大于所述逻辑裸片的外围侧向广度、在所述逻辑裸片下面;以及

盖,其安置于存储器裸片的所述堆栈及所述逻辑裸片上方,与所述衬底热接触且与所述堆栈的最上存储器裸片热接触且与所述逻辑裸片的所述相对较高功率密度区域热接触。

19. 根据权利要求 18 所述的半导体装置,其中所述其它导热结构包括柱及壁中的至少一者。

20. 根据权利要求 19 所述的半导体装置,其中所述其它导热结构包括柱,并且所述热柱横跨所述堆栈的所述半导体裸片的主要表面实质上均匀分布。

21. 根据权利要求 19 所述的半导体装置,其中所述其它导热结构包括柱,并且所述柱横跨所述堆栈的所述半导体裸片的所述主要表面非均匀分布。

22. 根据权利要求 19 所述的半导体装置,其中所述其它导热结构包括柱,并且所述堆栈中的两个邻近半导体裸片之间的柱与所述堆栈中的所述两个邻近半导体裸片中的至少一者与所述堆栈中的至少一个其它半导体裸片之间的柱垂直地对准。

23. 根据权利要求 19 所述的半导体装置,其中所述其它导热结构包括柱,并且所述堆栈中的两个邻近半导体裸片之间的至少一个柱侧向偏移于所述堆栈中的所述两个邻近半导体裸片中的至少一者与所述堆栈中的至少一个其它半导体裸片之间的至少一个其它柱。

24. 根据权利要求 18 所述的半导体装置,其中所述其它导热结构与所述堆栈的所述半导体裸片之间的传导元件交替。

25. 根据权利要求 18 所述的半导体装置,其中至少两个邻近存储器裸片之间的所述其它导热结构的模式至少部分不同于所述至少两个邻近存储器裸片中的至少一者与另一存储器裸片之间的其它导热结构的模式。

26. 根据权利要求 18 所述的半导体装置,其中至少两个邻近存储器裸片之间的所述其

它导热结构经定大小及 / 或布置以在所述堆栈的外围内的至少一个区域中提供比所述堆栈的外围内的至少一个其它区域中的热量传递能力大的热量传递能力。

27. 根据权利要求 18 所述的半导体装置,其进一步包括在所述堆栈中的最下存储器裸片与所述逻辑裸片之间的另外多个导热结构,所述另外多个导热结构经定大小及 / 或布置以在所述逻辑裸片与所述最下存储器裸片之间提供比所述堆栈中的邻近存储器裸片之间的所述多个导热结构所提供的热量传递能力小的热量传递能力。

28. 一种分布在半导体裸片组合件内产生的热量的方法,所述半导体裸片组合件包括与具有第二较大  $T_{\max}$  规格的另一半导体裸片电连接的具有第一  $T_{\max}$  规格的半导体裸片堆栈,所述方法包括:

用不同于所述堆栈的半导体裸片之间的导电元件的导热结构增强从所述堆栈的紧邻所述另一半导体裸片的半导体裸片经过所述堆栈的距所述另一半导体裸片最远的半导体裸片到热量耗散结构的热量传递;

抑制从所述另一半导体裸片到所述堆栈的所述紧邻半导体裸片的热量传递;以及  
从所述另一半导体裸片直接传递热量到热量耗散结构。

29. 根据权利要求 28 所述的方法,其中所述另一半导体裸片包括在所述半导体裸片堆栈的至少一个侧上侧向延伸超出所述堆栈的区域,并且从所述另一半导体裸片直接传递热量到热量耗散结构包括使所述侧向延伸区域与所述热量耗散结构接触。

30. 根据权利要求 28 所述的方法,其进一步包括通过使所述堆栈中距所述另一半导体裸片最远的半导体裸片与所述热量耗散结构接触而促进从所述半导体裸片堆栈到所述热量耗散结构的热量传递。

31. 根据权利要求 28 所述的方法,其进一步包括通过在所述堆栈的邻近半导体裸片之间除了插入传导元件之外还插入导热结构而促进所述半导体裸片堆栈内从所述堆栈中紧邻所述另一半导体裸片的所述半导体裸片经过所述堆栈到所述堆栈中距所述另一半导体裸片最远的半导体裸片的热量传递。

32. 一种半导体裸片封装,其包括:

存储器裸片堆栈,其在具有外围延伸区的逻辑裸片上方;

导热结构,其在所述堆栈中的邻近存储器裸片之间并且与所述存储器裸片的集成电路电隔离;以及

热量耗散结构,其与所述堆栈中的最上存储器裸片热接触,并且与所述逻辑裸片的所述外围延伸区热接触。

33. 根据权利要求 32 所述的半导体裸片封装,其进一步包括:

在所述逻辑裸片下面的衬底,并且其中所述热量耗散结构与所述衬底热接触。

34. 根据权利要求 33 所述的半导体裸片封装,其中所述热量耗散结构包括盖,所述盖具有容纳所述存储器裸片堆栈及所述逻辑裸片的空腔。

35. 根据权利要求 34 所述的半导体裸片封装,其进一步包括在所述盖与所述堆栈中的所述最上存储器裸片之间且在所述盖与所述逻辑裸片的所述外围延伸区之间的热界面材料。

36. 根据权利要求 35 所述的半导体裸片封装,其进一步包括在所述盖与所述衬底之间的盖密封材料。

37. 一种半导体裸片组合件,其包括:

在堆栈中的多个半导体裸片;

邻近于所述堆栈的另一半导体裸片,其包括相对较低功率密度区域及相对较高功率密度区域;

传导元件,其在所述堆栈中的所述半导体裸片与所述另一半导体裸片之间,并且电互连所述堆栈中的所述半导体裸片与所述另一半导体裸片的集成电路;

电隔离的热柱,其插入于所述堆栈的半导体裸片之间;以及

热量耗散结构,其与所述堆栈的最上裸片及所述另一半导体裸片的所述相对较高功率密度区域热接触。

38. 一种管理包括多个半导体裸片的组合件中的热量传递的方法,所述方法包括:

阻碍从较高功率裸片的一部分到邻近较低功率裸片的热量传递;

增强从所述邻近较低功率裸片到至少一个其它较低功率裸片的热量传递;以及

将热量从所述较高功率裸片的另一部分传递到邻近热量耗散结构。

39. 一种多裸片组合件,其包括:

堆叠在另一半导体裸片上方的半导体裸片;以及

多个侧向分隔的导热结构,其在所述半导体裸片与所述另一半导体裸片之间,并且与所述半导体裸片及所述另一半导体裸片中的至少一者电隔离。

## 具有增强型热管理的半导体裸片组合件、包含所述半导体裸片组合件的半导体装置及相关方法

### [0001] 优先权主张

[0002] 本申请案主张 2012 年 9 月 13 日申请的第 13/613,235 号美国专利申请案的权利,所述案主张 2011 年 11 月 14 日申请的第 61/559,659 号美国临时专利申请案的权利及 2011 年 11 月 14 日申请的第 61/559,664 号美国临时专利申请案的权利。本申请案还与 2012 年 9 月 13 日申请并且名为“具有多个热路径的堆叠半导体裸片组合件以及相关系统与方法 (STACKED SEMICONDUCTOR DIE ASSEMBLIES WITH MULTIPLE THERMAL PATHS AND ASSOCIATED SYSTEMS AND METHODS)”的第 13/613,540 号美国专利申请案相关。

### 技术领域

[0003] 本发明的实施例涉及具有增强型热管理的半导体裸片组合件、包含此类组合件的半导体装置,以及相关方法。

### 背景技术

[0004] 增加电路密度为半导体装置制造商的持续目的。一种长期受欢迎的配置为垂直堆叠的半导体裸片的组合件,所述裸片中的至少一些电互连并且所述堆叠的裸片组合件机械地且电连接到例如带有传导迹线的衬底等较高层级封装。

[0005] 一种运用多个堆叠的半导体裸片的配置为微柱状栅阵列封装 (“MPGA”)。此封装包括从最上裸片到最下裸片垂直互连的多个 (例如,4 个 (4)) 动态随机存取 (DRAM) 半导体存储器裸片的堆栈,及用于连接到逻辑裸片 (例如通过非限制性举例,芯片上系统 (SoC) 裸片) 的从所述最下存储器裸片的底侧延伸的多个导电柱。

[0006] 所述逻辑裸片或 SoC 裸片的提供者常规地将其装置安装到中介层 (interposer) (例如球栅阵列 (BGA) 衬底),所述逻辑裸片或 SoC 裸片包含用于到 MPGA 的底侧上的传导柱的连接传导通孔。MPGA 安装到所述中介层上的所述逻辑裸片或 SoC 裸片,并且所述组合件接着用封装材料包覆成成品球栅阵列 (BGA) 封装。

[0007] 上述配置使得快速存储器存取成为可能,并且减小功率要求。

[0008] MPGA 的尤其有前途的实施方案为所谓“混合存储器立方体” (HMC),其为并入位于与穿硅通孔 (TSV) 互连的 DRAM 裸片的垂直堆栈下方的高速逻辑裸片的裸片组合件。DRAM 裸片经特定配置以仅处置数据,同时所述逻辑裸片提供 HMC 内的所有 DRAM 控制。预期所述设计缩短延时,并且极大地提高带宽及速度,同时给予大幅度减少的功率需求及物理空间要求,并且通过使用不同逻辑裸片为多个平台及应用提供灵活性。

[0009] 上文设计的终端产品将尤其在移动电子装置 (例如所谓“智能手机”、膝上型计算机及笔记本电脑、超级计算机、BLACKBERRY® 装置、iPHONE® 及 iPAD® 装置及 DROID® 装置) 中得到多种应用。

[0010] 关于上文提到的设计的实施方案的一个重要焦点为对在所述裸片组合件的基底

处的逻辑或 SoC 裸片操作期间产生的大量热量的有效热管理,使得封装内的每一裸片的最大操作温度(通常称为  $T_{\max}$ )不超过可接受限制。

### 发明内容

[0011] 在本发明的一个实施例中,一种半导体裸片组合件包括:在堆栈中的多个半导体裸片;传导元件,其在所述堆栈中的半导体裸片之间并且互连所述堆栈中的半导体裸片的集成电路;导热结构,其在所述堆栈中的半导体裸片之间并且与所述集成电路电隔离;以及电介质材料,其定位于所述堆栈中的半导体裸片之间并且环绕所述传导元件及所述导热元件。

[0012] 在另一实施例中,一种半导体装置包括:在堆栈中的多个存储器裸片;在所述堆栈中的邻近存储器裸片之间的多个导热结构,其不同于电连接所述堆栈中的邻近存储器裸片的集成电路的传导元件;以及电介质材料,其在所述邻近存储器裸片之间并且环绕所述多个导热结构。逻辑裸片在所述堆栈的基底处并且包括相对较高功率密度区域及相对较低功率密度区域,其中所述相对较高功率密度区域的至少一部分向外围延伸越出所述堆栈的至少一个侧。具有大于所述逻辑裸片的外围侧向广度的衬底在所述逻辑裸片下面,且盖安置于存储器裸片的所述堆栈及所述逻辑裸片上方并且所述盖与所述衬底热接触且与所述堆栈的最上存储器裸片热接触且与所述逻辑裸片的所述相对较高功率密度区域热接触。

[0013] 又另一实施例为一种分布在半导体裸片组合件内产生的热量的方法,所述半导体裸片组合件包括与具有第二较大  $T_{\max}$  规格的另一半导体裸片电连接的具有第一  $T_{\max}$  规格的半导体裸片的堆栈,且所述方法包括:用不同于所述堆栈的半导体裸片之间的导电元件的导热结构增强从所述堆栈的紧邻所述另一半导体裸片的一个半导体裸片经过所述堆栈的距所述另一半导体裸片最远的半导体裸片到热量耗散结构的热量传递;抑制从所述另一半导体裸片到所述堆栈的所述紧邻半导体裸片的热量传递;以及从所述另一半导体裸片直接传递热量到热量耗散结构。

[0014] 在进一步实施例中,一种半导体裸片封装包括:存储器裸片的堆栈,其在具有外围延伸区的逻辑裸片上方;导热结构,其在所述堆栈中的邻近存储器裸片之间并且与所述存储器裸片的集成电路电隔离;以及热量耗散结构,其与所述堆栈中的最上存储器裸片热接触,并且与所述逻辑裸片的所述外围延伸区热接触。

[0015] 在又进一步实施例中,一种半导体裸片组合件包括:在堆栈中的多个半导体裸片;邻近于所述堆栈的另一半导体裸片,其包括相对较低功率密度区域及相对较高功率密度区域;传导元件,其在所述堆栈中的所述半导体裸片与所述另一半导体裸片之间,并且电互连所述堆栈中的所述半导体裸片与所述另一半导体裸片的集成电路;电隔离的热柱,其插入于半导体裸片的所述堆栈之间;以及热量耗散结构,其与所述堆栈的最上裸片及所述另一半导体裸片的所述相对较高功率密度区域热接触。

[0016] 在额外实施例中,一种管理包括多个半导体裸片的组合件中的热量传递的方法,所述方法包括:阻碍从较高功率裸片的一部分到邻近较低功率裸片的热量传递;增强从所述邻近较低功率裸片到至少一个其它较低功率裸片的热量传递;以及将热量从所述较高功率裸片的另一部分传递到邻近热量耗散结构。

[0017] 在又另一额外实施例中,一种多裸片组合件包括:堆叠在半导体裸片上方的半导

体裸片；以及多个侧向分隔的导热结构，其在所述半导体裸片与所述另一半导体裸片之间，并且与所述半导体裸片及所述另一半导体裸片中的至少一者电隔离。

#### 附图说明

[0018] 图 1 为配置为混合存储器立方体的半导体装置封装的一部分的示意性横剖面图；

[0019] 图 2 为图 1 的半导体装置封装的一部分的放大示意性横剖面图；

[0020] 图 3A 到 3C 为具有传导元件及其表面上的热柱的半导体裸片的一部分的示意性俯视图；以及

[0021] 图 4 为具有侧向偏移热柱的两个堆叠半导体裸片的放大示意性横剖面图。

#### 具体实施方式

[0022] 本发明揭示半导体裸片组合件、包含半导体裸片组合件的半导体装置及制作半导体裸片组合件的方法。如本文使用，术语“晶片”表示并且包含呈整体半导体衬底形式的某一体积的半导体材料，并且其不限于常规实质上圆形晶片。如本文使用，术语“半导体材料”表示并且包含硅、锗、砷化镓、磷化铟及其它 III-V 或 II-VI 类型的半导体材料。如本文使用，术语“半导体裸片”及“裸片”及其复数形式表示并且包含带有集成电路并且从整体半导体衬底单件化的一或多个区段。如本文使用，术语“存储器裸片”及其复数形式表示并且包含所有形式的集成电路存储器，包含（通过非限制性实例的方式包含）DRAM、SRAM、快闪存储器及其它存储器形式。

[0023] 下列描述提供具体细节，例如材料类型及处理条件以提供本发明的实施例的透彻描述。然而，所属领域的一般技术人员将了解可在不运用这些具体细节的情况下实践本发明的实施例。实际上，本发明的实施例可与工业中运用的常规半导体制作技术结合而实践。另外，下文提供的描述不形成用于制造半导体装置的完整工艺流程。下文仅详细描述了解本发明的实施例所需要的那些处理动作及结构。可通过常规制作技术来执行从半导体结构形成完整半导体装置的额外动作。

[0024] 在以下详细描述中，参考附图，所述图式形成所述描述的一部分并且在所述图式中通过说明的方式展示具体实施例，本发明可在所述具体实施例中实践。以足够细节描述这些实施例以使得所属领域的技术人员能够实施本发明的实施例。然而，可实施其它实施例，并且可做出由本发明涵盖的结构、逻辑及电改变。本文呈现的说明并非一定为任何特定组合件、存储器裸片、逻辑裸片或系统的实际视图，而仅为理想化的表示，其经运用以较完整描述本发明的实施例。本文呈现的所述图式未必是按比例绘制。另外，图式之间共同的元件可保持相同或保持为类似数字表示。

[0025] 如本文运用，如与给定参数结合使用，视情况，术语“约”及“实质上”各自表示并且包含从为正常制造公差、材料变差、测量仪表的精确度、控制的一致性之内的特定参数提供参考的代表值的变化。

[0026] 现在参考图式的图 1 到 4，描述根据本发明的一或多个实施例的半导体裸片组合件及半导体装置。

[0027] 在一个实施例中，一种半导体裸片组合件包括：在堆栈中的多个半导体裸片；传导元件，其在所述堆栈中的半导体裸片之间并且互连所述堆栈中的半导体裸片的集成电



路；导热结构，其在所述堆栈中的半导体裸片之间并且与所述集成电路电隔离；以及电介质材料，其定位于所述堆栈中的半导体裸片之间并且环绕所述传导元件及所述热柱。

[0028] 图 1 示意地描绘配置为 BGA 封装的 HMC100 的一部分。具体来说，图 1 描绘 HMC100 的半部，其剩余半部可包括所述经描绘的半部的镜像。然而，HMC100 可或可不对称，并且对称性对本发明的实施例的实施及功能不重要。为了逻辑裸片 102 到中介层 106 的增强型附接，使用多个外部导电元件 104a 将高速逻辑裸片 102 电连接并且物理连接到呈中介层 106 的形式的衬底的电路（未展示），外部导电元件 104a 延伸通过例如环氧树脂等电介质封装材料 105。继而，中介层 106 运用另外多个外部导电元件 104b 以连接到较高级别的封装。虽然外部导电元件 104a 及 104b 经描绘为常规焊球，但是可运用包括多种材料及结构（包含（但不限于）短柱、凸块、金属柱或金属柱状物、传导环氧树脂、填充导体的环氧树脂及 Z 形轴各向异性传导膜）的其它导电元件作为 HMC100 的信号、功率及接地导体。

[0029] 高速逻辑裸片 102 向外围延伸越出存储器裸片堆栈 110 的一或多个侧上的垂直堆叠的存储器裸片 108a 到 108d。在一个实施例中，存储器裸片 108a 到 108d 为 DRAM 裸片。逻辑裸片 102 的还可表征为边沿或架的外围延伸区 112 可包括相对较高功率密度区域 114，同时逻辑裸片 102 的内部区包括相对较低功率密度区域 118。类似地，在另一实施例中，逻辑裸片 102 的内部区 116 可包括相对较高功率密度区域，并且外围延伸区 112 可包括相对较低功率密度区域。在一些实施例中，逻辑裸片 102 可包括一个以上相对较高功率密度区域。例如，高功率密度区域 114 可包括 SERDES（即，串行化器 / 解串行化器）高速通信链路。较高功率密度区域 114 在所述裸片组合件的操作期间提供显著热量源并且其可由本发明的实施例容纳以避免一或多个存储器裸片 108a 到 108d 的由热量诱导的降级及故障以及逻辑裸片 102 的故障。

[0030] 逻辑裸片 102 及存储器裸片 108a 以及存储器裸片 108b 到 108d 通过多个导电元件 120 电互连，多个导电元件 120 中的每一者可包括呈柱、柱状物、短柱或凸块形式的金属材料或其它导电材料（例如传导或填充导体的环氧树脂）的离散元件。可使用传导穿孔 122 而实现逻辑裸片 102 及存储器裸片 108a 到 108d 中的每一者的作用表面与对置背侧之间的电连接，传导穿孔 122 在产业中通常称为穿硅通孔或“TSV”，如上文提到，其常规地形成并且用电介质材料与周围半导体材料电隔离。在一些实施例中，TSV 可延伸通过一或多个裸片的仅一部分厚度。可在 TSV 中使用可定位于衬里内（如果需要，包括势垒材料）的各种传导材料以传导信号、电力并且接地。铜为在 TSV 中使用的适合材料。

[0031] 传导元件 120 及 TSV122 除了提供电连接之外还提供从逻辑裸片 102 经过存储器裸片堆栈 110 的热量传递。此类热量传递归因于其对存储器裸片堆栈 110 的不利影响及（尤其）对最下存储器裸片 108a 的不利影响（归因于与逻辑裸片 102 热能耦合）而非所要的。具体来说，通过逻辑裸片 102 及特定来说通过所述相对较高功率密度区域 114 产生并且传递到最下存储器裸片 108a 的热量，及通过存储器裸片 108a 到 108d 产生的热量经常不能足够有效地传递通过存储器裸片堆栈 110，从而无法将裸片操作温度维持于低于可接受最大值。因此，此热量可造成高于可接受限值的存储器裸片 108a（并且潜在地，一段时间之后在存储器裸片堆栈 110 中的其它存储器裸片 108 中）中的  $T_{max}$ ，从而使存储器裸片 108a 降级并且最终损坏。因此，本发明的实施例提供用于通过选择性地阻碍并且增强 HMC100 或其它多裸片组合件的部分内的热量传递来增强热管理的特征及元件。

[0032] 在一个实施例中,在存储器裸片 108a 到 108d 的一些或所有者之间可使用呈柱形式的导热结构 130,以选择性地促进通过存储器裸片堆栈 110 到热界面材料 (TIM) 132 并且最终到热量耗散结构的热量传递,导热结构 130 在本文中称为“热柱”以与导电元件 120(下文有时称之为“传导元件”)区别,所述导热结构可包括导电柱并且其电互连逻辑裸片 102 及存储器裸片 108a 到 108d 的集成电路,所述热量耗散结构还可表征为散热器的形式,并且其可结构化为盖 134。盖 134 可具有用 TIM 连接到其的散热片(未展示),所述散热片具有用于增强型热量耗散的例如多个翼片或其上的其它表面区增强型结构,或可包含构成整体的散热片结构。热柱 130 不电连接到存储器裸片 108a 到 108d 的集成电路,但是仅作为存储器裸片堆栈 110 的相应存储器裸片 108a 到 108d 之间的热量传递导管。热柱 130 可包括呈铜柱、短柱、凸块或衬垫的形式的离散元件;具有焊料帽盖的铜柱或短柱;具有镍势垒层及焊料帽盖的铜柱或短柱或包括包含(但不限于)铜、锡、银及铟的一或多个适合材料的另一高导热结构。除了热传导率之外,热柱 130 的性质对其功能不重要,并且因此可利用多种材料。

[0033] 特别地,至少在一些实施例中,逻辑裸片 102 与最下存储器裸片 108a 之间可不运用热柱 130 以限制从逻辑裸片 102 的热量传递,同时热柱 130 用于促进从存储器裸片 108a 向上经过存储器裸片 108b 到 108d 及 TIM132 到盖 134 的热量传递。在一些实施例中,逻辑裸片 102 与存储器裸片 108a 之间可运用较少数目的热柱 130 以提供比存储器裸片 108a 到 108d 之间的热柱 130 小的热量传递能力。图式的图 2 描绘图 1 的放大部分,其包含具有叠置的最下存储器裸片 108a 及第二存储器裸片 108b 的区段的逻辑裸片 102 的区段。如所描绘,在其中逻辑裸片 102 及存储器裸片 108a 到 108d 以所谓“倒装芯片”定向反转的图 1 中展示的定向中,导电元件 120 各自包括在结合衬垫 142 下方的铜柱 140、在铜柱 140 下方的镍势垒材料 144 及在镍势垒材料 144 下面的焊锡材料 146(例如, Sn/Ag、Sn/Pb),焊料 146 在回焊之后结合到对置下裸片上的传导衬垫 148。同时如所描绘,铜柱 140 形成于每一存储器裸片 108 的作用表面 150 上,预期铜柱 140 可驻留于裸片的背侧 152 上,并且传导衬垫 148 可形成于作用表面 150 上。

[0034] 热柱 130 可与传导元件 120 相同或不同地结构化。如图 2 中描绘,热柱 130 可各自包括铜柱 140、镍势垒材料 144 及焊料材料 146,焊料材料 146 在回焊之后结合到对置裸片上的传导衬垫 148。如图 2 中描绘,热柱 130 可安置于存储器裸片 108b 的作用表面钝化层 154 上,热柱 130 从作用表面钝化层 154 突出。而且,不同于连同通过作用表面钝化层 154 电连接到 TSV122 的传导元件 120 一起使用的传导衬垫 148,连同热柱 130 一起使用的传导衬垫 148t 不与存储器裸片 108a 电接触,传导衬垫 148 通过结合衬垫 142 驻留于存储器裸片 108a 上。确切地说,传导衬垫 148t 可安置于所述裸片的钝化层 156 上方,钝化层 156 在图 2 中展示为背侧钝化层。

[0035] 在热柱 130 通过作用表面钝化层 154 与存储器裸片 108b 电隔离的情况下,传导衬垫 148t 及一些实施例中如以虚线展示的势垒材料 158(例如,  $\text{SiN}_x$ 、 $\text{SiO}_x$  中的至少一者)还可直接安置于背侧 152 上。势垒材料 158 可包括通过化学气相沉积所沉积的氮化硅上的氧化硅。在背侧钝化层 156 缺失的情况下,势垒材料 158 可安置于背侧 152 上的传导衬垫 148t 下面的背侧 152 上,以防止传导衬垫 148 的材料到相关联存储器裸片 108 的半导体材料中的非所要迁移。其它势垒材料 158 可包括(但不限于)氮化钨及氮化钛。在势垒材料

158 的沉积之前,例如钛或钼等额外粘合材料可安置于背侧 152 上方,以促进势垒材料 158 到相关联裸片 108 的半导体材料的结合。

[0036] 电介质底填充材料 160 延伸在逻辑裸片 102 与最下存储器裸片 108a 之间并且在存储器裸片 108a 到 108d 中的每一者与一或多个邻近存储器裸片 108a 到 108d 之间,环绕传导元件 120 及热柱 130 侧向延伸。例如,可运用毛细管型底填充、预施加非传导膏、非传导膜、晶片层级底填充或模制底填充作为电介质底填充 160。

[0037] 进一步,已例如通过实例而非限制的方式将热柱 130 说明并且描述为传导元件 120 的类似结构及材料内容物。例如,热柱 130 可包括单件式铜柱或具有焊料材料帽盖但不具有居间势垒材料的铜柱或甚至包括仅焊料凸块。另外,例如钢基焊料等低温焊料材料可用于具有低热能预算并且需要低操作温度的配置,并且用于增强性能。如果通过半导体裸片携带的热柱 130 仅接触邻近半导体裸片但无需结合到其,则可省略传导衬垫 148,并且热柱 130 的末端可直接接触邻近半导体裸片上的势垒材料 158,例如  $\text{SiN}_x$  及  $\text{SiO}_x$  中的至少一者。

[0038] 预期呈例如热柱 130 的形式的导热结构可如图 1 中说明实质上均匀分布横跨存储器裸片 108a 到 108d 的主要(即,作用及背侧)表面,以实质上实现一致热量传递。然而,此类热柱 130 还可非均匀分布,使更多热柱放置于在操作期间展现更大热量产生的区域中,此类区域在产业中表征为“过热部位”。热柱的此非均匀分布可包括单独或组合的一或多个实施方案。例如,如图 3A 中描绘,与过热部位 155 附近处(例如,在其上方)的传导元件 120 交替的热柱 130(为清楚的目的也用“T”标示)可包括较大每表面面积单位数目,并且具有比存储器裸片 108 的其它区中的热柱 130 较小的间距。在图 3B 中,与过热部位 155 附近的传导元件 120 交替的热柱 130a 的每表面面积单位数目可为与存储器裸片 108 的其它区中的热柱 130 相同的每表面面积单位数目,但是可具有较大横向横截表面面积,其包括例如较大圆柱状热柱 130a1、椭圆形热柱 130a2 或矩形热柱 130a3。在图 3C 中,导热结构 130b 本身可不配置为柱,但反而配置为线性或非线性壁结构。因此,本文使用的术语“柱”应以广泛意义而非以限制意义解释以涵盖多种导热结构。而且,因为出于清楚的目的已经减小相关特征大小,并且增加间距,所以所属领域的一般技术人员将了解传导元件 120 及热柱 130、130a 及 130b 的尺寸及间距并非按比例。

[0039] 因此,延伸于至少两个邻近存储器裸片之间的导热结构可经定大小及/或布置以使在所述堆栈的外围内的至少一个区域中的热量传递能力大于在所述堆栈的外围内的至少一个其它区域中的热量传递能力。

[0040] 另外,多个导热结构可延伸于所述堆栈中的最下存储器裸片与所述逻辑裸片之间,所述多个导热结构经定大小及/或布置以使在所述逻辑裸片与所述最下存储器裸片之间提供的热量传递能力小于通过所述堆栈中的邻近存储器裸片之间的所述多个导热结构提供的热量传递能力。

[0041] 还预期延伸于堆栈中的各种存储器裸片 108 之间的热柱 130 无须垂直对准。例如,如图 4 中描绘,从存储器裸片 108b 延伸到存储器裸片 108c 的热柱 130-1 可与从存储器裸片 108a 延伸到存储器裸片 108b 的热柱 130-2 侧向偏移。另外,如以虚线展示的导热材料的热量传递线 138 可从热柱 130-1 的位置侧向延伸到热柱 130-2 上方的位置,以促进在两个热柱 130-1 与 130-2 之间的热量传递。

[0042] 在一实施例中,一种半导体裸片封装包括:存储器裸片的堆栈,其在具有外围延伸区的逻辑裸片上方;导热结构,其延伸于所述堆栈中的邻近存储器裸片之间,并且与所述存储器裸片的集成电路电隔离;以及热量耗散结构,其与所述堆栈中的最上存储器裸片热接触,并且与所述逻辑裸片的外围延伸区热接触。

[0043] 在一些实施例中,对热管理的进一步增强可包含针对盖 134(图 1)的材料的选择性使用,其还可表征为与适合 TIM132 及盖密封材料 136 组合的散热器(图 1)。例如,盖 134 可包括金属材料(例如镍涂覆铜、铝、或阳极氧化铝)、低热膨胀系数(CTE)高热传导率的陶瓷或复合材料(例如 AlSiC、AlN、dialloy(金刚石/金属合金))或硅。盖 134 可包括单件或多件,以便易于制作及组装,并且选择性地定制盖 134 的一或多个部分的热量传递特性。另外,盖 134 中可运用微散热管,但是此类结构增加复杂性,并且因此增加成本。

[0044] TIM132 可包括聚合物 TIM,例如基于聚硅氧的凝胶或粘合剂环氧树脂。TIM132 还可包括金属 TIM,例如铟或其它(Sn、Ag 等)焊料,或可包括较复杂材料,例如类金刚石碳(DLC)或碳纳米管。已提到因为盖 134 通过盖密封材料 136 固定到中介层 106,所以 TIM132 可但无需在最上存储器裸片 108d 与盖 134 之间提供粘合剂或其它结合效果。针对 TIM132 的一个适合选择为聚合物基、金属填充的 TIM。

[0045] 再次参考图 1,应注意,在一些实施例中,盖 134 可关于到存储器裸片堆栈 110 及逻辑裸片 102 的外围延伸区 112 的所选择靠近度而配置,其中盖 134 的第一部分 134a 通过 TIM132 的区段而与最上存储器裸片 108d 热接触,另一盖部分 134b 通过 TIM132 的另一区段而与逻辑裸片 102 的外围延伸区 112 均匀热接触,并且再一盖部分 134c 通过盖密封材料 136 而与中介层 106 热接触。盖 134 经配置具有空腔 170,所述空腔 170 内收纳存储器裸片 108a 到 108d 及逻辑裸片 102,盖部分 134a 的空腔底板 172 提供用于存储器裸片 108d 的热接触区,另一盖部分 134b 的台阶 174 提供用于逻辑裸片 102 的延伸外围区 112 的热接触区,再一盖部分 134c 的台阶 176 提供与中介层 106 的热接触区。因此,提供两个分离的热量传递路径。

[0046] 在此实施例中,一种半导体装置包括:在堆栈中的多个存储器裸片;导热结构,其在所述堆栈中的邻近存储器裸片之间;电介质材料,其在所述邻近存储器裸片之间并且环绕所述导热元件;逻辑裸片,其在所述堆栈的基底处并且包括相对较高功率密度区域及相对较低功率密度区域,其中所述相对较高功率密度区域的至少一部分外围延伸超出所述堆栈的至少一个侧;衬底,其具有比所述逻辑裸片大的外围侧向广度、在所述逻辑裸片下面;以及盖,其安置于所述存储器裸片堆栈及所述逻辑裸片上方,并且所述盖与所述衬底热接触且与所述堆栈的最上存储器裸片热接触且与所述逻辑裸片的所述相对较高功率密度区域热接触。

[0047] 盖密封材料 136 可采取数种不同形式,例如聚硅氧基或环氧树脂基粘合剂或焊料。可采取另一途径,例如在盖 134 与中介层 106 之间使用 Si-Si 或 Cu-Cu 直接盖密封。盖密封材料 136 的一个适合选择为聚硅氧基粘合剂,作为通过密歇根米德兰(Midland, Michigan)的道康宁公司(Dow Corning Corporation)的 EA-6700 微电子粘合剂而给予。

[0048] 关于逻辑裸片 102 及存储器裸片 108a 到 108d 的结构,在一些实施例中,钝化层材料的适合选择可经运用以根据需要阻碍或增强热量传递。例如,在面对最下存储器裸片 108a 的逻辑裸片 102 的主要表面上(并且视情况地运用于存储器裸片 108a 的面对主要表

面上)可运用常规聚合物基钝化层材料。例如聚酰亚胺、聚苯并恶唑(PBO)或双马来酰亚胺三嗪(BT)树脂的此类材料展现大约 $0.2\text{W/mK}$ 的低热能传导率。此材料的使用有利地阻碍从逻辑裸片102到存储器裸片108a的热量传递。另一方面,可运用充当有效扩散势垒并且展现大约 $2.0\text{W/mK}$ 的较高热能传导率的钝化层材料作为存储器裸片108a到108d上的作用表面钝化层154并且作为背侧钝化层156以促进到盖134的热量传递。适合材料包含例如且不限于 $\text{SiN}_x$ 、 $\text{SiO}_x$ 或旋涂式玻璃(SOG)。虽然结晶 $\text{Si}_3\text{N}_4$ 通常称为具有 $30\text{W/mK}$ 的热能传导率,然而使用例如在晶片处理中运用的低温度沉积条件,可得到 $2.0\text{W/mK}$ 的较低k。k值可通过添加例如 $\text{Al}_2\text{O}_3$ 、 $\text{Y}_2\text{O}_3$ 、 $\text{NdO}_x$ 而大幅度增加到超过 $100\text{W/mK}$ 。当然,使用相对薄钝化层促进存储器裸片108与接触热柱130之间的热量传递。

[0049] 如上文提到,底填充材料160可包括任何适合的电介质材料或多种材料。然而,可期望在逻辑裸片102与DRAM裸片108a之间运用展现相对低热能传导率(例如,低k)的底填充以抑制热量传递,但是在DRAM裸片108a到108d之间运用展现相对高热能传导率(例如,高k)的另一不同底填充材料以增强热量传递。已经提出例如氮化硼、氧化硅涂覆的氮化铝及氧化铝填充物以增强底填充材料的热能传导率。用于在逻辑裸片102与存储器裸片108a之间安置的适合底填充可为常规毛细管型底填充,其可展现约 $0.2\text{W/mK}$ 到约 $0.5\text{W/mK}$ 的热能传导率。展现约 $0.5\text{W/mK}$ 的热能传导率的常规非传导性、非流动环氧树脂膏可安置于互相邻近的存储器裸片108a到108d之间。然而,可于逻辑裸片102与存储器裸片108a之间以及存储器裸片108a到108d中的每一者之间运用相同或不同底填充材料160。

[0050] 从更广泛观点,可于堆栈中的不同半导体裸片之间运用展现不同热能传导率的不同电介质材料,以分别增强或抑制在所述堆栈中的邻近裸片之间的热量传递。类似地,展现不同热能传导率的电介质材料可放置于垂直邻近半导体裸片的不同侧向分隔区域之间,以选择性地增强或阻碍垂直热量传递。例如,堆栈中的叠置的半导体裸片的相对较高功率密度区域可垂直对准,并且可于与所述相对较高功率密度区域对准的所述半导体裸片之间运用高热能传导率电介质材料,以提供增强型热量传递导管,同时可用较低热能传导率电介质材料填充所述邻近半导体裸片之间的侧向邻近或围绕区以抑制热量传递。

[0051] 例如,具有在铜与焊料帽盖之间的镍势垒的铜热柱130可展现在钝化层上方的大约 $30\text{W/mK}$ 的热能传导率。因此,足够横向横截面积及足够数目的热柱130的存在可补偿底填充材料160的相对有限热能传导率。当然,可运用逻辑裸片102与最下存储器裸片108a之间的热柱130的缺失结合运用低k底填充材料160,以根据需要抑制在逻辑裸片102与最下存储器裸片108a之间的热量传递。

[0052] 为正确看待本发明的实施例,可运用结构及材料的选择性使用以选择性地实质上热耦合或解耦合多裸片组合件的不同区域,以针对所述组合件的每一裸片将其所有组件维持于低于 $T_{\text{max}}$ 的操作温度。从另一观点看待,本发明的实施例可经运用以选择性地并且有利地重新分布通过多裸片组合件的各种裸片产生的热量。

[0053] 因此,本发明的实施例包括一种分布半导体裸片组合件内产生的热量的方法,所述半导体裸片组合件包括具有与具有第二更大 $T_{\text{max}}$ 规格的另一半导体裸片电连接的具有第一 $T_{\text{max}}$ 规格的堆叠半导体裸片,所述方法包括:用不同于所述堆栈的半导体裸片之间的导电元件的导热结构增强从所述堆栈的紧邻其它半导体裸片的半导体裸片经过所述堆栈的距所述另一半导体裸片最远的半导体裸片到热量耗散结构的热量传递;抑制从所述另一半

导体裸片到所述堆栈的所述紧邻半导体裸片的热量传递；以及从所述另一半导体裸片直接传递热量到热量耗散结构。

[0054] 为提供观点,可采取运用逻辑裸片 102 及其上堆叠的四个 DRAM 裸片 108a 到 108d 的 HMC100 的情况。如图 1 中描绘,可包括较高功率密度区域 114 的逻辑裸片 102 的延伸外围区 112 向外围延伸越出裸片堆栈 110 的一或多个侧。在运用常规热量管理技术时,甚至在使用铜 TSV 时,在运用于逻辑裸片上方的 DRAM 裸片堆栈 110 的常规封装中,在所述裸片组合件中产生局域化过热部位的逻辑裸片 102 的高功率密度区域 114 可引起所述常规封装中的所述组合件裸片之间的  $30^{\circ}\text{C}$  的  $T_{\max}$  增加。

[0055] 例如,并且再次参考图 1,还称为散热器的常规盖通过 TIM132 仅与裸片堆栈 110 的顶部热接触,此盖的内部轮廓通过虚线 L 展示,使得可包括较高功率密度区域 114 的延伸外围区 112 不与所述盖接触。因此,从逻辑裸片 102 的外围延伸区 112 到具有内部轮廓 L 的所述盖的可用主要热量传递路径通过存储器裸片堆栈 110。特定来说,底部 DRAM 裸片 108a 经历来自逻辑裸片 102 的显著增加的热量流动。这导致比规格要求的高得多的界面温度  $T_j$  及  $T_{\max}$ 。相比来说,本发明的一或多个实施例通过 TIM132 及盖 134 的台阶 174 提供第一热量传递路径(箭头  $HT_1$ )给逻辑裸片 102 的外围延伸区 112,以实质上绕过 DRAM 裸片 108a 到 108d。通过热柱 130 经过存储器裸片 108b 到 108d 及 TIM132 到盖 134 而提供用于来自最下存储器裸片 108 的热量及来自逻辑裸片 102 的任何剩余热量的另一第二热量传递路径  $HT_2$ 。因此,本发明的实施例提供两个解耦合的热量传递路径  $HT_1$  及  $HT_2$  以增强针对 HMC100 的热管理,实现针对底部 DRAM 裸片 108a 的较低操作温度,并且使逻辑裸片 102 及 DRAM 裸片 108a 到 108d 符合其相应温度规格。

[0056] 在讨论的具体实例中,逻辑的  $T_{\max} < 105^{\circ}\text{C}$ ,并且 DRAM 的  $T_{\max} < 95^{\circ}\text{C}$ 。堆栈的四个 DRAM 裸片 108a 到 108d 加上一个逻辑裸片 102 使用来自美国宾夕法尼亚州 Canonsburg 市的 ANSYS, Inc., 的市售的有限元素分析 ANSYS® MECHANICAL 计算机辅助工程 (CAE) 软件执行数学热能模拟。下文列出针对所执行的模拟的参数值。运用对逻辑裸片 102 为 11.2W 功率及每一 DRAM 裸片 108 为 1.6W 的边界条件,无经由所述组合件的衬底(例如,中介层 106)侧的热量通量耗散。指定逻辑裸片 102 及 DRAM 裸片 108a 到 108d 的每一者为约  $50\ \mu\text{m}$  厚且具有在周围温度时为  $140\text{W}/\text{mK}$  并且在操作温度时为  $110\text{W}/\text{mK}$  的热能传导率 ( $k$ ) 的硅。裸片之间的底填充为  $k = 0.5\text{W}/\text{mK}$ ,并且每一裸片的作用表面上的钝化层指定为  $4\ \mu\text{m}$  的具有  $k = 0.2\text{W}/\text{mK}$  的聚酰亚胺。指定每一裸片的背侧钝化层为  $1.5\ \mu\text{m}$  到  $2\ \mu\text{m}$  的具有另一  $0.5\ \mu\text{m}$  的具有  $k = 2.0\text{W}/\text{mK}$  的氮化硅的聚酰亚胺,并且每一裸片内的 TSV122 为具有  $k = 1.5\text{W}/\text{mK}$  的电介质衬里的  $k = 398\text{W}/\text{mK}$ 。指定 TIM132 为  $3.8\text{W}/\text{mK}$  的热能传导率。如所模制,传导元件 120 包括与 TSV 连通的含镍势垒层及 SnAg 焊料并且具有  $98\text{W}/\text{mK}$  的热能传导率的一个  $30\ \mu\text{m}$  直径铜柱,但是不具有在任何裸片之间的热柱 130,并且运用不与逻辑裸片 102 的外围延伸区 112(如图 1 中通过虚线 L 描绘)接触的常规配置盖, $T_{\max}$  逻辑裸片为  $127.7^{\circ}\text{C}$ ,同时底部 DRAM 裸片的  $T_{\max}$  为  $108.9^{\circ}\text{C}$ 。根据本发明且如关于图 1 描述,使用盖 134 连同具  $3.8\text{W}/\text{mK}$  的热能传导率的  $50\ \mu\text{m}$  厚的 TIM 及在逻辑裸片 102 的外围延伸区 112 上的盖 134 的  $400\ \mu\text{m}$  重叠, $T_{\max}$  逻辑裸片减少到  $105.9^{\circ}\text{C}$ ,同时  $T_{\max}$  底部 DRAM 裸片减少到  $98.9^{\circ}\text{C}$ 。以所述组合件的全部裸片之间的  $100\ \mu\text{m}$  的间距在钝化层上方添加直径为  $30\ \mu\text{m}$  且热能传导率为  $30\text{W}/\text{mK}$  的电隔离热柱 130 得到  $T_{\max}$  为  $99.0^{\circ}\text{C}$  的逻辑裸片,同时底部 DRAM 裸片的  $T_{\max}$

减小到 95.5°C,其在针对逻辑裸片 102 的规格内,但仍在针对所述底部 DRAM 裸片 108a 的规格之外。然而,从底部 DRAM 裸片 108a 与逻辑裸片 102 之间去除热柱 130 得到在规格内的 102.8°C  $T_{\max}$  的逻辑裸片及 93.0°C  $T_{\max}$  的 DRAM 裸片。预期可在逻辑裸片 102 与 DRAM 裸片 108a 之间运用一些热柱,以进一步减小逻辑裸片温度,而不将 DRAM 裸片 108a 加热到规格范围外。

[0057] 如上文描述,一种管理包括多个半导体裸片的组合件中的热量传递的方法包括:阻碍从较高功率裸片到邻近较低功率裸片的热量传递;增强从所述邻近较低功率裸片到至少一个其它较低功率裸片的热量传递;以及将热量从所述较高功率裸片传递到邻近热量耗散结构。

[0058] 还如上文描述,本发明的实施例的特征可为一种多裸片组合件,其包括:堆叠于另一半导体裸片上方的半导体裸片;以及在所述半导体裸片与所述另一半导体裸片之间并且与所述半导体裸片及所述另一半导体裸片的至少一者电隔离的多个侧向分隔导热结构。

[0059] 虽然在个别存储器裸片 108a 到 108d 的堆栈的上下文中加以说明,但是本发明还预期使用较多或较少存储器裸片以及使用存储器裸片的多个堆叠(每一逻辑裸片上一个堆栈),各自包括一个以上存储器裸片、叠置于包括一个以上逻辑裸片的晶片区段上的堆叠的部分晶片区段。

[0060] 除了通过本发明的实施例提供的上文列举的优点之外,还应注意,通过电镀或无电极电镀形成热柱 130 与传导元件 120(例如可对晶片级实现)得到两种类型结构的增强型电镀一致性。

[0061] 本发明还预期多裸片组合件的一或多个实施例的实施方案,所述多裸片组合件并入有不同于存储器及逻辑裸片的半导体裸片,所述多裸片组合件具有在所述组合件的部分内并且关于到用于外部耗散热量的热量耗散结构的热量传递的用于呈选择性热能传递阻碍、选择性热能传递增强及选择性热能传递重新分布的形式的热管理的结构及材料。此类热量耗散结构及其组合包含(但不限于)盖、散热片、散热器、微型散热管等。

[0062] 在如上文描述的各种实施例中,一种半导体裸片组合件包括:在堆栈中的多个半导体裸片;另一半导体裸片,其邻近于所述堆栈、包括相对较低功率密度区域及相对较高功率密度;传导元件,其在所述堆栈中的半导体裸片与所述另一半导体裸片之间并且电互连所述堆栈中的所述半导体裸片与所述另一半导体裸片的集成电路;插入于所述堆栈的半导体裸片之间的热柱;以及热量耗散结构,其与所述堆栈的最上裸片及所述另一半导体裸片的相对较高功率密度区域热接触。

[0063] 虽然本发明可有各种修改及替代形式,但是已经在图式中通过实例的方式展示并且已经在本文中详细描述具体实施例。然而,本发明不希望限于所揭示的特定形式。确切地说,本发明涵盖落入如通过所附权利要求书定义的本发明的范围及其合法等效物内的所有修改、等效物及替代。

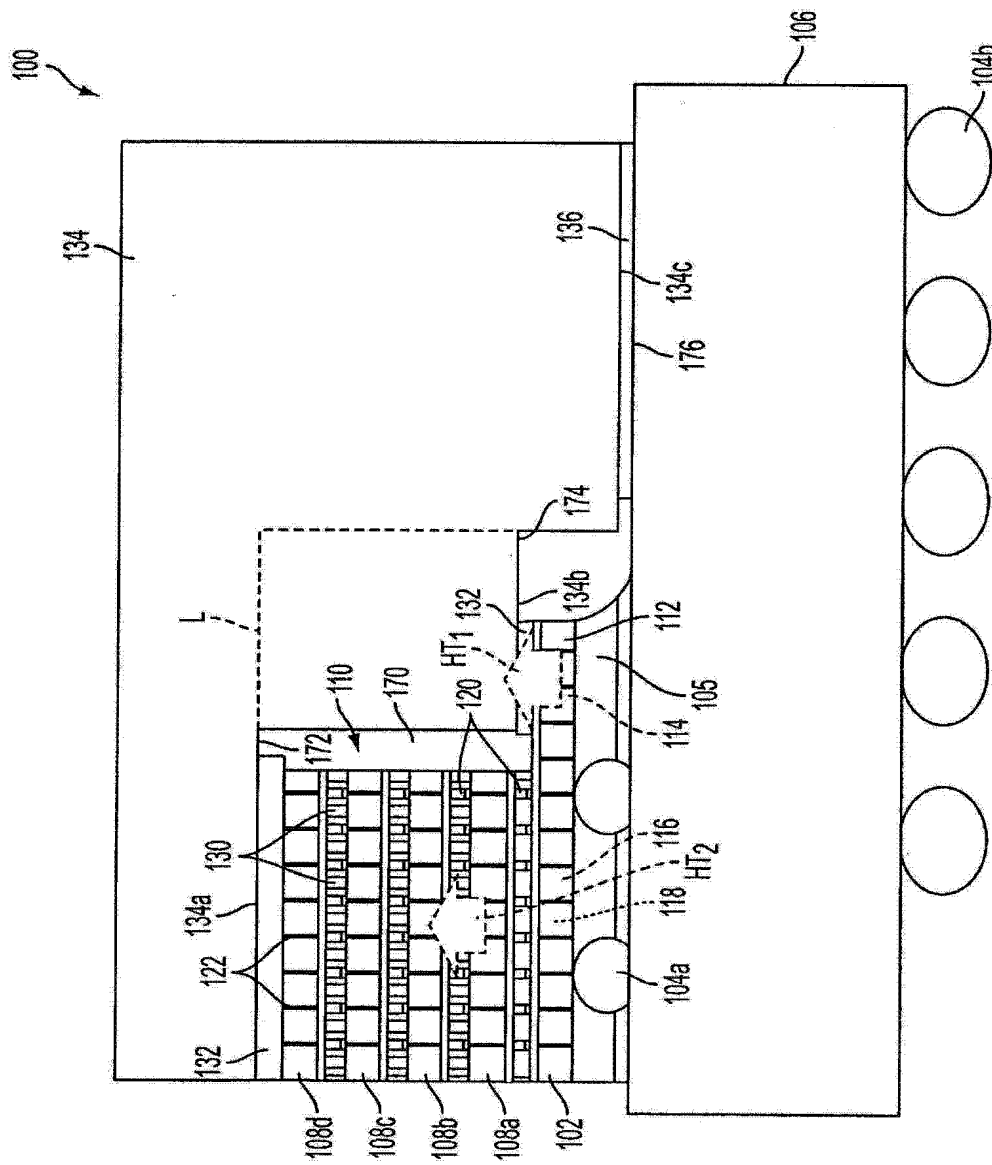


图 1



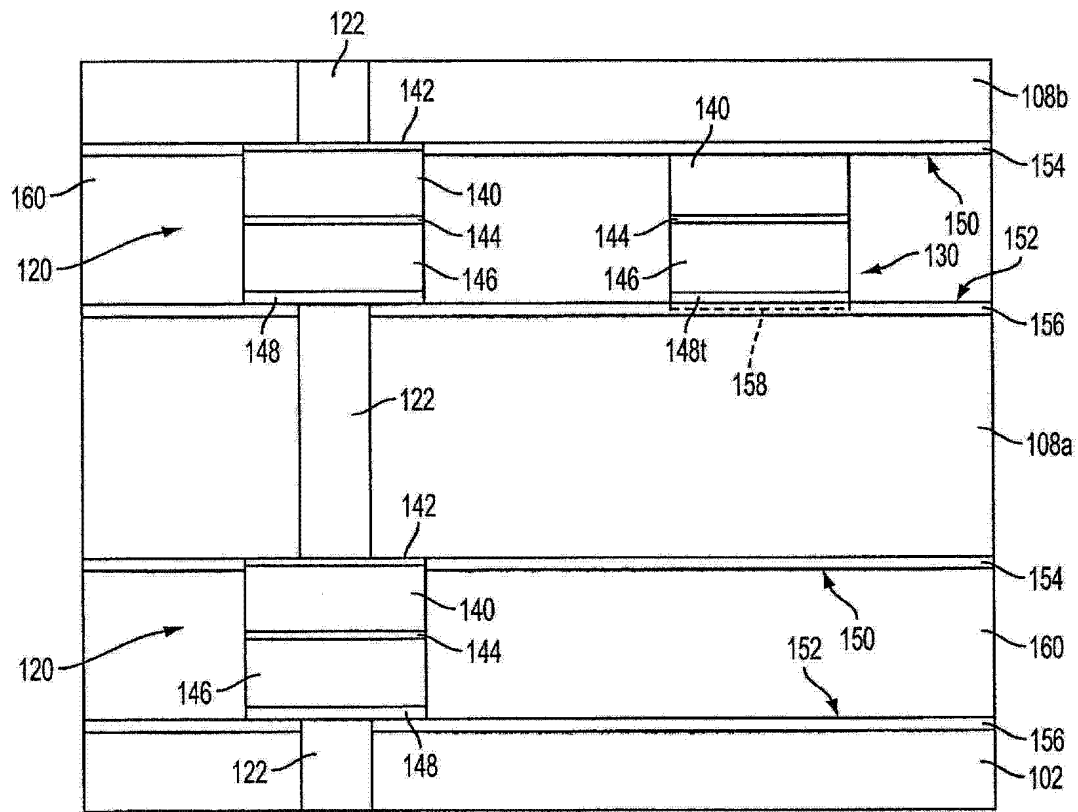


图 2

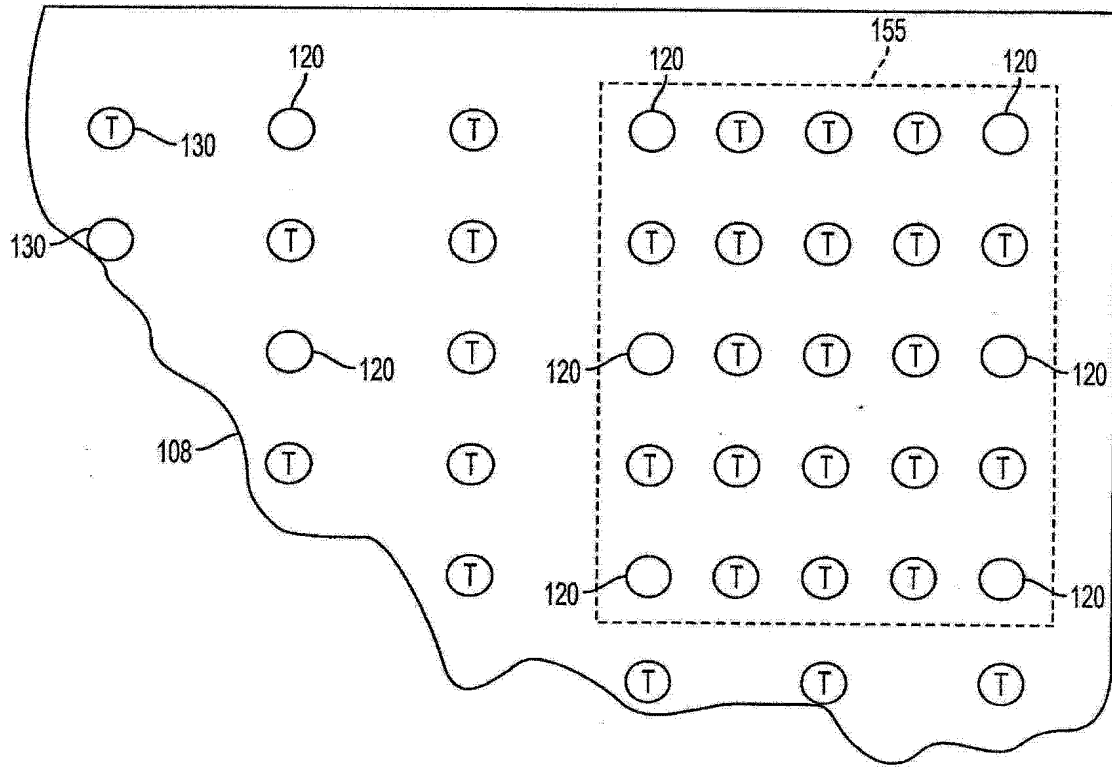


图 3A

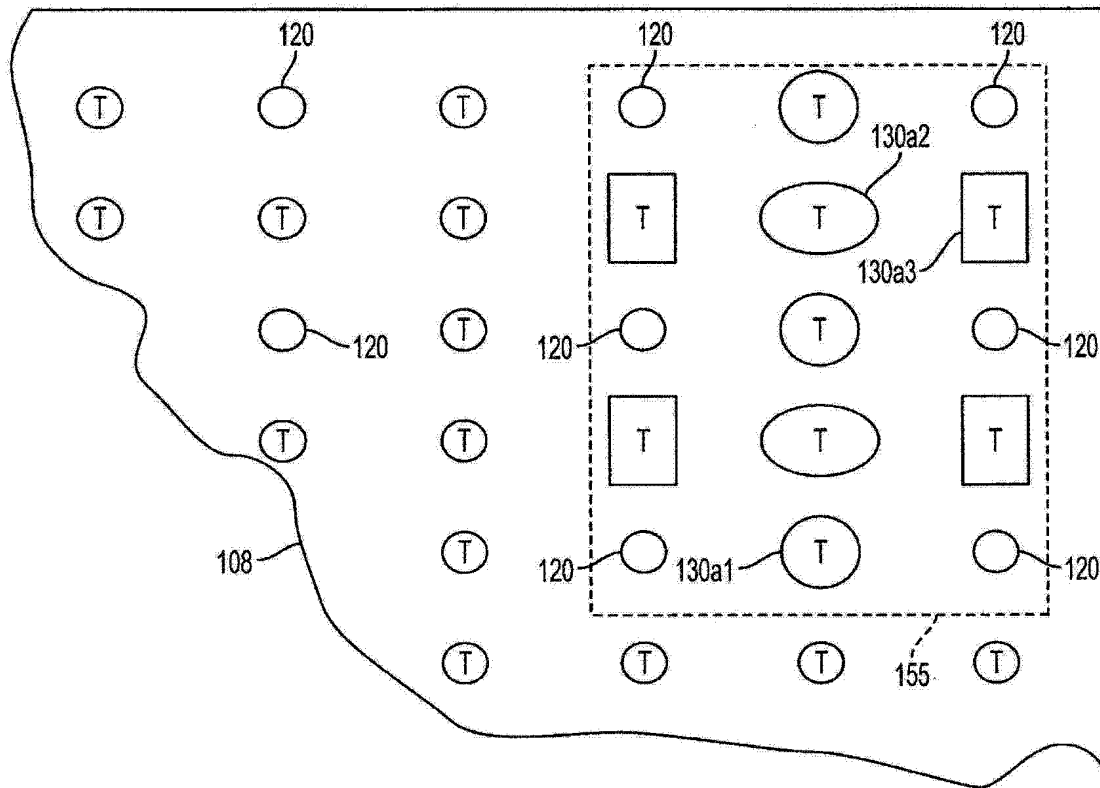


图 3B

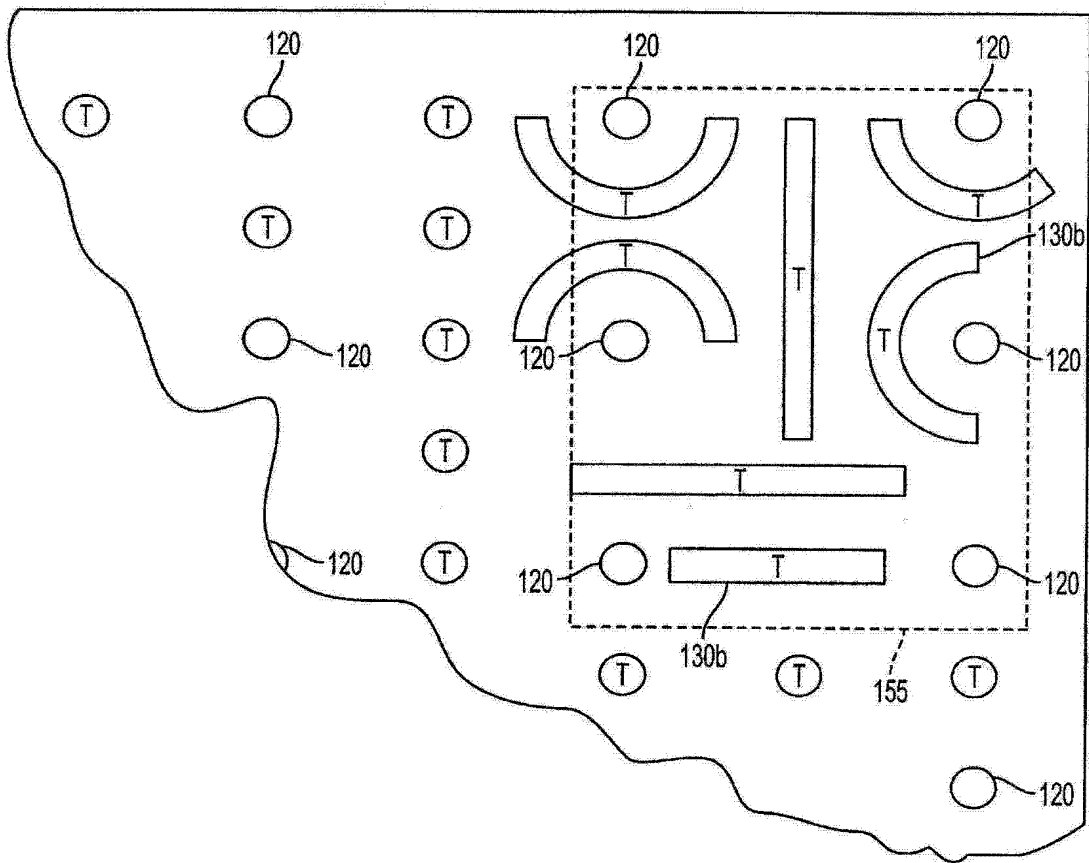


图 3C

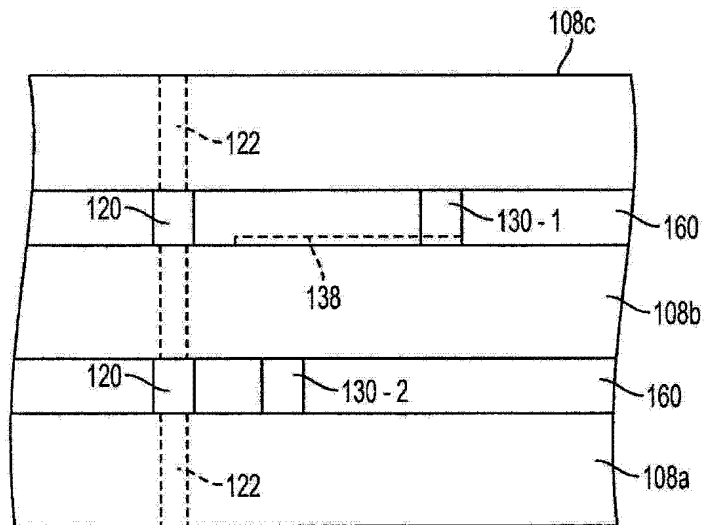


图 4