



(12)发明专利

(10)授权公告号 CN 106463392 B

(45)授权公告日 2019.07.23

(21)申请号 201580032888.X

(22)申请日 2015.05.13

(65)同一申请的已公布的文献号  
申请公布号 CN 106463392 A

(43)申请公布日 2017.02.22

(30)优先权数据  
14/286,424 2014.05.23 US

(85)PCT国际申请进入国家阶段日  
2016.12.19

(86)PCT国际申请的申请数据  
PCT/US2015/030613 2015.05.13

(87)PCT国际申请的公布数据  
W02015/179192 EN 2015.11.26

(73)专利权人 应用材料公司  
地址 美国加利福尼亚州

(72)发明人 R·C·南古伊

(74)专利代理机构 上海专利商标事务所有限公  
司 31100  
代理人 侯颖嫒

(51)Int.Cl.  
H01L 21/3065(2006.01)  
H01L 21/301(2006.01)

(56)对比文件  
US 2010099266 A1,2010.04.22,  
US 2010216313 A1,2010.08.26,  
US 2008236753 A1,2008.10.02,  
US 7767551 B2,2010.08.03,  
US 2011014777 A1,2011.01.20,  
审查员 孙健

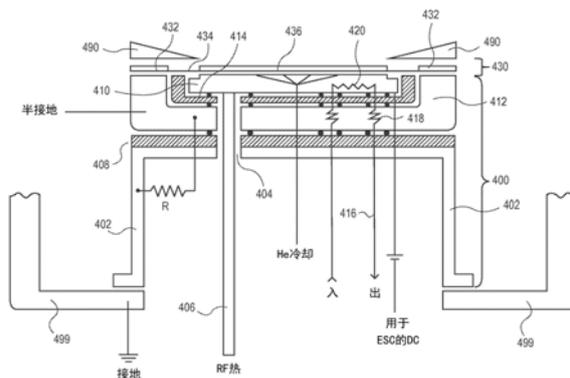
权利要求书2页 说明书21页 附图17页

(54)发明名称

用于等离子体划切期间的划切带热管理的冷却轴架

(57)摘要

描述了用于划切半导体晶片的方法和设备,其中,每一个晶片具有多个集成电路。在示例中,等离子体蚀刻腔室包括设置在等离子体蚀刻腔室的上部区域中的等离子体源。等离子体蚀刻腔室也包括设置在等离子体源下方的阴极组件。阴极组件包括用于支撑基板载体的背侧的内侧部分的冷却RF供电的卡盘。阴极组件也包括冷却RF隔离的支撑件,所述Rf隔离的支撑件围绕所述RF供电的卡盘但与所述RF供电的卡盘隔离。所述RF隔离的支撑件用于支撑基板载体的背侧的外侧部分。



1. 一种等离子体蚀刻腔室,包括:

等离子体源,所述等离子体源设置在所述等离子体蚀刻腔室的上部区域中;以及

阴极组件,所述阴极组件设置在所述等离子体源下方,所述阴极组件包括:

冷却RF供电的卡盘,所述冷却RF供电的卡盘用于将基板载体的背侧的内侧部分直接支撑在所述冷却RF供电的卡盘上;以及

冷却RF隔离的支撑件,所述冷却RF隔离的支撑件围绕所述冷却RF供电的卡盘但与所述冷却RF供电的卡盘隔离,所述冷却RF隔离的支撑件用于将所述基板载体的所述背侧的外侧部分直接支撑在所述冷却RF隔离的支撑件上;以及

RF杆,所述RF杆穿过所述冷却RF隔离的支撑件中的开口,其中所述RF杆接触所述冷却RF供电的卡盘但不接触所述冷却RF隔离的支撑件。

2. 如权利要求1所述的等离子体蚀刻腔室,其中所述冷却RF供电的卡盘和所述冷却RF隔离的支撑件具有共同的热传递流体回路。

3. 如权利要求1所述的等离子体蚀刻腔室,其中所述冷却RF供电的卡盘和所述冷却RF隔离的支撑件经配置以在等离子体处理期间被维持在低于0°C的温度。

4. 如权利要求1所述的等离子体蚀刻腔室,进一步包括:

遮蔽环组件,所述遮蔽环组件经配置以在等离子体处理期间定位在所述阴极组件与所述等离子体源之间。

5. 一种划切半导体晶片的方法,所述半导体晶片包括多个集成电路,所述方法包括以下步骤:

将由基板载体支撑的基板引入到等离子体蚀刻腔室中,所述基板具有在所述基板上的经图案化的掩模,所述经图案化的掩模覆盖集成电路并暴露所述基板的划片道,并且所述基板载体具有背侧;

直接在容纳在所述等离子体蚀刻腔室中的阴极组件的冷却RF供电的卡盘上支撑所述基板载体的所述背侧的内侧部分;以及直接在冷却RF隔离的支撑件上支撑所述基板载体的所述背侧的外侧部分,所述冷却RF隔离的支撑件围绕所述冷却RF供电的卡盘但与所述冷却RF供电的卡盘隔离,其中所述RF供电的卡盘由RF杆供电,所述RF杆穿过所述冷却RF隔离的支撑件中的开口,且其中所述RF杆接触所述冷却RF供电的卡盘但不接触所述冷却RF隔离的支撑件;

利用所述冷却RF供电的卡盘和所述冷却RF隔离的支撑件两者来冷却所述基板载体的所述背侧;以及

当执行对所述基板载体的所述背侧的冷却时,穿过所述划片道对所述基板进行等离子体蚀刻以将所述集成电路单颗化。

6. 如权利要求5所述的方法,其中利用所述冷却RF供电的卡盘和所述冷却RF隔离的支撑件来冷却所述基板载体的所述背侧的步骤包括以下步骤:使冷却流体流经所述冷却RF供电卡盘和所述冷却RF隔离的支撑件两者共同的热传递流体回路。

7. 如权利要求5所述的方法,其中在所述等离子体蚀刻期间,所述冷却RF供电的卡盘和所述冷却RF隔离的支撑件两者都维持在低于0°C的温度。

8. 如权利要求5所述的方法,其中所述基板载体包括外侧带框和具有基板区域的支撑划切带,并且其中冷却所述基板载体的所述背侧的步骤包括以下步骤:冷却所述带框和所

述划切带的所述基板区域。

9. 如权利要求8所述的方法,其中所述冷却RF供电的卡盘冷却所述划切带的所述基板区域,并且所述冷却RF隔离的支撑件冷却所述带框。

10. 如权利要求9所述的方法,其中所述划切带的部分设置在所述带框与所述冷却RF隔离的支撑件之间。

11. 如权利要求5所述的方法,其中在所述等离子体蚀刻期间,所述基板载体的前侧的部分由遮蔽环保护。

12. 如权利要求5所述的方法,进一步包括以下步骤:  
利用激光划片工艺形成经图案化的掩模。

## 用于等离子体划切期间的划切带热管理的冷却轴架

### [0001] 背景

#### 1) 技术领域

[0002] 本发明的实施例关于半导体处理领域,具体而言,关于划切(dice)半导体晶片的方法,其中,每一个晶片上在其上都具有多个集成电路。

#### 2) 背景技术

[0003] 在半导体晶片处理中,集成电路形成在由硅或其他半导体材料组成的晶片(也称作基板)上。一般而言,半导电的、导电的或绝缘的的各种材料的层用于形成集成电路。使用各种公知的工艺来掺杂、沉积和蚀刻这些材料以形成集成电路。每一个晶片经处理以形成大量单独的区域,所述单独的区域包含被称为管芯的集成电路。

[0004] 在集成电路形成工艺之后,晶片经“划切”以将单个管芯彼此分开,以便进行封装或以未封装形式用于更大的电路内。用于晶片划切的两种主要技术是划片(scribe)和锯切(saw)。利用划片,跨晶片表面、沿预形成的划线移动移动镶金刚石的划片器。这些划线沿管芯之间的空间延伸。这些空间通常称作“划片道(street)”。金刚石划片器沿划片道、在晶片上形成浅划痕。在诸如利用辊施加压力之后,晶片沿划线分开。晶片中的断裂遵循晶片基板的晶格结构。划片可用于厚度约10密耳(千分之一英寸)或更小的晶片。对于更厚的晶片,锯切目前是用用于划切的较佳方法。

[0005] 利用锯切,以高的每分钟转数旋转的镶金刚石的锯件接触晶片表面,并且沿划片道锯切晶片。晶片装配在支撑构件(诸如,跨膜框而伸展的粘合膜)上,并且重复地将锯件施加至竖直和水平划片道。划片或锯切的一个问题在于,沿管芯的切断的边缘,碎屑(chip)和圆凿(gouge)可能形成。另外,裂痕可能形成,并且从管芯边缘传播到基板中,并且使集成电路无法操作。碎裂和开裂尤其是划片面临的问题,因为正方形或矩形管芯的仅一侧可能在晶体结构的<110>方向上经划片。因此,管芯的另一侧的裂开导致锯齿状分离线。由于碎裂和开裂,在晶片上的管芯之间需要额外的间隔以防止对集成电路的损坏,例如,使碎屑和裂痕维持在距实际的集成电路一距离处。作为间隔要求的结果,在标准尺寸的晶片上可能无法形成那么多管芯,并且浪费了原本可用于电路系统的晶片占地面积。使用锯件加剧了对半导体晶片上占用面积的浪费。锯刃约为15微米厚。由此,为了确保围绕由锯件产生的切口的开裂和其他损坏不损害集成电路,经常必须有300至500微米来分开管芯中的每一个管芯的电路系统。此外,在切割之后,每一个管芯需要大量清洗以去除由锯切工艺导致的粒子和其他污染物。

[0006] 也已使用等离子体划切,但是等离子体划切也可能具有限制。例如,妨碍等离子体划切的实现的一个限制可能使成本。用于图案化抗蚀剂的标准光刻操作可致使实现方式成本过高。可能妨碍等离子体划切的实现的另一限制在于,在沿划片道的划切中,对常见金属(例如,铜)的等离子体处理可能导致生产问题或产量限制。

## 发明内容

[0007] 本发明的实施例包括划切半导体晶片的方法,其中,每一个晶片在其上都具有多个集成电路。

[0008] 在实施例中,等离子体蚀刻腔室包括设置在等离子体蚀刻腔室的上部区域中的等离子体源。等离子体蚀刻腔室也包括设置在等离子体源下方的阴极组件。阴极组件包括用于支撑基板载体的背侧的内侧部分的冷却RF供电的卡盘。阴极组件也包括冷却RF隔离的支撑件,所述冷却RF隔离的支撑件围绕所述RF供电的卡盘但与所述RF供电的卡盘隔离。RF隔离的支撑件用于支撑基板载体的背侧的外侧部分。

[0009] 在另一实施例中,划切具有多个集成电路的半导体晶片的方法涉及:将由基板载体支撑的基板引入到等离子体蚀刻腔室中。基板具有在所述基板上的经图案化的掩模,所述经图案化的掩模覆盖集成电路并暴露基板的划片道。基板载体具有背侧。所述方法也涉及:在容纳在等离子体蚀刻腔室中的阴极组件的RF供电的卡盘上支撑基板载体的背侧的内侧部分;以及在RF隔离的支撑件上支撑基板载体的背侧的外侧部分,所述RF隔离的支撑件围绕所述RF供电的卡盘但与所述RF供电的卡盘隔离。所述方法也涉及:利用RF供电的卡盘和RF隔离的支撑件两者来冷却基板载体的背侧。所述方法也涉及:当执行对基板载体的背侧的冷却时,穿过划片道对基板进行等离子蚀刻以将集成电路单颗化。

[0010] 在又一实施例中,用于划切具有多个集成电路的半导体晶片的系统包括工厂接口。所述系统也包括激光划片设备,所述激光划片设备与工厂接口耦接,并且容纳激光组件。所述系统也包括与工厂接口耦接的等离子体蚀刻腔室。等离子体蚀刻腔室容纳在等离子体源下方的阴极组件。阴极组件包括用于支撑基板载体的背侧的内侧部分的冷却RF供电的卡盘。阴极组件也包括冷却RF隔离的支撑件,所述RF隔离的支撑件围绕所述RF供电的卡盘但与所述RF供电的卡盘隔离。RF隔离的支撑件用于支撑基板载体的背侧的外侧部分。

## 附图说明

[0011] 图1图示根据本发明的实施例的待划切的半导体晶片的俯视图。

[0012] 图2图示根据本发明的实施例的待划切的半导体晶片的俯视图,所述半导体晶片具有形成于其上的划切掩模。

[0013] 图3图示根据本发明的实施例的基板载体的平面视图,所述基板载体适用于在单颗化(singulation)工艺期间支撑晶片。

[0014] 图4图示根据本发明的实施例的用于等离子体处理腔室的阴极组件,所述阴极组件包括冷却轴架。

[0015] 图5图示根据本发明的另一实施例的图3的基板载体,所述基板载体具有位于上方的主动式冷却遮蔽环或等离子体热遮蔽件或这两者,并且具有位于下方的冷却轴架。

[0016] 图6图示根据本发明的实施例的在等离子体腔室中用于热耗散的主动式冷却遮蔽环的倾斜视图,伴随着对示出的蚀刻阴极的相对定位,以及对示出的晶片支撑件的相对尺寸设定。

[0017] 图7图示根据本发明的实施例的图6中的支撑设备的等离子体暴露耦合器的放大视图。

[0018] 图8图示根据本发明的实施例的图6中的支撑设备的馈通波纹管的放大视图。

[0019] 图9图示根据本发明的实施例的等离子体热遮蔽件的倾斜的俯视图和倾斜的仰视图。

[0020] 图10图示根据本发明的实施例的图9的等离子体热遮蔽件的放大的倾斜横剖面视图,所述等离子体热遮蔽件如定位在遮蔽环的顶表面上。

[0021] 图11图示根据本发明的实施例的蚀刻反应器的横剖面视图。

[0022] 图12是根据本发明的实施例的流程图,所述流程图表示划切包括多个集成电路的半导体晶片的方法中的操作。

[0023] 图13A图示根据本发明的实施例的、在执行对应于图12的流程图的划切半导体晶片的方法期间的、包括多个集成电路的半导体晶片的横剖面视图。

[0024] 图13B图示根据本发明的实施例的、在执行对应于图12的流程图的划切半导体晶片的方法期间的、包括多个集成电路的半导体晶片的横剖面视图。

[0025] 图13C图示根据本发明的实施例的、在执行对应于图12的流程图的划切半导体晶片的方法期间的、包括多个集成电路的半导体晶片的横剖面视图。

[0026] 图14图示根据本发明的实施例的、相比较长的脉冲时间而使用飞秒范围中的激光脉冲的效应。

[0027] 图15图示根据本发明的一实施例的通过使用更窄划片道与通过使用可限定于最小宽度的习用划切而在半导体晶片上达成的压紧的对比。

[0028] 图16图示根据本发明的实施例的自由形式的集成电路布置,所述布置允许更紧密的充填,并且由此相比栅格对准方法允许在每晶片上更多的管芯。

[0029] 图17图示根据本发明的实施例的、用于晶片或基板的激光和等离子体划切的工具布局的框图。

[0030] 图18图示根据本发明的实施例的示例性计算机系统的框图。

## 具体实施方式

[0031] 描述了用于划切半导体晶片的方法和设备,其中每一个晶片都具有位于其上的多个集成电路。在下文描述中,阐述了大量特定细节(诸如,用于薄晶片的载体、划片和等离子体蚀刻条件和材料域(material regime))以提供对本发明的实施例的透彻理解。对本领域技术人员显而易见的是,可在不具有这些特定细节的情况下来实践本发明的实施例。在其他实例中,未详细地描述诸如集成电路制造之类的公知的方面,以免不必要地使本发明的实施例含义不清。此外,应将理解,附图中所示的各种实施例是说明性表示,并且不一定是按比例绘制的。

[0032] 本文中所述的一个或更多个实施例涉及在等离子体划切期间经由轴架冷却进行的划切带(dicing tape)热管理。一个或多个实施例涉及混合式激光划片和等离子体蚀刻管芯单颗化工艺。

[0033] 为了提供上下文,在对装配在带框上的晶片的等离子体划切期间,针对划切带热损伤或降级的热管理对于确保成功的等离子体蚀刻处理可能是关键的。在等离子体处理期间的过热可能导致划切带开裂、燃烧或形变,或导致其他问题,诸如,划切带与支撑框架之间的黏附降级。此类问题可能导致蚀刻工艺失败或灾难性的晶片损坏。当前的实践涉及在容纳在等离子体蚀刻腔室中的支撑卡盘上冷却晶片或基板。通过将卡盘温度维持在0°C或

低于0℃(诸如,维持在约-10℃的温度)来实现冷却。

[0034] 在基板或晶片位于载体上的情况下,载体中支撑晶片或基板的部分位于冷却卡盘上。然而,晶片或基板边缘与带框之间的划切带的部分(以及带框)位于未经冷却的同心支撑环上。因此,典型地通过在晶片或基板上方添加遮蔽环并且覆盖框架以及晶片边缘与框架之间的被暴露的划切带来阻止来自等离子体的热辐射。然而,此类遮蔽环自身可能不足以保护载体或划切带的被暴露的部分免受热损伤或降级。此外,不同耐久性的各种类型的载体或划切带可能经受各种蚀刻工艺以进行单颗化。因此,本文中所述的一个或更多个实施例提供广泛和稳健的方法,用于在对晶片或基板单颗化的等离子体蚀刻期间保护划切或载体带。

[0035] 本文中所述的一个或更多个实施例通过从基板载体的划切或载体带以及框架去除热负载而解决热管理。在实施例中,通过冷却轴架从基板或晶片载体背侧去除热负载。冷却轴架可与带框一起使用,所述带框将晶片支撑在等离子体蚀刻腔室内的阴极上。一个或更多个实施例允许在等离子体蚀刻腔室内执行晶片管芯切割,并伴随着以下优势:产量、独立的形状(例如,任何管芯形状或布局)以及较小的空间切割线,以实现更高的良率。在一个实施例中,针对薄晶片预先封装划切进行调节,所述预先封装划切通常不能使用常规的砂轮和激光切割来执行。

[0036] 应理解,在等离子体蚀刻腔室内进行的行业首创晶片管芯单颗化面临众多挑战。例如,带框晶片载体不一定为真空腔室设计或经设计以容纳又等离子体蚀刻生成的热,所述热可能灼烧通常被包括在带框内的粘性柔性带或使所述粘性柔性带具有刚性。源自等离子体蚀刻腔室中的处理的被烧蚀的和/或刚性的带框带可能导致整个完工的晶片的全部损失。因此,目前面临的问题中的一个问题在于,当由等离子体时刻工艺加热晶片时,对维持对框架环和柔性粘性带的冷却的潜在需求。所面临的另一挑战是对于分开仅在晶片上但不再框和带表面上的等离子体轰击的潜在需求。

[0037] 为了解决上述问题中的一者或更多者,根据本发明的实施例,在RF热板和冷却通道与静电卡盘(electrostatic chuck;ESC)电介质轴架之间提供一种新的阴极布置。在实施例中,在阴极组件中的接地阴极与RF热轴架之间增加冷却环板。在一个此类实施例中,冷却环板接触晶片载体框架,并且可能接触带的部分。冷却环板可接地,使得不从此冷却环板的表面生成等离子体。在实施例中,利用非导电冷却流体,至RF热轴架的相同的冷却流体顺序地经重新路由至冷却板。下文中关联于图4描述此类阴极组件的示例性实施例。

[0038] 在示例性应用中,并且为了提供进一步的上下文,晶片或基板管芯单颗化工艺涉及:利用黏附剂将薄化的晶片或基板置于柔性聚合物带上。随后,柔性聚合带附接至支撑性带框环。在一些方面,用于单颗化的管芯的可靠的识取和放置运动的仅有的刚性形式是带框。然而,带框的径向位置典型地在诸如用于等离子体蚀刻腔室中的卡盘的正常范围之外。此外,带与带框配对典型地不应当暴露于超过带和黏附剂的可允许温度的温度。根据本文中所述的一个或更多个实施例,为了解决上述问题中的一者或更多者,冷却轴架的总体设计提供晶片或基板载体的背侧冷却。

[0039] 在本公开的一方面,可为管芯单颗化实现涉及初始的激光划片和后续的等离子体蚀刻的混合式晶片或基板划切工艺。激光划片工艺可用于清洁地去除掩模层、有机和无机电介质层以及器件层。随后,在暴露晶片或基板或部分地蚀刻晶片或基板之后,可终止激光

蚀刻工艺。随后,可采用划切工艺的等离子体蚀刻部分以蚀穿晶片或基板的块体(诸如,蚀穿块状单晶硅),以产生管芯或晶片单颗化或划切。在实施例中,在单颗化工艺期间,包括在单颗化工艺的蚀刻部分期间,晶片或基板由具有带框的基板载体支撑。在一个实施例中,在划切工艺的蚀刻部分期间实现冷却轴架。

[0040] 根据本发明的实施例,本文中描述的是用于在单颗化工艺中的等离子体蚀刻期间冷却基板载体的带框和所支撑基板的一个或更多个设备和方法。例如,设备可用于支撑并冷却膜框,所述膜框用于将薄的硅晶片固持在由框架支撑的带上。与集成电路(integrated circuit; IC)封装相关的工艺可能需要将薄化的硅晶片支撑并装配在诸如管芯附着膜之类的膜上。在一个实施例中,管芯附着膜也由基板载体支撑,并且用于将薄的硅晶片黏附至基板载体。

[0041] 为了提供进一步的上下文,长队的晶片划切方法包括基于纯粹机械分离的金刚石锯切割、初始的激光划片以及后续金刚石锯切划切,或纳秒或皮秒激光划切。对于薄晶片或基板单颗化(诸如,50微米厚的块体硅的单颗化),常规方法已经仅导致不良的工艺质量。当从薄晶片或基板单颗化管芯时可能面临的挑战中的一些挑战可包括微裂痕形成或不同层之间的分层、无机电介质层的碎裂、严格的切口宽度控制的保持或精确的烧蚀深度控制。本发明的实施例包括对于解决上述挑战中的一者或更多者可能有用的混合式激光划片和等离子体蚀刻管芯单颗化方法。

[0042] 根据本发明的实施例,激光划片与等离子体蚀刻的组合用于将半导体晶片划切为个体化或单颗化的集成电路。在一个实施例中,基于飞秒的激光划片如果不是用作完全的非热工艺,也用作基本上非热的工艺。例如,基于飞秒的激光划片可以是局域化的,其中没有或有可忽略不计的热损伤区域。在实施例中,本文中的方法用于单颗化具有超低k的膜的集成电路。利用常规的划切,可能需要减慢锯件以适应此类低k膜。此外,半导体晶片现在往往在划切之前刚经薄化。由此,在实施例中,掩模图案化和部分基板划片的组合现在是实际的,所述部分晶片划片利用基于飞秒的激光以及随后的等离子体蚀刻工艺。在一个实施例中,利用激光直接写入可消除对光阻层的光刻图案化操作的需求,并且能以极小的成本来实现。在一个实施例中,穿孔型硅蚀刻用于在等离子体蚀刻环境中完成划切工艺。

[0043] 由此,在本发明的一方面,激光划片与等离子体蚀刻的组合可用于将半导体晶片划切为单颗化的集成电路。图1图示根据本发明的实施例的待划切的半导体晶片的俯视图。图2图示根据本发明的实施例的待划切的半导体晶片的俯视图,所述半导体晶片具有形成在其上的划切掩模。

[0044] 参见图1,半导体晶片100具有包括集成电路的多个区域102。区域102由竖直划片道104和水平划片道106分开。划片道104和106是半导体晶片不包含集成电路的区域,并且划片道104和106设计为晶片将沿其被划切的位置。本发明的一些实施例涉及使用激光划片与等离子体蚀刻技术的组合以沿划片道穿过半导体晶片切割沟槽,使得管芯被分离为单独的晶片或管芯。由于激光划片与等离子体蚀刻工艺两者都独立于晶体结构定向,因此待划切的半导体晶片的晶体结构对于实现穿过晶片的竖直沟槽可能是无关紧要的。

[0045] 参见图2,半导体晶片100具有沉积在此半导体晶片100上的掩模200。在一个实施例中,掩模以常规方式沉积以实现约4至10微米厚的层。在一个实施例中,利用激光划片工艺来图案化掩模200以及半导体晶片100的部分,以便沿划片道104和106限定半导体晶片

100将被划切的位置(例如,间隙202和204)。半导体晶片100的集成电路区域由掩模200覆盖并保护。掩模200的区域206经定位使得在后续的刻蚀工艺期间,集成电路不因蚀刻工艺而降级。水平间隙204和垂直间隙202在区域206之间形成,以限定将在刻蚀工艺期间被蚀刻以最终划切半导体晶片100的区域。根据本发明的实施例,在划切工艺的蚀刻部分期间实现冷却轴架。

[0046] 如上文中简要提及,在例如混合式激光烧蚀和等离子体蚀刻单颗化方案的管芯单颗化工艺的等离子体蚀刻部分期间,用于划切的基板由基板载体支撑。例如,图3图示根据本发明的实施例的基板载体平面视图,所述基板载体适用于在单颗化工艺期间支撑晶片。

[0047] 参见图3,基板载体300包括背衬待层302,所述背衬带层302由带环或带框304围绕。晶片或基板306由基板载体300的背衬带302支撑。在一个实施例中,晶片或基板306通过管芯附接膜而附接至背衬带302。在一个实施例中,带环304由不锈钢组成。

[0048] 在实施例中,经定尺寸以接收诸如基板载体300之类的基板载体的系统中可容纳单颗化工艺。在一个此类实施例中,系统(诸如,下文中更详细地描述的系统1700)可容纳晶片框架而不影响系统的占地面积,所述系统占地面积原本经定尺以容纳未由基板载体支撑的基板或晶片。在一个实施例中,此类处理系统经定尺寸以容纳直径为300毫米的晶片或基板。如图3中所描绘,同一系统可容纳约380毫米宽×约380毫米长的晶片载体。然而,应理解,系统可经设计以处置450毫米的晶片或基板,或更特定而言,搬运450毫米的晶片或基板载体。

[0049] 作为冷却轴架的示例性实现方式,图4图示根据本发明的实施例的用于等离子体处理腔室的阴极组件,所述阴极组件包括冷却轴架。

[0050] 参见图4,阴极组件400包括阴极基座402。阴极基座402是导电并接地(即,耦接至地面,如图4中所描绘)的隔离基座。在一个实施例中,阴极基座402不耦接至射频(radio frequency;RF)功率,但具有开口404以供RF杆406(可以是RF热)穿过suoshu开口404。所得到的组件可称为拆分的(split)阴极组件。在实施例中,阴极组件400容纳在腔室主体499(图中示出腔室主体499的部分)中,所述腔室主体499诸如是等离子体处理腔室的腔室主体。

[0051] 绝缘体408将阴极基座402与RF供电的卡盘410(例如,作为高频AC(交流电)从RF杆406供应的RF功率)分开。在一个实施例中,RF供电的卡盘410是静电卡盘(electrostatic chuck;ESC)电介质轴架(所述轴架可以是高压DC(直流电)轴架,如图4中所描绘)。在实施例中,RF供电的卡盘410在其基板支撑表面上包括冷却通道,诸如,所述基板支撑表面上的氦(He)冷却通道,在图4中一般地标注冷却通道的指示。

[0052] RF隔离的支撑件412环绕RF供电的卡盘410,但与所述RF供电的卡盘410隔离。在一个实施例中,RF隔离的支撑件412既直接地也不间接地耦接至RF源。在一个实施例中,RF隔离的支撑件412通过绝缘体414而与RF供电的卡盘410隔离。在一个实施例中,RF隔离的支撑件412由铝组成,并且是导电的。在实施例中,RF隔离的支撑件412是冷却环,并且接地(例如,半接地),使得在等离子体处理操作期间不从所述RF隔离的支撑件412的表面生成等离子体。在一个实施例中,RF隔离的支撑件412也通过绝缘体408与阴极基座402隔离,由此,阻性(resistive)路径(R)在RF隔离的支撑件412与阴极基座402之间,如图4中所描绘。

[0053] 在实施例中,RF隔离的支撑件412和RF供电的卡盘410共同经定尺寸以容纳基板载

体430。例如,在一个实施例中,基板载体430具有框架432和带(所述带可具有被暴露的部分434)以及用于支撑基板436的基板支撑区域。在特定的实施例中,如图4中所描绘,RF隔离的支撑件412经定尺寸以容纳基板载体430的基本上全部的框架432部分,而RF供电的卡盘410经定尺寸以容纳基板载体430的基本上全部的基板支撑区域。

[0054] 然而,应理解,Rf隔离的支撑件412和RF供电的卡盘410的相对支撑区域的变化可适用于本文中所述的应用,例如,RF隔离的支撑件412除了接触载体框架432之外,还可进一步接触暴露的带434的部分。在特定实施例中,包括RF隔离的支撑件412和RF供电的卡盘410的阴极组件可称为冷却轴架,所述冷却轴架在双等离子体系统(dual plasma system;DPS)中为支撑300mm晶片的带框提供RF隔离。

[0055] 阴极组件400包括热传递流体回路416。热传递流体回路416包括RF隔离的支撑件412中的通道418以及RF供电的卡盘410中的通道420(图4仅示出说明性通道)。由此,在一个实施例中,RF隔离的支撑件412和RF供电的卡盘410两者都是经液体冷却的。在实施例中,如图所示,热传递流体回路416顺序地传递冷却剂通过RF隔离的支撑件412和RF供电的卡盘410。即使如此,在一个此类实施例中,使用非导电冷却流体以维持RF隔离的支撑件412与RF供电的卡盘410之间的隔离(即,即便使用共同的热传递流体回路416,RF隔离的支撑件412保持无RF)。在实施例中,热传递流体回路416热耦接至散热器(例如,冷却器)以从RF隔离de支撑件412和RF供电的卡盘410去除热。热传递液体可以是本领域中采用的任何液体,例如,商标名为Fluorinert(3M公司)或Galden(苏威苏莱克斯公司)的已知抗冻或全氟聚醚,例如,用于在0°C-20°C的范围内操作的Galden HT135。随后,在一个实施例中,RF供电的卡盘410是冷却RF供电的卡盘,RF隔离的支撑件412是冷却RF隔离的支撑件,并且冷却RF供电的卡盘和冷却RF隔离的支撑件经配置以在等离子体处理期间维持在低于0°C的温度。

[0056] 再次参见图4,可结合阴极组件400实现遮蔽环490。在实施例中,遮蔽环490设置在不锈钢框架环432以及暴露的带434的部分上方。可实现遮蔽环以提供免受等离子体轰击的附加的保护,并且也减少来自蚀刻工艺的在框架和带上的副产物沉积(例如,来自蚀刻工艺的副产物倾向于粘至腔室内较冷的表面)。在实施例中,如下文中更详细地描述,和/或结合图4的冷却轴架实现遮蔽环或经主动式冷却的遮蔽环和/或热遮蔽件。

[0057] 随后,再次参见图4,射频杆406仅连接至RF供电的卡盘410。RF功率不传递通过在热传递流体回路416中使用的冷却流体。载体430的带框432接触没有RF功率的铝制导电轴架(RF隔离的支撑件412),且由此仅通过冷却流体来冷却。另一方面,RF功率仅在晶片436区域内集中以控制用于蚀刻的等离子体。在实施例中,载体430的顶表面进一步由可移动遮蔽环490保护。

[0058] 在实施例中,由于晶片厚度(例如,约50微米),腔室内的升举销经设计以在移动载体430时仅碰触框架432。例如,与标准的移送组件相反,原本包括在标准阴极内的内升举销被替换为碰触带框晶片载体的框架环固持器的外升举销。外升举销机构由分开的升举电机操作,和/或与独立于阴极组件的遮蔽升举电机组合。

[0059] 更一般而言,在实施例中,阴极组件包括接地阴极环和隔离体环以约束RF热区域,从而为蚀刻工艺提供等离子体控制。在一个实施例中,利用附加的冷却环板实现对阴极RF热区域的修改。非导电冷却流体用于控制对框架的冷却,并且可能控制对带框晶片载体的被暴露的带的一些部分的冷却。RF热板定位成远高于标准定位以容纳附加的冷却环板。RF

热板可组合到ESC轴架中。在一个实施例中,进一步实现附加的隔离体板和O型环以隔离RF热与地面,并且隔离真空与大气区域。在实施例中,RF杆直接装配至ESC板,并伴随着距阴极组件内的周围接地部件的足够的空隙。冷却通道经共享以从热交换器中提供主动式冷却,从而通过连续的热去除来冷却不锈钢框架环。

[0060] 再次参见图4,并且如下文中将更详细地描述,根据本发明的实施例,划切具有多个集成电路的半导体晶片的方法涉及将由基板载体430支撑的基板436引入等离子体蚀刻腔室499中。基板436具有在所述基板436上的经图案化的掩模,所述经图案化的掩模覆盖基板436的集成电路并暴露基板436的划片道。基板载体430具有背侧。基板载体430的背侧的内侧部分支撑在等离子体蚀刻腔室中的阴极组件400的RF供电的卡盘410上。基板载体430的背侧的外侧部分支撑在围绕RF供电的卡盘410但与所述RF供电的卡盘410隔离的RF隔离的支撑件412上。利用RF供电的卡盘410和RF隔离的支撑件412两者来冷却基板载体430的背侧。在冷却基板载体430的背侧时,等离子体时刻基板436而穿过划片道以将集成电路单颗化。

[0061] 更一般而言,应理解,在等离子体蚀刻工艺期间,典型地由静电卡盘控制晶片的温度。晶片遮蔽环充当成对框架和带配对的阻挡。然而,取决于给定应用中采用的特定的带和蚀刻工艺配方(recipe)(尤其是工艺时间),晶片遮蔽环可能不足以阻止热传递至框架和框架下方的带。在此类情况下,带和/或框架可能变得过热,使得导致带损坏或带从框架分层,或带与框架之间的粘附降低。框架与晶片之间的此类带损坏可导致蚀刻工艺的失败,并且导致晶片损坏。带从框架分层是另一关键的划切失败。带与框架之间的粘附降低可例如导致在用于管芯拾取的带膨胀操作期间带从框架剥落。在实施例中,在时刻处理期间,利用图4的冷却轴架冷却带和框架以避免潜在的带损坏/降级。

[0062] 在本发明的另一方面,本文中所述的一个或多个实施例是涉及用于在等离子体蚀刻腔室中的热耗散的主动式冷却的遮蔽环。实施例可包括等离子体和基于等离子体的工艺、热管理、主动式冷却和热耗散。本文中所述的一个或多个实施例涉及在等离子体腔室中用于热耗散的等离子体热遮蔽件。实施例可包括等离子体和基于等离子体的工艺、热管理、对等离子体生成的物质的遮蔽和热耗散。用于主动式冷却遮蔽环或等离子体热遮蔽件中的任一者或这两者的应用可包括管芯单颗化,但是其他高功率蚀刻工艺或有差异化的蚀刻化学品可得益于本文中所述的实施例。等离子体热遮蔽件自身可用作廉价的被动式部件,或者等离子体热遮蔽件可与主动式冷却的遮蔽环组合为用于修改等离子体条件的热遮蔽件。在后一种情况下,等离子体热遮蔽件在等离子体蚀刻工艺中有效地用作掺杂剂源。根据本发明的实施例,在等离子体蚀刻工艺期间,冷却轴架与主动式冷却的遮蔽环或等离子体热遮蔽件或这两者一起实现。

[0063] 例如,在实施例中,在基板载体上包括晶片或基板的组件经受等离子体蚀刻反应器而不影响(例如,蚀刻)薄膜框(例如,带环304)和膜(例如,背衬带302)。在一个此类实施例中,在划切工艺的蚀刻部分期间实现主动式冷却的遮蔽环或等离子体热遮蔽环或这两者。在示例中,图5图示根据本发明的实施例的图3的基板载体,所述基板载体具有位于上方的主动式冷却的遮蔽环或等离子体热遮蔽件或这两者,并且具有位于下方的冷却轴架。

[0064] 参见图5,在俯视图视角中,包括背衬带302和带环或带框304的层的基板载体300由主动式冷却的遮蔽环或等离子体热遮蔽件或由这两者覆盖(所有选项在图5中表示为

500)。主动式冷却的遮蔽环或等离子体热遮蔽件或这两者500包括环部分502和内开口504。在一个实施例中,所支撑的晶片或基板306的部分也由主动式冷却的遮蔽环或等离子体热遮蔽件或这两者500覆盖(具体而言,主动式冷却的遮蔽环或等离子体热遮蔽件或这两者500的部分506覆盖晶片或基板306的部分)。在特定的此类实施例中,主动式冷却的遮蔽环或等离子体热遮蔽件或这两者500的部分506覆盖晶片或基板306的最外侧部分的约1-1.5mm。所覆盖的部分可称为晶片或基板306的排出区域,因为此区域经有效地遮蔽而免受等离子体工艺。在一个实施例中,基板载体被支撑在冷却轴架(未示出)上,同时以主动式冷却的遮蔽环或等离子体热遮蔽件或这两者覆盖。

[0065] 在第一个此类方面,现在更详细地描述在等离子体腔室中用于热耗散的示例性主动式冷却的遮蔽环,所述主动式冷却的遮蔽环可如本文中所述与冷却轴架一起使用,或可经修改以容纳冷却轴架。在实施例中,在对由晶片载体支撑的晶片的处理期间,可实现主动式冷却的遮蔽环以降低工艺套组遮蔽环的温度。通过降低遮蔽环的温度,可减轻原本在升高的温度下发生的管芯单颗化带的损坏或烧蚀。例如,遭损坏或烧蚀的管芯单颗化带一般导致晶片或基板不可复原。此外,当带框达到升高的温度时,附接的带可能损坏。尽管本文在用于管芯单颗化的蚀刻处理期间的带和框架保护的上下文中进行描述,但是主动式冷却的遮蔽环的使用可提供其他工艺益处,所述其他益处可包括产量增加。例如,温度降低可能原本通过放宽工艺条件(诸如,RF功率减小)来实现,但是这要求工艺时间的增加,工艺时间对于产量是决定性的。

[0066] 图6图示根据本发明的实施例的用于等离子体腔室中的热耗散的主动式冷却的遮蔽环的倾斜视图,伴随着对示出的蚀刻阴极的相对定位,以及对示出的晶片载体的相对定尺寸。

[0067] 参见图6,用于等离子体腔室的支撑设备600包括阴极602,所述阴极602定位在主动式冷却的遮蔽环604下方。具有带302和框架304并支撑晶片或基板306的晶片或基板支撑件300示出在主动式冷却的遮蔽环604上方,以进行定尺寸透视。此类晶片或基板支撑件可如上文中参照图3所述。在使用中,晶片或基板支撑件/载体300实际上定位在主动式冷却的遮蔽环604与阴极602之间。支撑设备600也可包括机动化组件614和机壳616,这也在图6中描绘。在实施例中,支撑阴极是冷却轴架或包括冷却轴架,所述冷却轴架诸如是关联于图4而描述的冷却轴架。

[0068] 再次参见图6,由馈通波纹管606以冷却剂气体或液体来馈送主动式冷却的遮蔽环604,所述馈通波纹管606馈入等离子体暴露的耦合器608。在实施例中,通过三个竖直柱610来相对于固定的阴极升高或降低主动式冷却的遮蔽环604,可升高所述竖直柱以将基板或晶片载体300引入阴极602,随后可降低所述竖直柱以将基板或晶片载体300夹持就位。这三个竖直柱610将主动式冷却的遮蔽环604附接至下方的圆环605。圆环605连接至机动化组件614,并且提供主动式冷却的遮蔽环604的竖直运动和定位。

[0069] 基板或晶片载体300可位于坐落在主动式冷却的遮蔽环604与阴极602之间的多个衬垫上。出于说明性目的,描绘一个此类衬垫612。然而,应理解,衬垫612实际上在主动式冷却的遮蔽环604之下或下方,并且典型地使用多于一个的衬垫(诸如,四个衬垫)。在实施例中,主动式冷却的遮蔽环604由铝组成,且具有硬的阳极化表面或陶瓷涂层。在实施例中,从自上向下的视角看,在等离子体处理期间,主动式冷却的遮蔽环604经定尺寸以完全覆盖带

框304、带302以及基板306的最外侧区域,如关联于图5所述。在一个特定的此类实施例中,遮蔽环的前边缘到晶片约为0.05英寸高。

[0070] 图7图示根据本发明的实施例的图6中的支撑设备600的等离子体暴露的耦合器608的放大视图。参见图7,馈通波纹管的终端描绘为耦接至等离子体暴露的耦合器608。一对流体连接装置720(诸如,供应和返回管线对)示出为进入/退出主动式冷却的遮蔽环604。等离子体暴露的耦合器608描绘为是基本上透明的,以便出于说明的目的来揭示所述一对流体连接装置720。在实施例中,所述一对流体连接装置720为内部流体通道提供入口/出口,所述内部流体通道循环通过主动式冷却的遮蔽环604。在一个此类实施例中,所述一对流体连接装置720在等离子体处理期间允许经过主动式冷却的遮蔽环的连续的冷却流体或气体的流。在特定实施例中,冷却通道基本上行经环形主动式冷却的遮蔽环的主体的整个半圆周。

[0071] 在实施例中,允许此类连续的流的能力可提供对遮蔽环的优良的温度控制,这允许对被夹持至主动式冷却的遮蔽环604的基板载体的带框和带的温度控制(例如,减少的温度暴露)。对带框和带的这种保护附加于通过实体地阻止等离子体到达基板或晶片载体的带框和带而提供的保护。流体通路遮蔽环(在本文中称为主动式冷却的遮蔽环604)区别于被动式冷却的遮蔽环,所述被动式冷却的遮蔽环仅可通过与散热器或冷却的腔室壁的接触而被冷却。

[0072] 在一个特定的实施例中,关联于图4描述的冷却轴架的热传递流体回路416进一步与循环通过主动式冷却的遮蔽环604的内部流体通道串联。在那个实施例中,热传递流体回路416热耦接至散热器(例如,冷却器)以从RF隔离的支撑件412、RF供电的卡盘410以及主动式冷却的遮蔽环604去除热。

[0073] 再次参见图7,在实施例中,等离子体暴露的耦合器608是位于上方的主动式冷却的遮蔽环604与位于下方的馈通波纹管606之间的固定长度连接装置。所提供的耦合旨在被暴露于等离子体工艺,并且旨在允许馈通波纹管606定位在远离等离子体工艺处。在一个此类实施例中,所述耦合是馈通波纹管606与主动式冷却的遮蔽环604之间的真空连接。

[0074] 图8图示根据本发明的实施例的图6中的支撑设备600的馈通波纹管606的放大视图。参见图8,馈通波纹管606示出为具有带内套筒832的外波纹管830。提供连接装置834以用于耦接至腔室主体。馈通波纹管606的下开口可容纳用于冷却剂的供应和返回管线,所述冷却剂用于冷却主动式冷却的遮蔽环604。在一个实施例中,外波纹管830是金属的,内套筒832是不锈钢保护套筒,用于容纳用于供应和返回管线的软管,所述连接装置834定尺寸为NW40连接装置。

[0075] 在实施例中,馈通波纹管606允许主动式冷却的遮蔽环604在真空中的竖直运动。此运动由机动化组件提供,所述机动化组件提供必需的竖直定位。馈通波纹管必须具有对于此运动范围的裕量。在一个实施例中,馈通波纹管606在任一端处具有真空连接,例如,在一端处具有真空定心O型环密封件,并且在另一端处具有O型环密封件。在一个实施例中,馈通波纹管606的内侧部分具有保护遮蔽件以允许流体管线穿过而不损害回旋(convolution)。馈通波纹管606和等离子体暴露的耦合器608一起为用于冷却剂流体的供应和返回管线提供路径。在冷却剂流体退出主动式冷却的遮蔽环604之后和/或在进入主动式冷却的遮蔽环604之前,可使所述冷却剂流体流经流体冷却器(未描绘)。

[0076] 在实施例中,主动式冷却的遮蔽环604能够在短时期内耗散大量等离子体热。在一个此类实施例中,主动式冷却的遮蔽环604经设计以能够基于连续的处理而将遮蔽环的温度从高于260°C降低至低于120°C。在实施例中,利用可用的真空至大气连接,可在腔室中冷却和/或竖直地移动内部等离子体暴露的部件。

[0077] 由此,在实施例中,主动地冷却的遮蔽环组件包括以下主要部件:馈通波纹管、等离子体暴露的耦合装置、流体通路遮蔽环、流体供应和返回管线以及流体冷却器。主动式冷却的遮蔽环也可具有等离子体遮蔽件以作为此主动式冷却的遮蔽环上方的等离子体保护盖,如下文中关联于图9和图10所述。主动式冷却的遮蔽环具有内部流体通道以允许冷冻的流体流动并去除等离子体诱发的热。就尺寸而言,主动式冷却的遮蔽环相对于常规的遮蔽环可具有约1/8英寸量级的增加的厚度,以便容纳冷却通道。在实施例中,流体通道经设计使得它在主动式冷却的遮蔽环发展到将损坏带或将大幅升高晶片或基板载体的带框温度的温度之前去除热。在一个实施例中,流体自身是非RF导电的,以免将RF功率吸离等离子体或将RF功率吸至冷却器。在一个实施例中,主动式冷却的遮蔽环能够经受高RF功率并不遭受等离子体侵蚀。供应和返回流体管线连接至主动式冷却的遮蔽环,并且在等离子体暴露的耦合器和馈通波纹管内部行进。在一个实施例中,流体管是非RF导电的,并且能够处置低于0°C的流体温度。在一个实施例中,相关联的冷却器能够供应低于0°C的流体,并且具有足够的体积容量以快速地耗散所产生的等离子体热。

[0078] 在实施例中,主动式冷却的遮蔽环组件经设计,使得没有流体泄漏或溢出可会被引入到容纳组件的工艺腔室中。主动式冷却的遮蔽环是可移除的,以便进行组装和维护。部件或套件可成组为:(1)尺寸为NW40的波纹管,具有包括真空馈通的内部遮蔽件以及用于流体管线的内遮蔽件;(2)等离子体暴露的耦合器,所述等离子体暴露的耦合器可以是交换套组部件(如果必要);(3)主动式冷却的遮蔽环,具有铝芯以及阳极化或陶瓷涂层;(4)低温流体管线,包括单件式流体连接管线。附加的硬件可包括专门设计成用于主动式冷却的遮蔽环的副冷却器。

[0079] 在第二个此类方面中,现在更详细地描述在等离子体腔室中用于热耗散的示例性等离子体热遮蔽件,所述等离子体热遮蔽件可如本文所述与冷却轴架一起使用,或经修改以容纳冷却轴架。等离子体热遮蔽件可与标准遮蔽环一起用作用于对基板载体的热保护的廉价的被动式部件,所述基板载体使用常规的遮蔽环来进行等离子体蚀刻。另一方面,等离子体热遮蔽件可与上述主动式冷却的遮蔽环一起使用。

[0080] 作为示例,图9图示根据本发明的实施例的等离子体热遮蔽件的倾斜俯视图和倾斜的仰视图。

[0081] 参见图9的俯视图,等离子体热遮蔽900是具有内开口901的环形环件。在实施例中,等离子体热遮蔽900的尺寸及形状可设定为例如通过嵌套在包括在等离子体处理腔室中的遮蔽环顶的表面上而与所述遮蔽环相容。例如,在一个此类实施例中,在俯视图所示出的等离子体热遮蔽900的表面是在处理期间暴露于等离子体的表面。俯视图的表面包括第一上表面区域902,所述第一上表面区域902升高位高于第二上表面区域904。第一和第二上表面902和904分别由倾斜区域906耦接。

[0082] 参见图9的仰视图,等离子体热遮蔽900具有在处理期间不暴露于等离子体的底表面。仰视图的表面包括第一下表面区域912,所述第一下表面区域912在第二下表面区域914

下方。第一和第二下表面912和914分别由倾斜区域916耦接。一般而言,从高层级视角看,在实施例中,等离子体热遮蔽件900的底表面与上表面的总体形貌互补。然而,如关联于图10所述,对于热耗散应用,可去除等离子体热遮蔽件900的底表面的一些区域。

[0083] 图10图示根据本发明的实施例的图9的等离子体热遮蔽件900的放大的倾斜横剖面视图,所述等离子体热遮蔽件900如定位在遮蔽环1000的顶表面上。

[0084] 参见图10,等离子体热遮蔽900嵌套在遮蔽环1000的上表面上(在一个实施例中,遮蔽环是如关联于图6至图8所述的主动式冷却的遮蔽环)。上表面部分902、904和906如上文中参照图9所述。然而,在图10的放大视图中,可看见等离子体热遮蔽件900的底表面部分912、914和916具有在其中的凹陷部分。在图10中所示的特定示例中,第一间隙或空腔1052形成在底表面的区域914与916之间,并且第二间隙或空腔1052形成在底表面的区域912与916之间。此效应用于留下剩余的三个突出部分或接触特征1050,所述三个突出部分或特征使等离子体热遮蔽件900的底表面的大部分抬高遮蔽环1000的顶表面。在实施例中,这三个突出部分或接触特征1050沿整个环形长度行进,以便当等离子体热遮蔽件900嵌套在遮蔽环1000的上表面上时来为所述等离子体热遮蔽件900提供嵌套支撑。

[0085] 在实施例中,三个突出部分或接触特征1050将等离子体热遮蔽件900的底表面大部分抬高遮蔽环1000的顶表面达约1/16英寸的高度。因此,第一和第二间隙或空腔1052具有约1/16英寸的高度。在一个此类实施例中,表面914和912中的薄化区域具有约1/16英寸的剩余厚度。然而,应理解解,间隙或空腔1052的尺寸(作为高度尺度)在使热远离位于下方遮蔽环的与在等离子体热遮蔽中具有足够的材料以用于吸热之间提供权衡。因此,间隙的高度可根据应用而不同。此外,突出或接触部分1050之间的凹陷部分的程度和位置受制于相同的权衡。在一个实施例中,等离子体热遮蔽件900的底表面中凹陷的表面积的量约在85%-92%的范围中。在实施例中,等离子体热遮蔽件900由材料组成,所述材料诸如但不限于,氧化铝( $Al_2O_3$ )、氧化钇( $Y_2O_3$ )、氮化硅(SiN),或碳化硅(SiC)。在一个实施例中,等离子体热遮蔽件900由工艺敏感的材料组成,并且可充当用于等离子体工艺的掺杂剂的源。在实施例中,等离子体热遮蔽件900可视为外部装置,所述外部装置用于阻止位于下方的遮蔽环与热表面的接触,或用于充当用于位于下方的遮蔽环的热导向板。

[0086] 在实施例中,等离子体热遮蔽900和遮蔽环1000被安装为两个分开的部件。在一个实施例中,遮蔽环1000的表面和等离子体热遮蔽件900的阻挡层两者都由氧化铝组成,其中,即使材料相同,等离子体热遮蔽件900也提供从遮蔽环1000的表面离开的热耗散。在实施例中,等离子体热遮蔽件900阻隔到遮蔽环1000的热传递,所述遮蔽环1000与基板或晶片载体的带框接触。在实施例中,对于功率分布,来自载体的带的开孔区域可定位在遮蔽环1000的最薄区段下方。所得到的遮蔽环1000的最小质量区域在温度上可以是最高。因此,在实施例中,等离子体热遮蔽件900经设计以在此区域中具有相对于等离子体热遮蔽件900的其余部分更大的质量和更小的间隙,即,将更大比例的质量增添至载体的带区域。

[0087] 由此,在实施例中,等离子体热遮蔽件在横剖面上是位于现有遮蔽环顶部上的陶瓷壳体。在一个实施例中,等离子体热遮蔽件的材料与遮蔽环的材料相同,并且覆盖遮蔽环的整个顶表面。等离子体热遮蔽件的顶表面可共形于或可不共形于位于下方的遮蔽环。在一个实施例中,等离子体热遮蔽件的顶表面是连续表面,并且下侧已去除材料区域以减少对遮蔽环的传导。在实施例中,等离子体热遮蔽件与遮蔽环之间的接触点与阻止等离子体

进入被去除的区域以及安装对准有关。应理解解,被去除的区域不能过大以至于在被去除的区域中产生显著的等离子体。在等离子体环境中,由等离子体生成的热传递至等离子体热遮蔽件。等离子体热遮蔽的温升加热,并且将热辐射至下方的遮蔽环。然而,遮蔽环仅由来自等离子体热遮蔽件的辐射的能量来加热,并且不通过直接等离子体接触来加热。

[0088] 在实施例中,等离子体热遮蔽件是单个被动式部件。可为不同的工艺条件修改等离子体热遮蔽件的形状和草料。在实施例中,等离子体热遮蔽件可用以降低遮蔽环的温度达100°C-120°C范围中的某一因数。等离子体热遮蔽件也可用于作用于工艺化学改性的差异化材料盖,从而基本上为等离子体工艺提供掺杂剂源。

[0089] 在实施例中,等离子体热遮蔽件与主动式冷却的遮蔽环一起使用。因此,用于在等离子体处理期间保护基板或晶片载体的本文中所述的可能的组件包括主动式冷却的遮蔽环、在其上具有等离子体热遮蔽件的遮蔽环,或在其上具有等离子体热遮蔽件的主动式冷却的遮蔽环。在所有三个场景中,从平面视图的视角看,提供具有暴露的内侧区域的保护性环形环件以用于载体的等离子体处理。在实施例中,结合以上三个场景中的一个场景来实现冷却轴架。

[0090] 在本发明的一方面,蚀刻反应器经配置以适应对由基板载体支撑的较晶片或基板的蚀刻。例如,图11图示根据本发明的实施例的蚀刻反应器的横剖面视图。

[0091] 参见图11,蚀刻反应器1100包括腔室1102。端效应器1104被包括以用于往返于腔室1102移送基板载体1106。电感性耦合的等离子体(inductively coupled plasma; ICP)源1108定位在腔室1102的上部中。腔室1102进一步装备有节流阀1110和涡轮分子泵1112。蚀刻反应器1100也包括阴极组件1114(例如,包括蚀刻阴极或蚀刻电极的组件)。在一个此类实施例中,阴极组件1114包括冷却轴架,诸如,关联于图4描述的冷却轴架。

[0092] 遮蔽环组件1115被包括在容纳基板或晶片载体1106的区域上方。在实施例中,遮蔽环组件1115包括带框升举件。在实施例中,遮蔽环组件1115是以下一者:主动式冷却的遮蔽环、在其上具有等离子体热遮蔽件的遮蔽环或在其上具有等离子体热遮蔽件的主动式冷却的遮蔽环。可包括遮蔽环致动器1118以用于移动遮蔽环。在一个此类实施例中,遮蔽环致动器1118移动耦接至带框升举件和遮蔽环的单个升举箍。也可包括诸如致动器1116之类的其他致动器。

[0093] 在实施例中,端效应器1104是经定尺寸以用于搬运基板载体的机器人叶片。在一个此类实施例中,在亚大气压力(真空)下往返于蚀刻反应器移送期间,机器人端效应器1104支撑膜框组件(例如,基板载体300)。端效应器1104包括用于在X-Y-Z轴上利用重力辅助来支撑基板载体的特征。端效应器1104也包括用于相对于处理工具的环形特征(例如,蚀刻阴极中心或环形硅晶片的中心)来校准端效应器并使端效应器居中的特征。

[0094] 在一个实施例中,阴极组件1114的蚀刻电极经配置以允许与基板载体的RF耦合和热耦合以便允许等离子体蚀刻。在一个此类实施例中,阴极组件包括冷却轴架,并且配置为拆分的极,如关联于图4所述。

[0095] 在实施例中,如关联于图6所述,遮蔽环1115包括保护性环形环件、升举箍以及耦接在升举箍与保护性环形环件之间的三个支撑销。升举箍设置在支撑组件的径向地向外的处理容积中。升举箍以基本上水平的定向装配在轴上。所述轴由致动器驱动以在处理容积中竖直地移动升举箍。三个支撑销从升举箍向上延伸,并且将保护性环形环件定位在支撑

组件上方。三个支撑销可固定地将保护性环形环件附接至升举箍。保护性环形环件在处理容积中利用升举箍竖直地移动,使得所述保护性环形环件可定位在基板上方的所需距离处,和/或外部基板搬运装置(诸如,基板载体)可进入保护性环形环件与支撑组件之间的处理容易以移送基板。三个支撑销可经定位以允许基板载体在支撑销之间被移送进出处理腔室。

[0096] 另一方面,图12是根据本发明的实施例的流程图1200,所述流程图1200表示划切包括多个集成电路的半导体晶片的方法中的操作。图13A-13C图示根据本发明的实施例的、在执行对应于流程图1200的操作的划切半导体晶片的方法期间的、包括多个集成电路的半导体晶片的横剖面视图。

[0097] 参见流程图1200的任意的操作1202并对应于图13A,在半导体晶片或基板1304上方形成掩模1302。掩模1302由覆盖并保护形成在半导体晶片1304的表面上的集成电路1306的层组成。掩模1302也覆盖形成在集成电路1306中的每一者之间形成的介于中间的划片道1307。半导体晶片或基板1304由基板载体1314支撑。

[0098] 在实施例中,基板载体1314包括背衬带层,所述背衬带层的部分在图13A中被描绘为1314,由带环或带框(未示出)围绕。在一个此类实施例中,如图13A中所描绘,半导体晶片或基板1304设置在管芯附着膜1316上,所述管芯附着膜1316设置在基板载体1314上。

[0099] 根据本发明的实施例,形成掩模1302包括:形成层,所述层诸如但不限于光阻层或I线图案化层。例如,诸如光阻层之类的聚合物层可由原本适合在光刻工艺中使用的材料组成。在一个实施例中,光阻层由正型光阻材料组成,所述正型光阻材料诸如但不限于,248纳米(nm)光阻剂、193nm光阻剂、157nm光阻剂、极紫外线(extreme ultra-violet; EUV)光阻剂,或具有重氮基萘醌敏化剂的酚醛树脂基质。在另一实施例中,光阻层由负型光阻材料组成,所述负型光阻材料诸如但不限于,聚顺异戊二烯和聚乙烯醇肉桂酸酯。

[0100] 在另一实施例中,掩模1302是水溶性掩模层。在实施例中,水溶性掩模层是在水介质中易于分解的。例如,在一个实施例中,水溶性掩模层由可溶于碱性溶液、酸性溶液中的一者或多者或可溶于去离子水中的材料组成。在实施例中,水溶性掩模层在暴露于加热工艺(诸如,大约在50°C-160°C的范围中加热)之后维持其水可溶性。例如,在一个实施例中,水溶性掩模层在暴露于用于激光和等离子体蚀刻单颗化工艺中的腔室条件之后是可溶于水溶液中的。在一个实施例中,水溶性掩模层由层组成,所述层诸如但不限于,聚乙烯醇、聚丙烯酸、聚葡萄糖、聚甲基丙烯酸、聚乙烯亚胺或聚氧化乙烯。在特定实施例中,水溶性掩模层在水溶液中具有以下蚀刻速率:大约在每分钟1-15微米的范围中,更特定而言,大约每分钟1.3微米。

[0101] 在另一实施例中,掩模1302是UV(紫外)可固化掩模层。在实施例中,掩模层具有对UV光的敏感性,所述UV光降低UV可固化层的黏附性至少约80%。在一个此类实施例中,UV层由聚氯乙烯或丙烯酸基材料组成。在实施例中,UV可固化层由在暴露于UV光后减弱的黏附特性的材料或材料叠层组成。在实施例中,UV可固化黏附薄膜对于约365nm的UV光是灵敏的。在一个此类实施例中,此灵敏度允许使用LED光来执行固化。

[0102] 在实施例中,半导体晶片或基板1304由适用于经受制造工艺的材料组成,并且在所述制造工艺之后,可合适地设置半导体处理层。例如,在一个实施例中,半导体晶片或基板1304由基于第IV族的材料组成,所述材料诸如但不限于,晶态硅、锗或硅/锗。在特定实施

例中,提供半导体晶片1304包括提供单晶硅基板。在特定实施例中,单晶硅基板以杂质原子掺杂。在另一实施例中,半导体晶片或基板1304由第III-V族材料组成,例如,在发光二极管(light emitting diode;LED)的制造中使用的第III-V族材料基板。

[0103] 在实施例中,半导体晶片或基板1304具有约300微米或更小的厚度。例如,在一个实施例中,块体单晶硅基板在附于管芯附着膜1316之前先从背侧经薄化。可通过背侧研磨工艺来执行所述薄化。在一个实施例中,块状单晶硅基板经薄化至大约在50-300微米的范围中的厚度。重要的是要注意,在实施例中,在激光剥蚀和等离子体蚀刻划切工艺之前,执行薄化。在实施例中,管芯附着薄膜1316(或能够将薄化的或薄的晶片或基板粘合至基板载体1314的任何合适的取代物)具有约20微米的厚度。

[0104] 在实施例中,半导体晶片或基板1304已在其上或其中设置了半导体器件的阵列,以作为集成电路1306的部分。此类半导体器件的示例包括但不限于,存储器装置或在硅基板中制造且封装在电介质层中的互补式金属-氧化物-半导体(metal-oxide-semiconductor;CMOS)晶体管。多个金属互连装置可形成在器件或晶体管上方并形成在周围的电介质层中,并且所述金属互连装置可用于电耦接器件或晶体管以形成集成电路1306。组成划片道1307的材料可与用于形成集成电路1306的那些材料类似或相同。例如,划片道1307可由电介质材料、半导体材料和金属喷敷(metallization)的层组成。在一个实施例中,划片道1307中的一者或更多者包括与集成电路1306的实际器件类似的测试器件。

[0105] 参见流程图1200的任意的操作1204以及对应的图13B,掩模1302利用激光划片工艺来图案化以提供具有间隙1310的经图案化的掩模1308,从而暴露集成电路1306之间的半导体晶片或基板1304的区域。在一个此类实施例中,激光划片工艺是基于飞秒的激光划片工艺。激光划片工艺用于去除原始形成在集成电路1306之间的划片道1307的材料。根据本发明的实施例,利用激光划片工艺来图案化掩模1302包括:将沟槽1312部分地形成到半导体晶片1304的、集成电路1306之间的区域中,如图13B中所描绘。

[0106] 在实施例中,利用激光划片工艺来图案化掩模1302包括:使用具有飞秒范围中的脉冲宽度的激光。具体而言,具有处于可见光谱加紫外(ultra-violet;UV)和红外(infrared;IR)范围(合计为宽带光谱)中的波长的激光可用于提供基于飞秒的激光(即,具有飞秒数量级( $10^{-15}$ 秒)的脉冲宽度的激光。在一个实施例中,烧蚀不取决于波长或基本上不取决于波长,因此,烧蚀适用于复合膜,诸如,掩模1302、划片道1307以及在可能的情况下半导体晶片或基板1304的部分的膜。

[0107] 图14图示根据本发明的实施例的、相比使用较长的频率而使用在飞秒范围中的激光脉冲的效应。参见图14,相比使用较长的脉冲宽度(例如,伴随通孔1400B的皮秒处理的损伤1402B,以及伴随通孔1400A的纳秒处理的显著的损伤1402A),通过使用具有在飞秒范围中的脉冲宽度的激光,减轻或消除热损伤问题(例如,伴随通孔1400C的飞秒处理,最低限度为没有损伤1402C)。在通孔1400C的形成期间,损伤的消除或减轻可归因于缺乏低能量重新耦合(如对于基于皮秒的激光烧蚀可见)或热平衡(如对于基于纳秒的激光烧蚀可见),如图14中所描绘。

[0108] 激光参数选择(诸如,脉冲宽度)对于开发使碎裂、微裂痕和分层最小化以实现清洁的激光划片切口的成功的激光划片和划切工艺可能是关键的。激光划片切口越清洁,可执行的蚀刻工艺就越平滑,以实现最终的管芯单颗化。在半导体器件晶片中,不同材料类型

(例如,导体、绝缘体、半导体)和厚度的许多功能层典型地设置在半导体器件晶片上。此类材料可包括但不限于诸如聚合物之类的有机材料、金属,或诸如二氧化硅和氮化硅之类的无机电介质。

[0109] 相比之下,如果选择了非最佳的激光参数,则在涉及例如电介质、有机电介质、半导体或金属中的两者或更多者的叠层结构中,激光烧蚀工艺可能导致分层问题。例如,激光在无可测量的吸收的情况下穿透高带隙能量电介质(诸如,具有约9eV的带隙的二氧化硅)。然而,激光能可在位于下方的金属或硅层中被吸收,从而导致金属或硅层的显著的汽化。汽化可生成高压以剥离位于上方的二氧化硅电介质层,并且潜在地导致严重的层间分层和微开裂。在实施例中,当基于皮秒的激光辐射工艺导致复合叠层中的微开裂和分层时,基于飞秒的激光辐射工艺已经证实不导致相同材料叠层的微开裂或分层。

[0110] 为了能够直接烧蚀电介质层,电介质材料的电离可能需要发生以便通过强烈地吸收光子而表现为类似于导电材料。所述吸收可在电介质层的最终剥蚀之前阻止大部分激光能穿透至位于下方的硅或金属层。在实施例中,当激光强度足够高以在无机电介质材料中发起光子电离和碰撞电离时,无机电介质的电离是可行的。

[0111] 根据本发明的实施例,合适的基于飞秒的激光工艺的特征为高峰值强度(辐照度),所述高峰值强度通常导致各种材料中的非线性相互作用。在一个此类实施例中,飞秒激光源具有大约在10飞秒至500飞秒的范围内的脉冲宽度,但是脉冲宽度较佳地在100飞秒至400飞秒的范围中。在一个实施例中,飞秒激光源具有大约在1570纳米至200纳米的范围中的波长,但波长较佳地在540纳米至250纳米的范围中。在一个实施例中,激光和对应光学系统在工作表面上提供焦点,所述焦点大约在3微米至15微米的范围中,但较佳地大约在5微米至10微米的范围中。

[0112] 工作表面处的空间射束轮廓可以是单一模式(高斯型)或具有成形的顶帽(top-hat)轮廓。在实施例中,激光源具有大约在200kHz至10MHz的范围中的脉冲重复率,但脉冲重复率较佳地大约在500kHz至5MHz的范围中。在实施例中,激光源在工作表面处输送约0.5uJ至100uJ的范围中的脉冲能量,但是脉冲能量较佳地在大约1uJ至5uJ的范围中。在实施例中,激光划片工艺沿工件表面以大约在500mm/sec(mm/秒)至5m/sec的范围中的速度运行,但所述速度较佳地大约在600mm/sec至2m/sec的范围中。

[0113] 划片工艺可仅以在单遍运行,或以多遍运行,但时在实施例中,较佳地以1至2遍运行。在一个实施例中,工件中的划片深度大约在5微米至50微米深的范围中,较佳地大约在10微米至20微米深的范围中。可按以给定的脉冲重复率以单个脉冲的波列或按脉冲猝发(burst)的波列来应用激光。在实施例中,所生成的激光射束的切口宽度大约在2微米至15微米范围中,但是在硅晶片划片/划切中,在器件/硅界面处测得的切口宽度较佳地大约在6微米至10微米的范围中。

[0114] 可选择具有益处和优势的激光参数,诸如,提供足够高的激光强度以实现无机电介质(例如,二氧化硅)的电离,并且在无机电介质的直接烧蚀之前将由位于下方的损伤导致的分层和碎裂最小化。此外,可选择参数以便将精确地受控的烧蚀宽度(例如,切口宽度)和深度提供给工业应用的有意义的工艺产量。如上所述,相比基于皮秒的以及基于纳秒的激光烧蚀工艺,基于飞秒的激光对于提供此类优势要适合得多。然而,即使在基于飞秒的激光烧蚀光谱中,某些波长仍可提供比其他波长好的性能。例如,在一个实施例中,具有更

接近UV范围或在UV范围中的波长的基于飞秒的激光工艺提供比具有更接近IR范围或在IR范围中的波长的基于飞秒的激光工艺更清洁的烧蚀工艺。在一特定实施例中,适用于半导体晶片或基板划片的基于飞秒的激光工艺基于具有大约小于或等于540纳米的激光。在特定的实施例中,使用具有大约小于或等于540纳米的激光的大约小于或等于400飞秒的脉冲。然而,在替代性实施例中,使用双激光波长(例如,IR激光与UV激光的组合)。

[0115] 参见流程图1200的任意的操作1206,基板的部分以保护盖覆盖,以例如在等离子体蚀刻期间保护基板载体1314的带和带框。在一个实施例中,保护盖是遮蔽环,所述遮蔽环留下半导体晶片或基板1304的被暴露部分而非全部,如上文中关联于图5所述。

[0116] 参见流程图1200的操作1208,基板载体1314的带框以及被支撑的半导体晶片或基板1304由冷却轴架支撑。在一个此类实施例中,如上文中关联于图4所述的冷却轴架用于将基板载体1314的带框和半导体晶片或基板1304支撑在遮蔽掩模下方。在一个实施例中,遮蔽掩模是低接触遮蔽掩模。在一个实施例中,通过使冷却剂流经冷却轴架的RF供电的卡盘和RF隔离的支撑件两者而从基板和带框下方实现冷却。

[0117] 再次参见操作1206和1208,根据本发明的任意的实施例,以主动式冷却的遮蔽环或等离子体热遮蔽件或这两者覆盖基板载体1314的部分,以为划切工艺的蚀刻部分进行准备。在一个实施例中,主动式冷却的遮蔽环或等离子体热遮蔽件或这两者被包括在等离子体蚀刻腔室中。

[0118] 参见流程图1200的操作1210以及对应的图13C,随后,穿过经图案化掩模1308中的间隙1310来蚀刻半导体晶片或基板1304,以将集成电路1306单颗化。根据本发明的实施例,蚀刻半导体晶片1304包括:蚀刻以延伸利用激光划片工艺而形成的沟槽1312,并且最终完全蚀穿半导体晶片或基板1304,如图13C中所描绘。

[0119] 在实施例中,蚀刻半导体晶片或基板1304包括:使用等离子体蚀刻工艺。在一个实施例中,使用穿硅通孔型蚀刻工艺。例如,在特定实施例中,半导体晶片或基板1304的材料蚀刻速率大于每分钟25微米。超高密度等离子体源可用于管芯单颗化工艺的等离子体蚀刻部分。适用于执行此类等离子体蚀刻工艺的工艺腔室的示例是可从美国加利福尼亚州桑尼维尔市(Sunnyvale, CA, USA)的应用材料公司(Applied Materials)购得的Applied Centura®Silvia™蚀刻系统。Applied Centura®Silvia™蚀刻系统结合了电容性和电感性RF耦合,这提供了相比仅利用电容性耦合的可能的情况对离子密度和离子能量的独立得多的控制,甚至具有由磁增强提供的改善。所述结合允许有效地将离子密度与离子能解耦,以便甚至在非常低的压力下也可实现相对高密度的等离子体,而不产生高的潜在地具有损害性的DC(直流)偏压水平。格外宽的工艺窗口产生。然而,可使用能够蚀刻硅的任何等离子体蚀刻腔室。在示例性实施例中,深硅蚀刻用以以比常规的硅蚀刻速率高约40%的蚀刻速率来蚀刻单晶硅基板或晶片1304,同时维持基本上精确的轮廓控制以及几乎没有凹坑的侧壁。在特定实施例中,使用穿硅通孔型蚀刻工艺。此蚀刻工艺基于由反应性气体生成的等离子体,所述反应性气体一般是氟基气体,诸如, SF<sub>6</sub>、C<sub>4</sub>F<sub>8</sub>、CHF<sub>3</sub>、XeF<sub>2</sub>,或能够以相对快的蚀刻速率蚀刻硅的任何其他反应性气体。然而,在一个实施例中,使用波希工艺(Bosch process),所述波希工艺涉及凹坑轮廓的形成。

[0120] 在实施例中,单颗化可进一步包括:对管芯附着膜1316的图案化。在一个实施例中,通过诸如但不限于激光烧蚀、干法(等离子体)蚀刻或湿法蚀刻之类的技术对管芯附着

膜1316图案化。在实施例中,在单颗化工艺的激光划片和等离子体蚀刻部分之后,顺序地图案化管芯附着膜1316以提供管芯附着膜部分1318,如图13C中所描绘。在实施例中,在单颗化工艺的激光划片和等离子体蚀刻部分之后,去除经图案化的掩模1308,也如图13C中所描绘。可在管芯附着膜1316的图案化之前、期间或之后去除经图案化的掩模1308。在实施例中,半导体晶片或基板1304在由基板载体1314支撑时被蚀刻。在实施例中,管芯附着膜1316当设置在基板载体1314上时也经图案化。

[0121] 因此,再次参见流程图1200和图13A-13C,可通过初始的激光烧蚀穿掩模、蚀穿晶片划片道(包括金属喷敷)以及部分地进入硅基板中来预先形成晶片划切。可选择飞秒范围内的激光脉冲宽度。随后,可通过后续的穿硅深等离子体蚀刻来完成管芯单颗化。在一个实施例中,在划切工艺的蚀刻部分期间实现冷却轴架。在一个相同或不同的实施例中,在划切工艺的蚀刻部分期间实现主动式冷却的遮蔽环或等离子体热遮蔽件或这两者。此外,执行管芯附着膜的被暴露部分的去除以提供单颗化的集成电路,每一个集成电路其上都具有管芯附着膜的部分。随后,可从基板载体1314去除包括管芯附着膜部分的多个单独的集成电路,如图13C中所描绘。在实施例中,从基板载体1314去除单颗化的集成电路以进行封装。在一个此类实施例中,经图案化的管芯附着膜1318保留在每一个集成电路的背侧,并且被包括在最终封装中。然而,在另一实施例中,在单颗化工艺期间或之后,去除经图案化的管芯附着膜1314。

[0122] 再次参见图13A-13C,多个集成电路1306可通过具有约10微米或更小宽度的划片道1307分开。使用激光划片方法(诸如,基于飞秒的激光划片方法)可至少部分地由于激光的紧密的轮廓控制而允许集成电路的布局的紧凑。例如,图15图示根据本发明的实施例的、通过使用相比常规划切(所述常规划切道可能受限于最小宽度)更窄的划片道而实现的半导体晶片或基板上的紧凑。

[0123] 参见图15,可通过使用相比常规划切(所述常规划切可能受限于最小宽度(例如,在布局1500中约70微米或更大的宽度))更窄的划片道来实现半导体晶片上的紧凑。然而,将理解,即使原本由基于飞秒的激光划片工艺允许,也可能不总是期望将划片道宽度降至小于10微米。例如,一些应用可能需要至少40微米的划片道宽度,以便在使集成电路分开的划片道中制造虚拟件(dummy)或测试器件。

[0124] 再次参见图13A-13C,多个集成电路1306能以非限制性布局布置在半导体晶片或基板1304上。例如,图16图示允许更密集充填的自由形式的集成电路布置。根据本发明的实施例,与栅格对准的方法相比,更密集的充填可提供更多的每晶片管芯。参见图16,相比栅格对准的方法,自由形式的布局(例如,半导体晶片或基板1602上的非限制性布局)允许更密集的充填,并因此允许更多的每晶片管芯。在实施例中,激光烧蚀等离子体蚀刻单颗化工艺的速度独立于管芯尺寸、划片道的布局和数目。

[0125] 单个工艺工具可经配置以执行混合式激光烧蚀和等离子体蚀刻单颗化工艺中的操作中的许多操作或全部操作。例如,图17图示根据本发明的实施例的用于晶片或基板的激光和等离子体划切的工具布局的框图。

[0126] 参见图17,工艺工具1700包括工厂接口1702(factory interface;FI),所述工厂接口具有耦接至其的多个负载锁1704。群集工具1706与工厂接口1702耦接。群集工具1706包括一个或更多个等离子体蚀刻腔室,诸如,等离子体蚀刻腔室1708。激光划片设备1710也

耦接至工厂接口1702。在一个实施例中,如图17中所描绘,工艺工具1700的总体占地面积可以约为3500毫米(3.5米)×约3800毫米(3.8米)。

[0127] 在实施例中,激光划片设备1710容纳基于飞秒的激光。基于飞秒的激光可适用于执行混合式激光和蚀刻单颗化工艺中的激光烧蚀部分,诸如,上述激光剥蚀工艺。在一个实施例中,可移动平台也包括在激光划片设备1700中,所述可移动平台经配置以用于相对于基于飞秒的激光而移动晶片或基板(或晶片或基板的载体)。在特定实施例中,基于飞秒的激光也是可移动的。在一个实施例中,如图17中所描绘,激光划片设备1710的总体占地面积可以是约2240毫米×约1270毫米。

[0128] 在实施例中,一个或更多个等离子体蚀刻腔室1708经配置以用于穿过经图案化掩模之间隙来蚀刻晶片或基板以将多个集成电路单颗化。在一个此类实施例中,一个或更多个等离子体蚀刻腔室1708经配置以执行深硅蚀刻工艺。在特定实施例中,一个或更多个等离子体蚀刻腔室1708是可从美国加利福尼亚州桑尼威尔市的应用材料公司购得的AppliedCentura® Silvia™蚀刻系统。蚀刻腔室可专门为深硅蚀刻设计,所述深硅蚀刻用于产生容纳在单晶硅基板或晶片的上或或单晶硅基板或晶片中的单颗化集成电路。在实施例中,高密度等离子体源被包括在等离子体蚀刻腔室1708中以促进高的硅蚀刻速率。在实施例中,多于一个的蚀刻腔室被包括在工艺工具1700的群集工具1706部分中,以允许单颗化或划切工艺的高制造产量。根据本发明的实施例,蚀刻腔室中的一者或更多者配备有冷却轴架。在一个相同或不同的实施例中,蚀刻腔室中的一者或更多者配备主动式冷却的遮蔽环或等离子体热遮蔽件或这两者。

[0129] 工厂接口1702可以是用于在外部制造设施与激光划片设备1710和群集工具1706之间对接的合适的大气压端口。工厂接口1702可包括机器人,所述机器人具有手臂或叶片以用于将晶片(或晶片的载体)从存储单元(诸如,前开式晶片盒)移送到群集工具1706或激光划片设备1710的任一者或这两者中。

[0130] 群集工具1706可包括适用于执行单颗化方法中的功能的其他腔室。例如,在一个实施例中,替代附加的时刻腔室,包括了沉积腔室1712。沉积腔室1712可经配置以用于在对晶片或基板的激光划片之前,在晶片或基板的器件层上或上方进行的掩模沉积。在一个此类实施例中,沉积腔室1712适用于沉积水溶性掩模层。在另一实施例中,替代附加的蚀刻腔室,包括了湿法/干法站1714。湿法/干法站可适用于在基板或晶片的激光划片和等离子体蚀刻单颗化工艺之后清洁残余物和碎片,或用于去除水溶性掩模。在实施例中,计量站也被包括为工艺工具1700的部件。

[0131] 本发明的实施例可作为计算机程序产品或软件来提供,所述计算机程序产品或软件可包括机器可读介质,所述机器可读介质具有存储于其上的指令,所述指令可用于对计算机系统(或其他电子装置)编程以执行根据本发明的实施例的工艺。在一个实施例中,计算机系统与关联于图17所述的工艺工具1700耦接,或与关联于图11所述的蚀刻腔室1100耦接。机器可读介质包括用于以可由机器(例如,计算机)读取的形式存储或传输信息的任何机构。例如,机器可读(例如,计算机可读)介质包括机器(例如,计算机)可读存储介质(例如,只读存储器(“ROM”)、随机存取存储器(“RAM”)、磁盘存储介质、光学存储介质、闪存存储器装置,等等)、机器(例如,计算机)可读传输介质(电学、光学、声学或其他形式的传播信号(例如,红外信号、数字信号等)),等等。

[0132] 图18图示具有计算机系统1800的示例性形式的机器的示意性表示,在所述计算机系统1800内可执行一组指令,所述一组指令用于使机器执行本文中所述的方法中的任何一个或更多个方法。在替代性实施例中,机器可连接(例如,联网)至局域网(LAN)、内联网、外联网,或因特网中的其他机器。机器可充当客户机-服务器网络环境中的服务器或客户机机器,或可充当对等(或分布式)网络环境中的对等机器。机器可以是个人计算机()、平板计算机、机顶盒(set-top box;STB)、个人数字助理(PDA)、蜂窝电话、网络设备、服务器、网络路由器、开关或桥接器,或能够执行一组指令(连续的或以其他方式的)的机器,所述一组指令将由那个机器采取的动作。此外,尽管仅图示单个机器,但是术语“机器”将视为包括单独地或共同地执行一组(或多组)指令以执行本文中所述的方法中的任何一个或更多个方法的机器(例如,计算机)的任何集合。

[0133] 示例性计算机系统1800包括经由总线1830彼此通信的处理器1802、主存储器1804(例如,只读存储器(ROM)、闪存、诸如同步动态随机存取存储器(synchronous dynamic random access memory;SDRAM)或Rambus动态随机存取存储器(Rambus dynamic random access memory;RDRAM)之类的动态随机存取存储器(dynamic random access memory;DRAM),等等)、静态存储器1806(例如,闪存、静态随机存取存储器(static random access memory;SRAM)等)以及次存储器1818(例如,数据存储装置)。

[0134] 处理器1802表示一个或更多个通用处理装置,诸如,微处理器、中央处理单元等。更特定而言,处理器1802可以是复杂指令集计算(complex instruction set computing;CISC)微处理器、精简指令集计算(reduced instruction set computing;RISC)微处理器、超长指令字(very long instruction word;VLIW)微处理器、实现其他指令集的处理器,或实现指令集的组合的处理器。处理器1802也可以是一个或更多个专用处理装置,诸如,专用集成电路(application specific integrated circuit;ASIC)、现场可编程门阵列(field programmable gate array;FPGA)、数字信号处理器(digital signal processor;DSP)、网络处理器等。处理器1802经配置以执行处理逻辑1826以用于执行本文中所述的操作。

[0135] 计算机系统1800可进一步包括网络接口装置1808。计算机系统1800也可包括视频显示单元1810(例如,液晶显示器(liquid crystal display;LCD)、发光二极管显示器(light emitting diode display;LED),或阴极射线管(cathode ray tube;CRT))、字母数字输入装置1812(例如,键盘)、光标控制装置1814(例如,鼠标)以及信号生成装置1816(例如,扬声器)。

[0136] 次存储器1818可包括机器可访问存储介质(或更具体而言,计算机可读存储介质)1832,在所述机器可访问存储介质上存储一组或多组指令(例如,软件1822),所述一组或多组指令具体化本文中所述的方法或功能中的任何一者或更多者。在由计算机系统1800对软件1822的执行期间,软件1822也可完全或至少部分地驻留在主存储器1804内和/或处理器1802内,主存储器1804和处理器1802也组成机器可读存储介质。软件1822可进一步经由网络接口装置1808而在网络1820上传输或接收。

[0137] 尽管机器可读取存储介质1832在示例性实施例中示出为是单个介质,但是术语“机器可读存储介质”应视为包括存储所述一组或更多组指令的单个介质或多个介质(例如,集中式或分布式数据库和/或相关联的高速缓存和服务器等)。术语“机器可读存储介质”也应视为包括能够存储或编码供由机器执行的一组指令并使机器执行本发明的方法中的

一个或更多个方法的任何介质。术语“机器可读存储介质”应相应地视为包括但不限于固态存储器、光学介质和磁介质。

[0138] 根据本发明的实施例,机器可访问存储介质具有存储于其上的指令,所述指令使数据处理系统执行划切半导体晶片的方法,所述半导体晶片具有多个集成电路。所述方法涉及:将由基板载体支撑的基板引入到等离子体蚀刻腔室中。基板上具有在所述基板上的经图案化的掩模,所述经图案化的掩模覆盖集成电路并暴露基板的划片道。基板载体具有背侧。所述方法也涉及:在容纳在等离子体蚀刻腔室中的阴极组件的RF供电的卡盘上支撑基板载体的背侧的内侧部分;以及在RF隔离的支撑件上支撑基板载体的背侧的外侧部分,所述RF隔离的支撑件围绕RF供电的卡盘但与RF供电的卡盘隔离。所述方法也涉及:利用RF供电的卡盘和RF隔离的支撑件两者来冷却基板载体的背侧。所述方法也涉及:当执行对基板载体的背侧的冷却时,穿过划片道对基板进行等离子体蚀刻,以将集成电路单颗化。

[0139] 由此,已公开用于划切半导体晶片的方法和设备,其中,每一个晶片都具有多个集成电路。

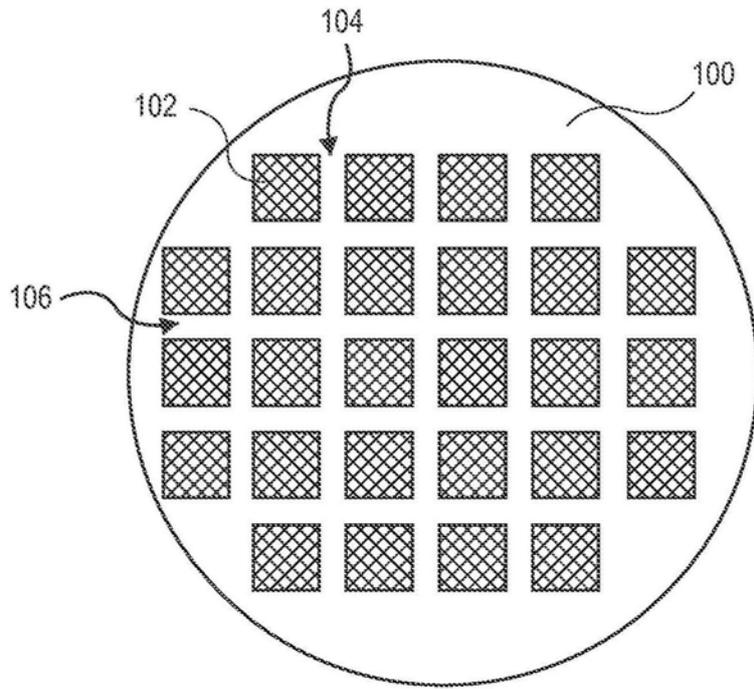


图1

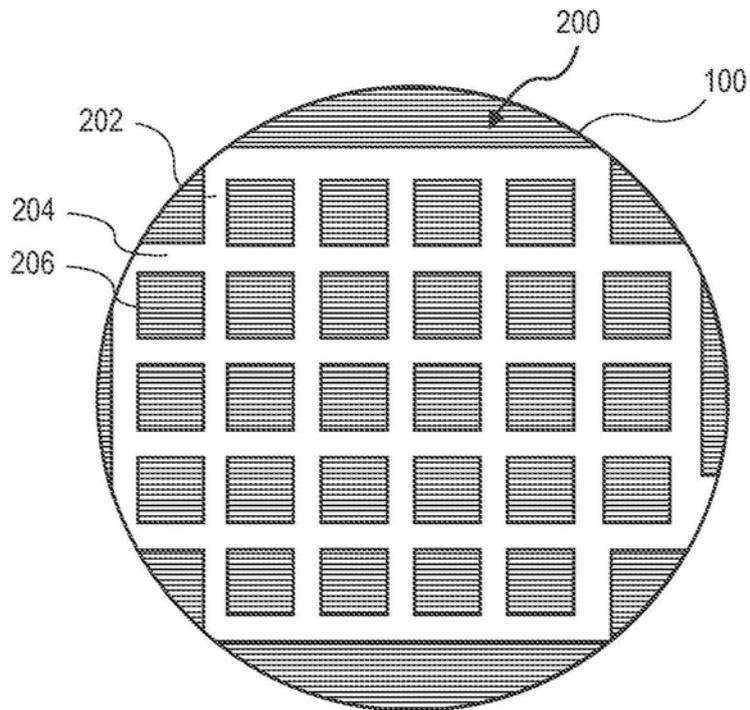


图2

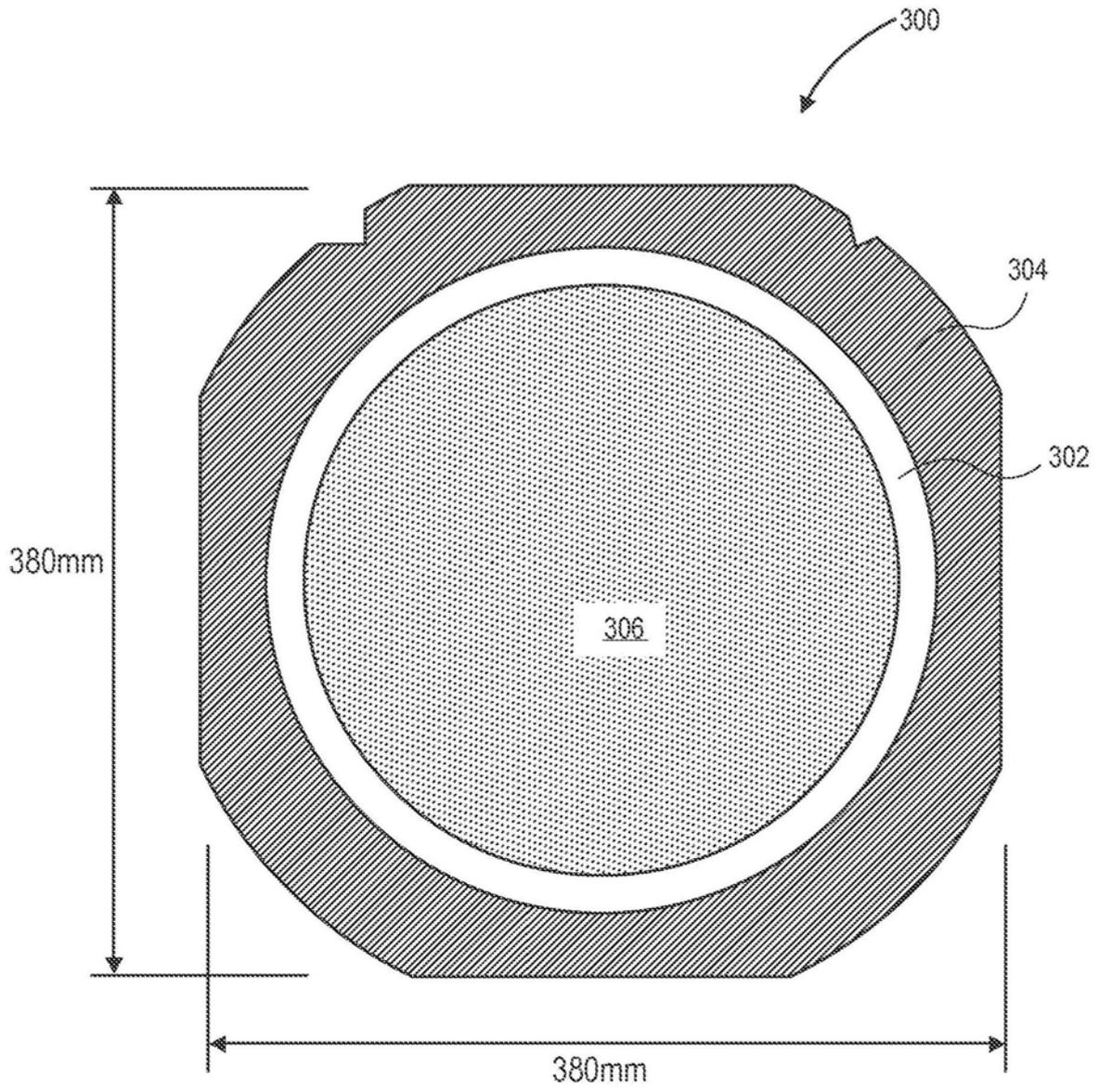


图3

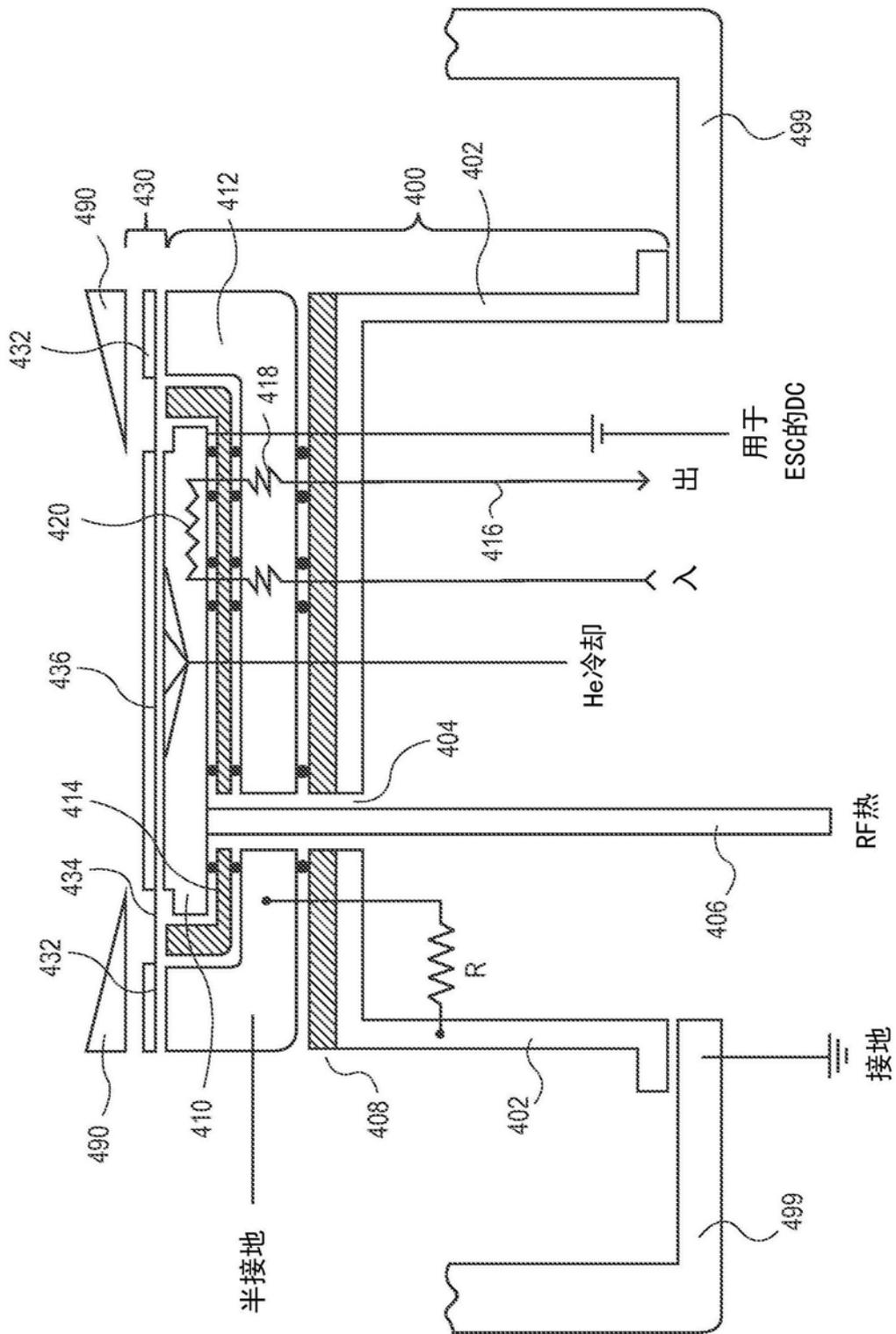


图4

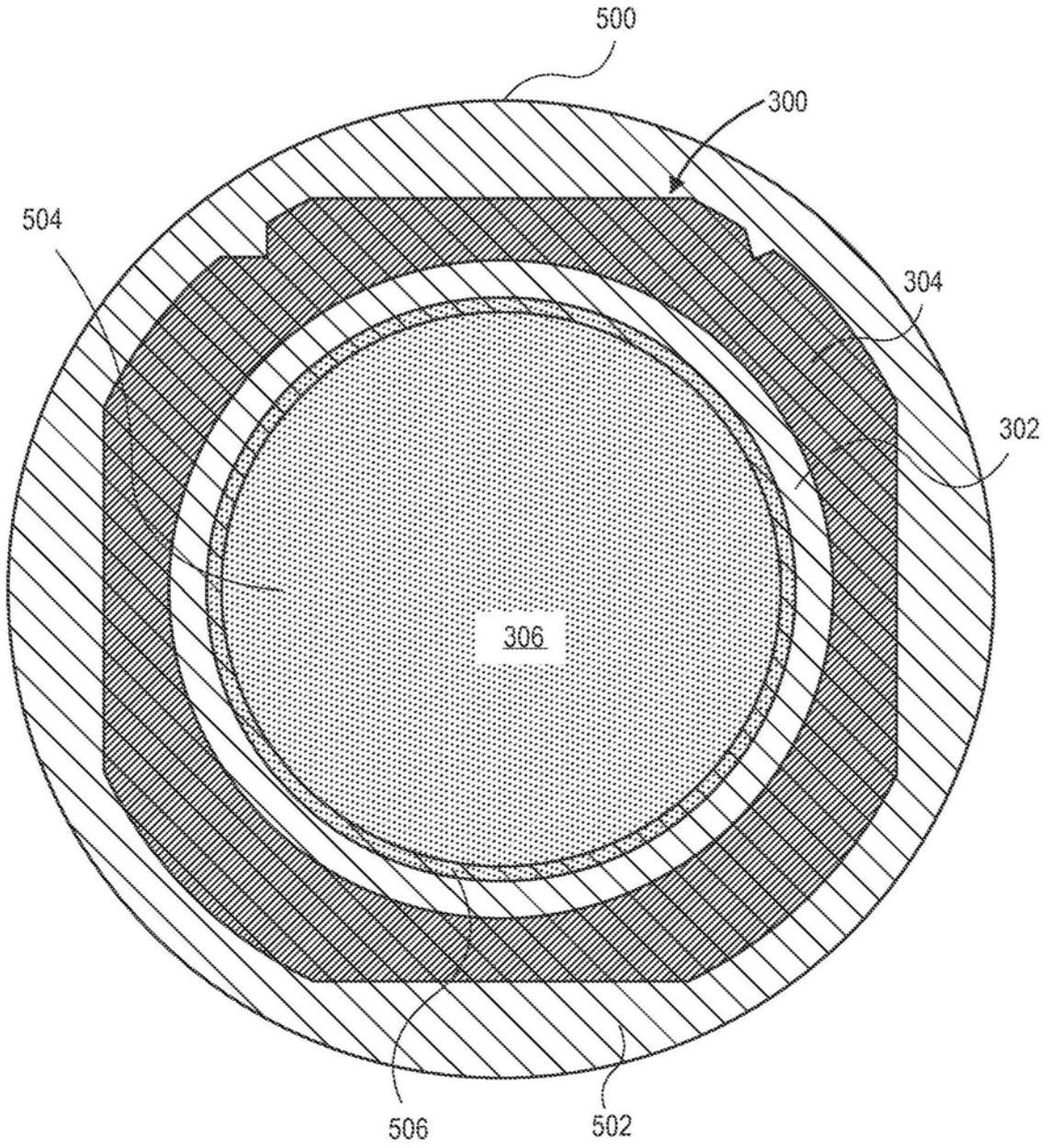


图5

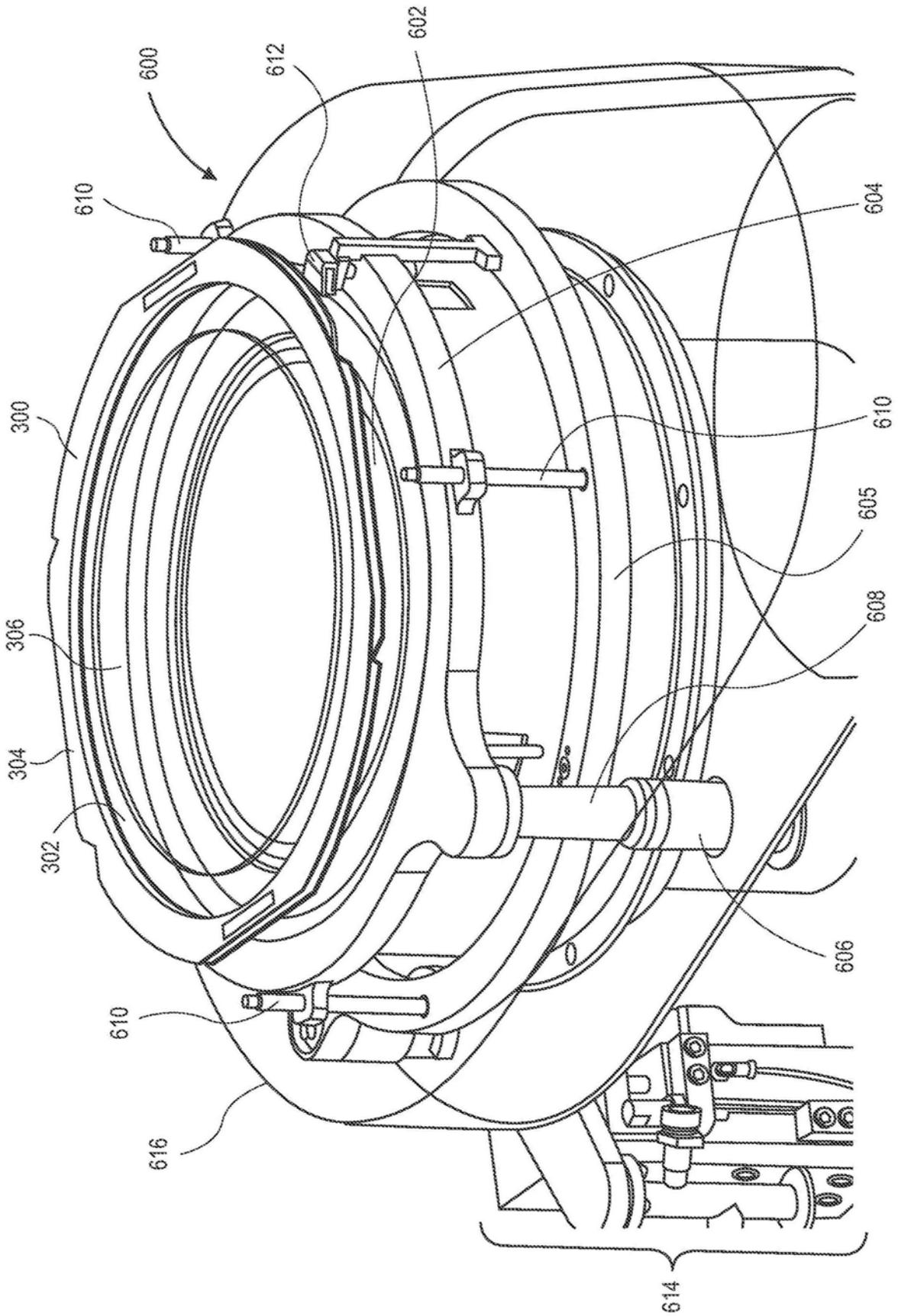


图6

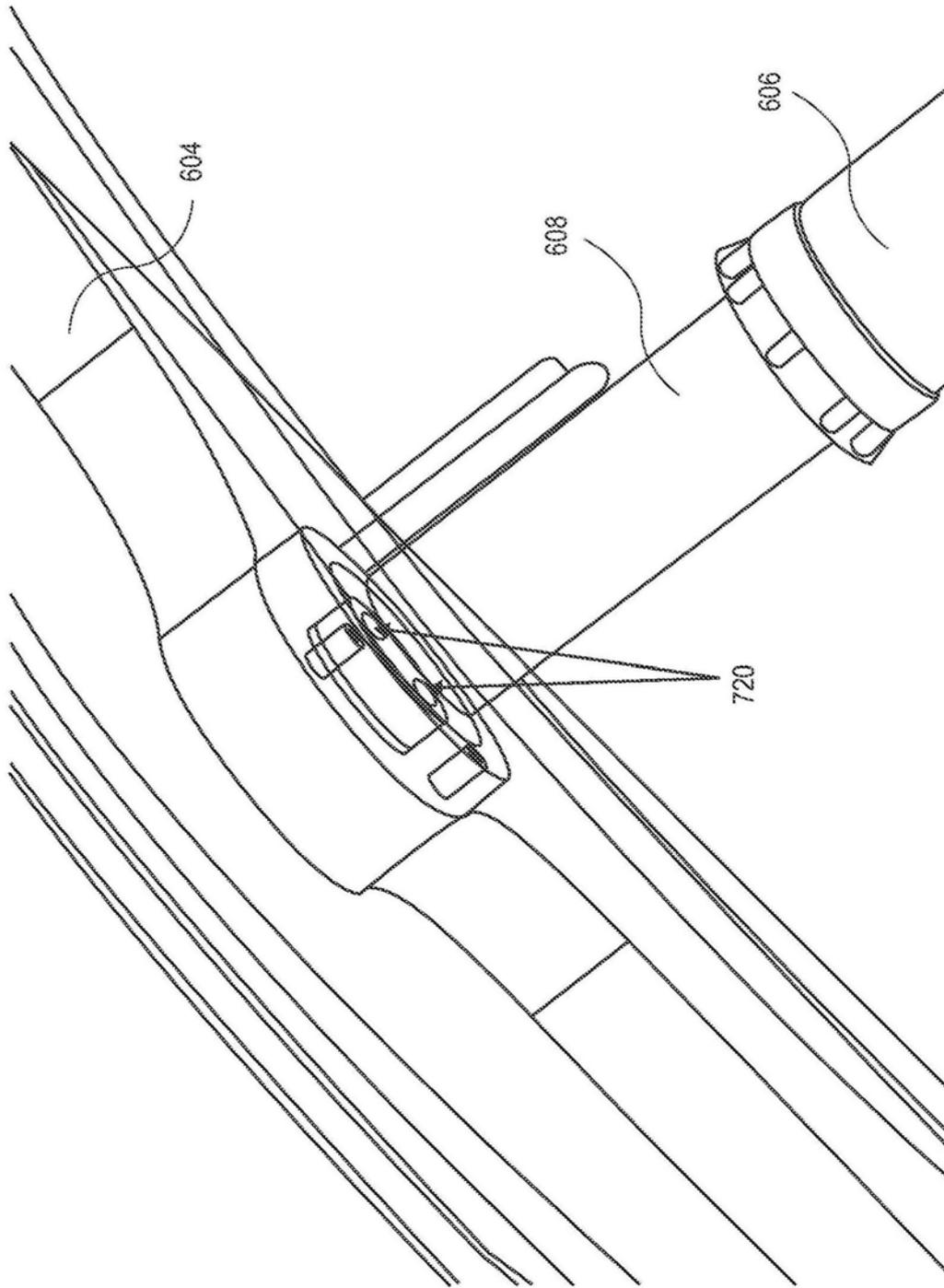


图7

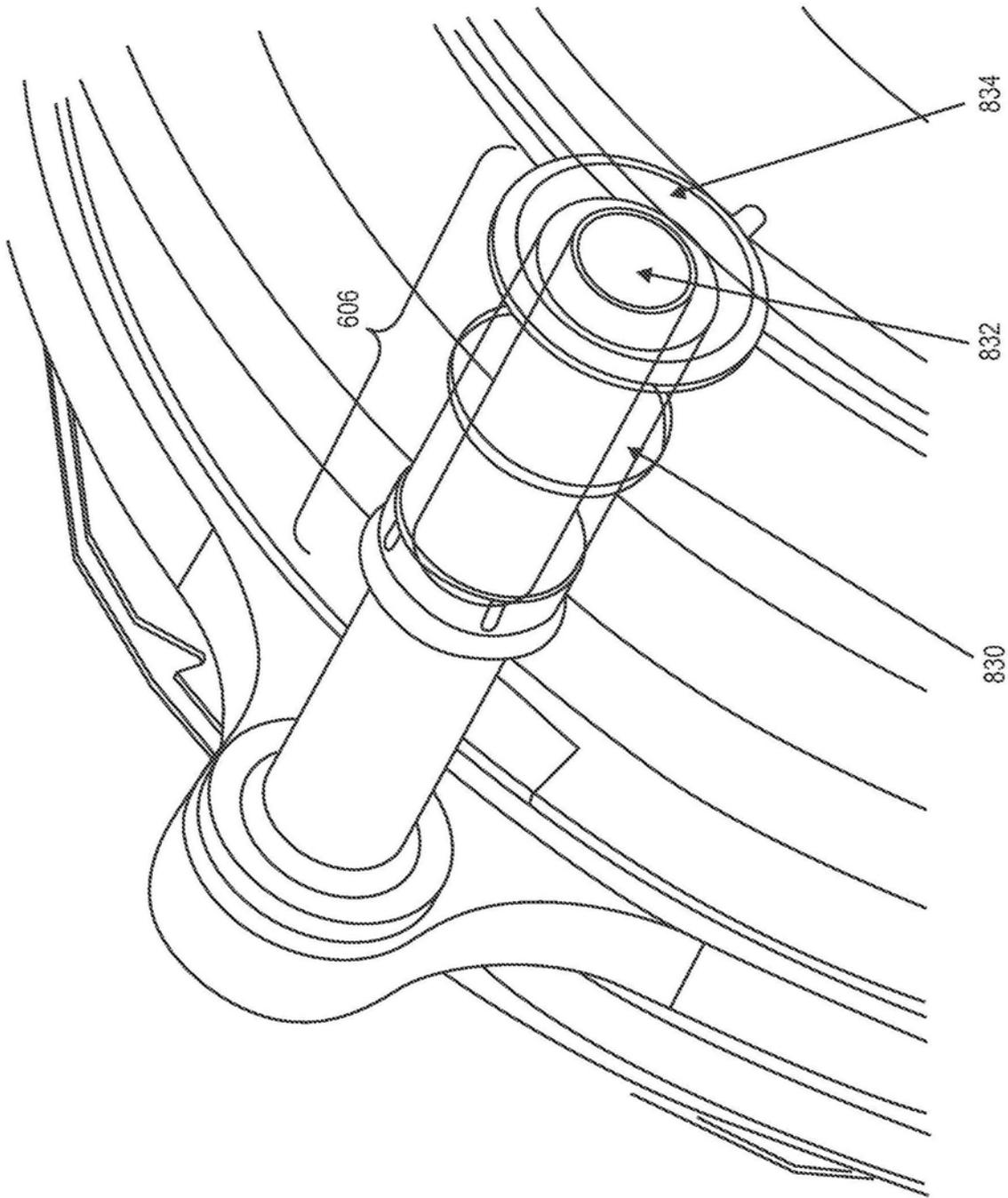
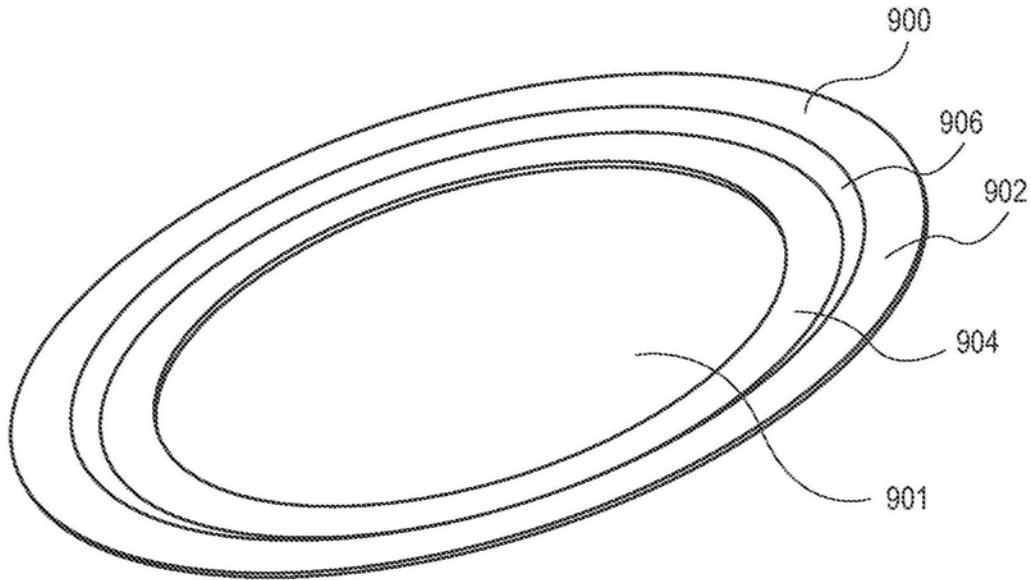


图8

俯视图



仰视图

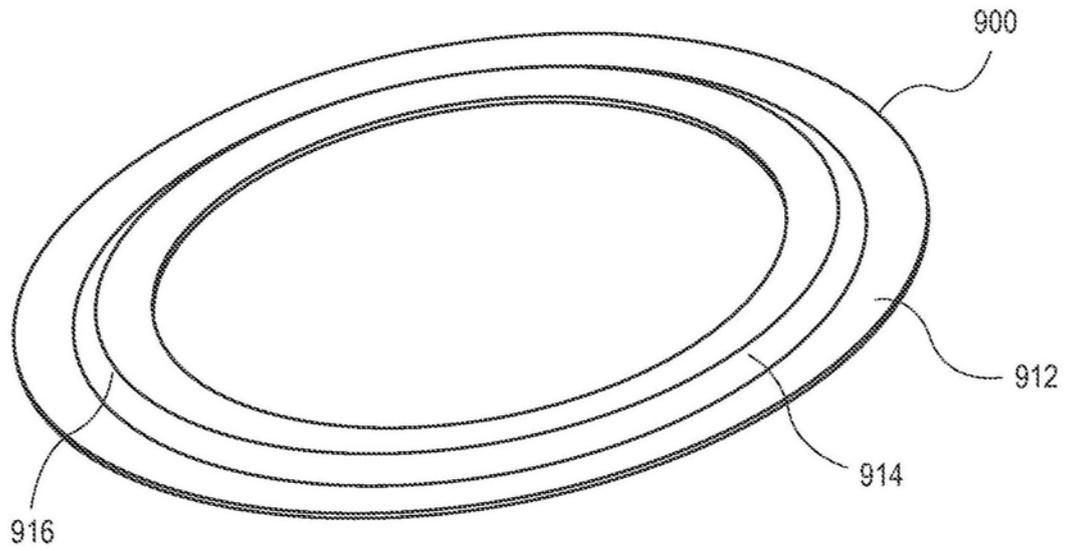


图9

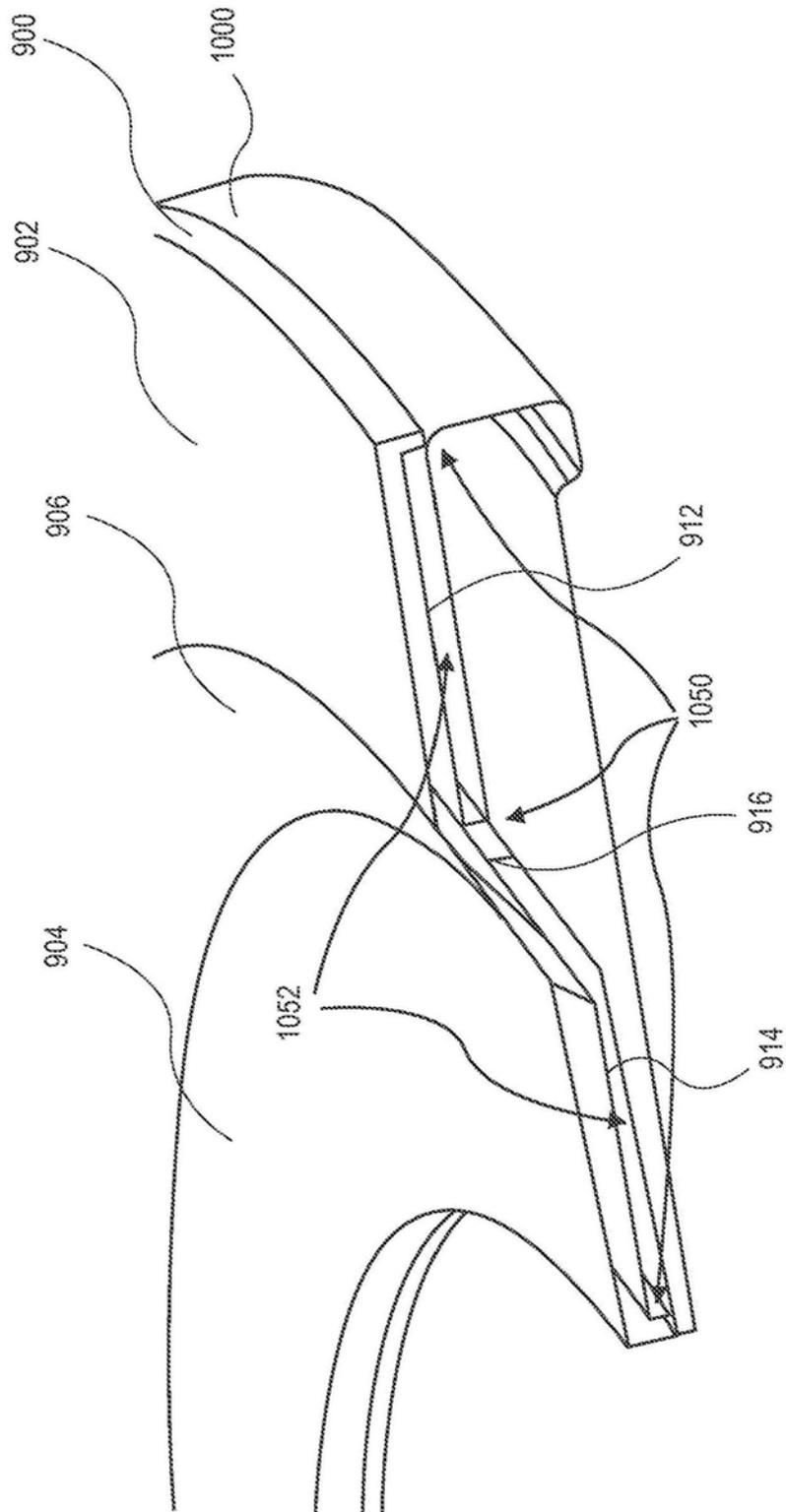


图10

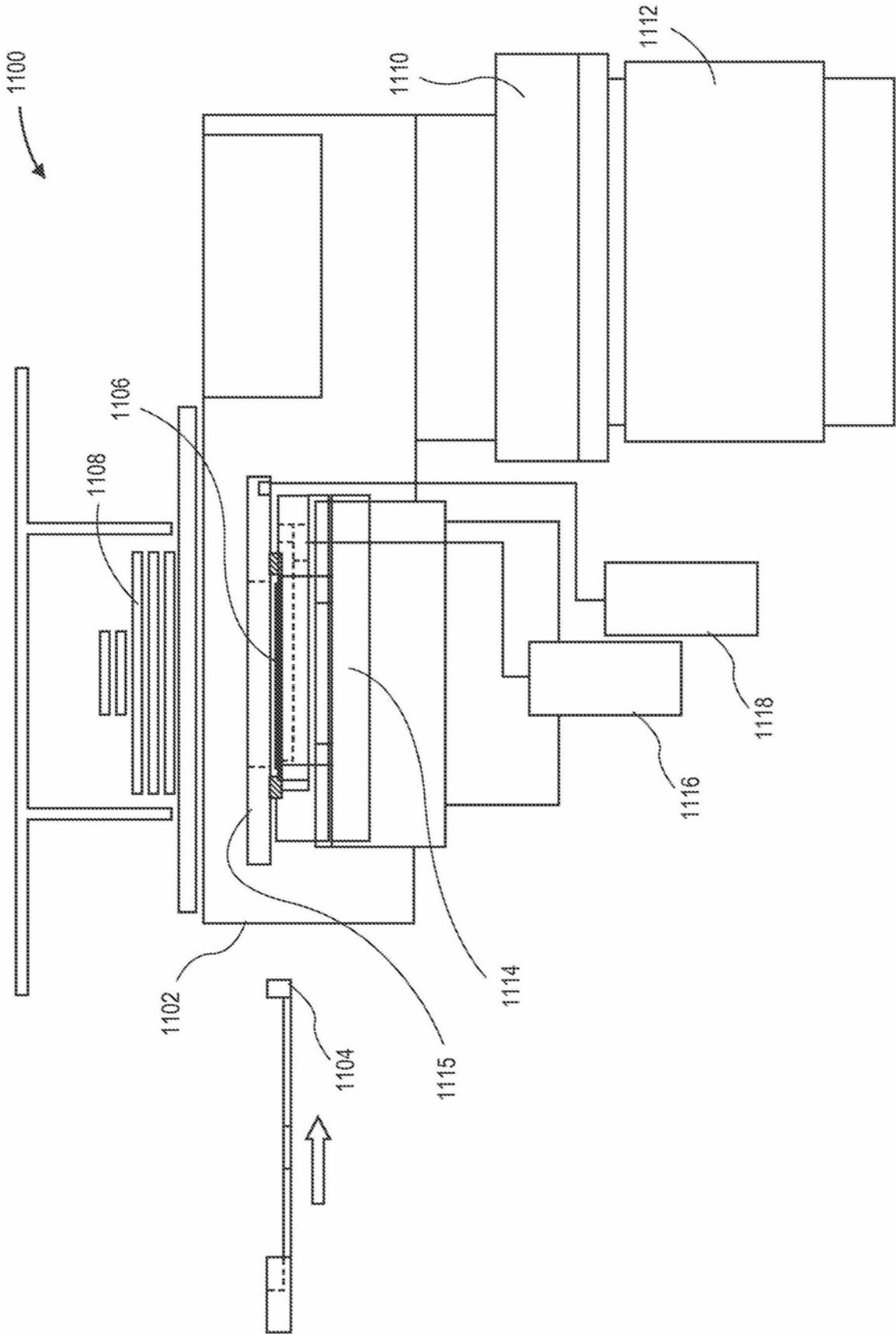


图11

流程图 1200

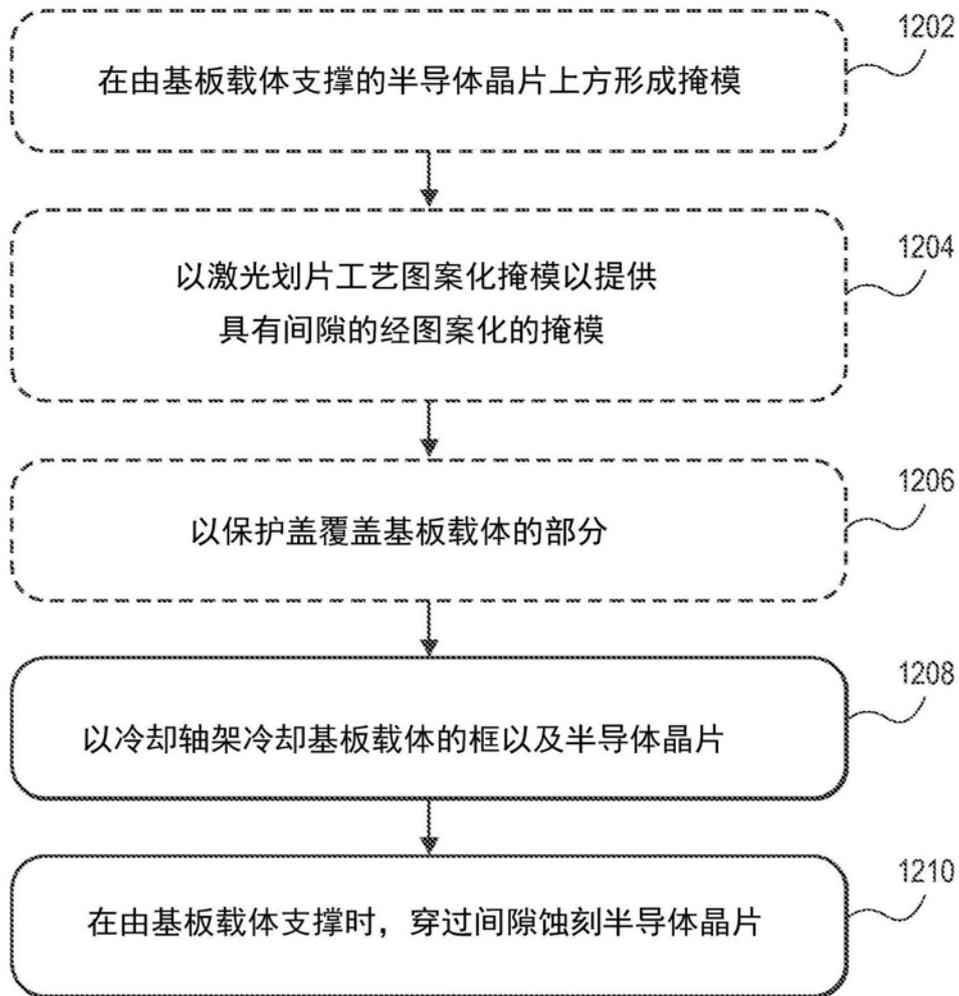


图12



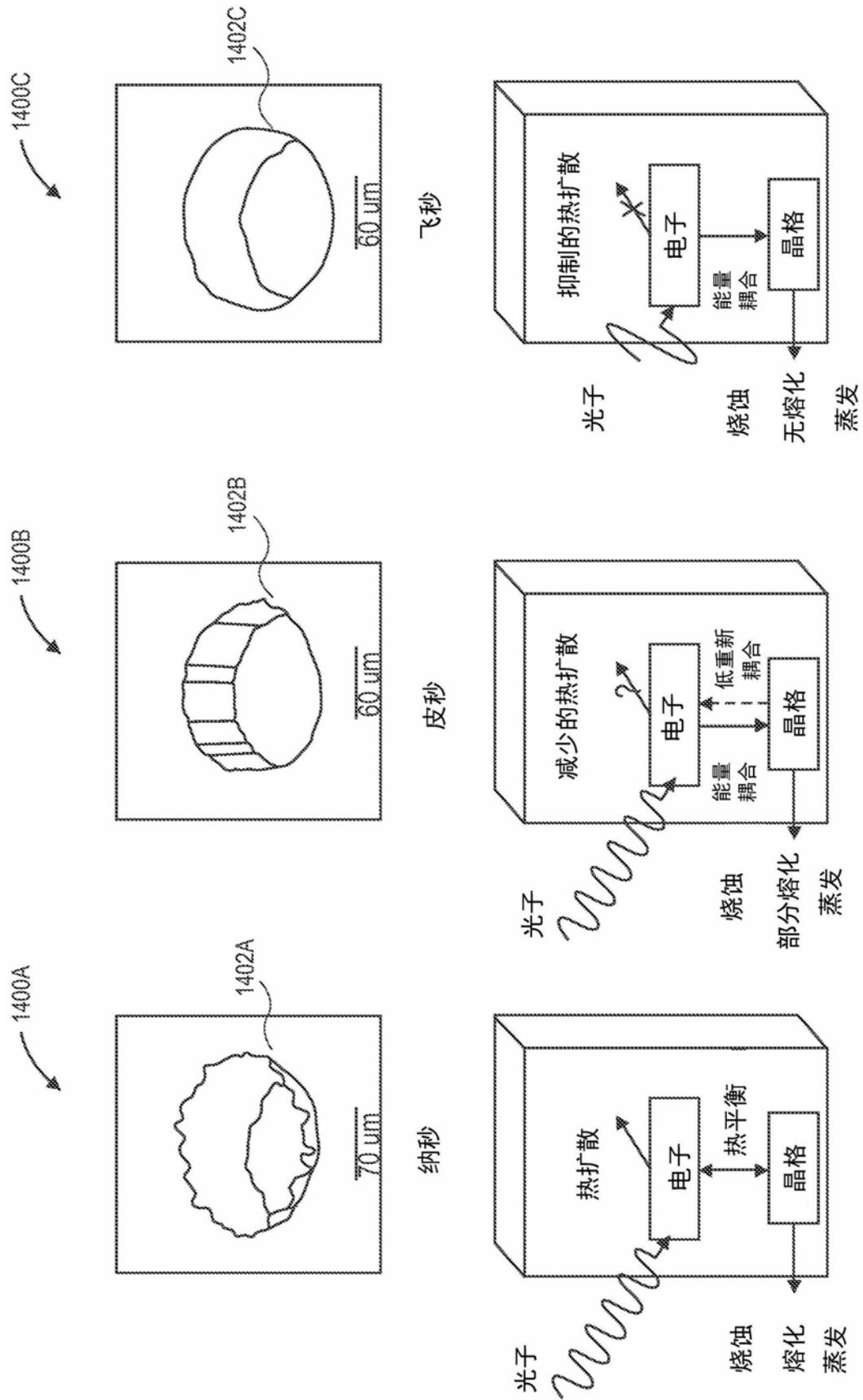


图14

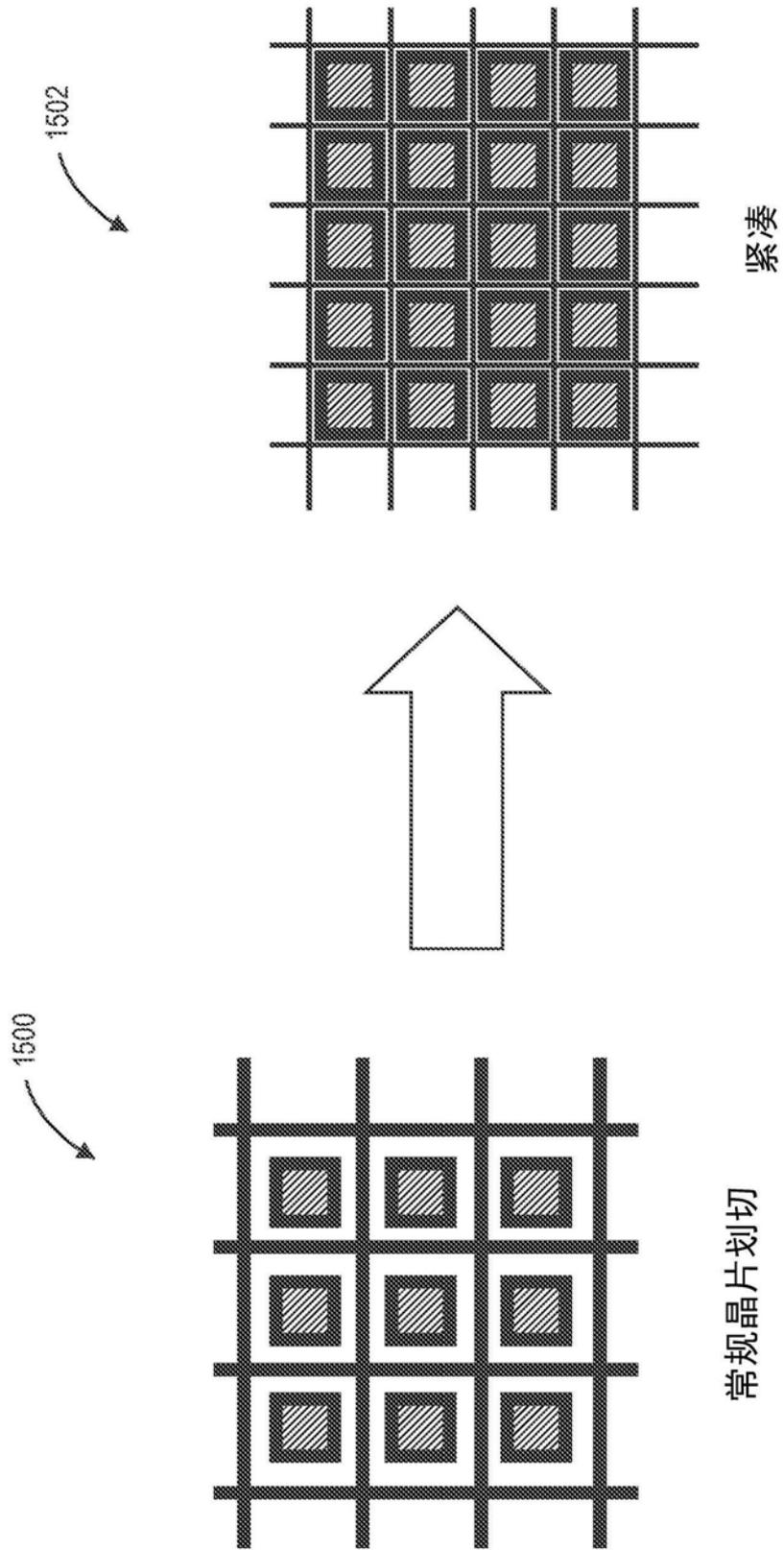


图15

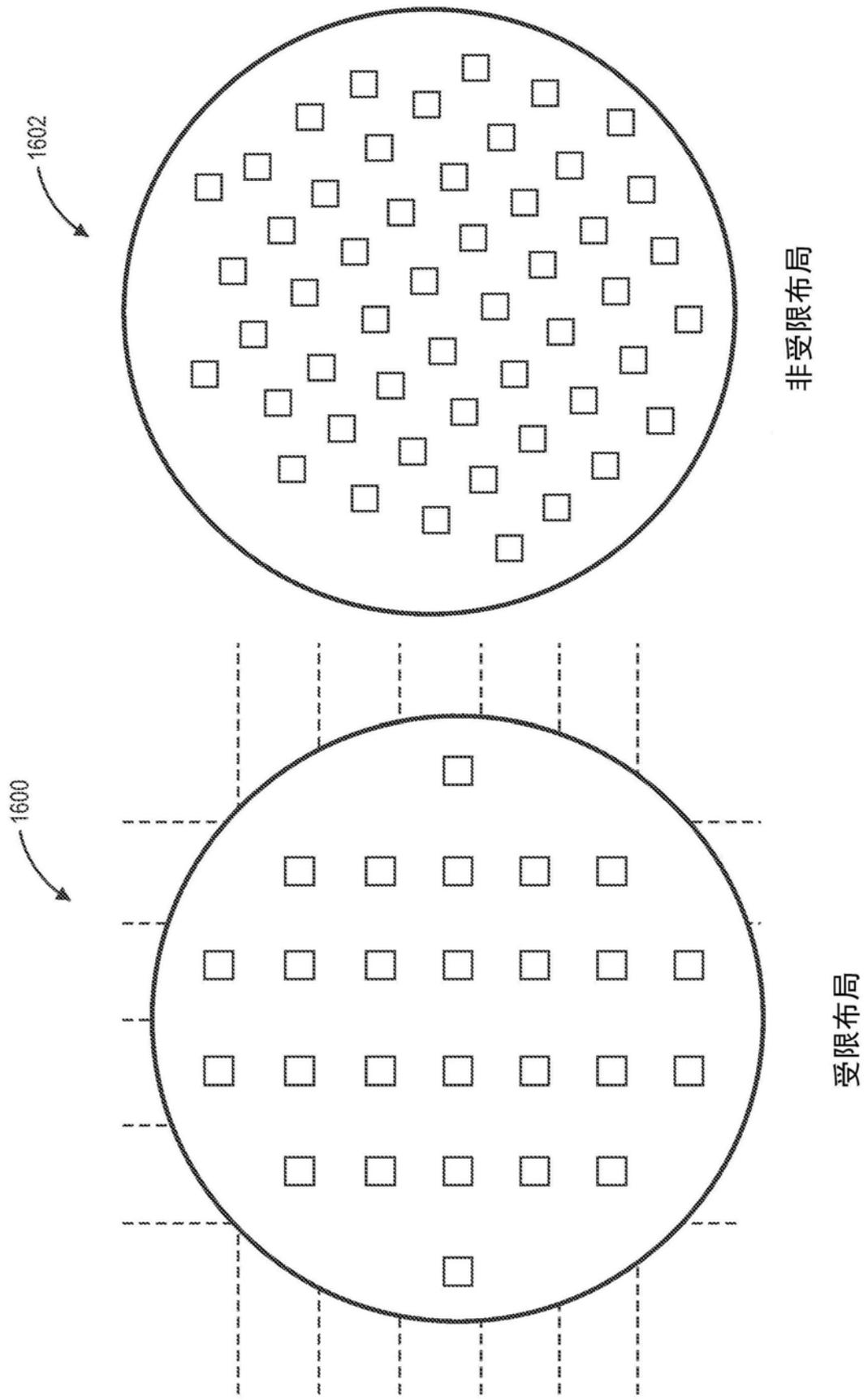


图16

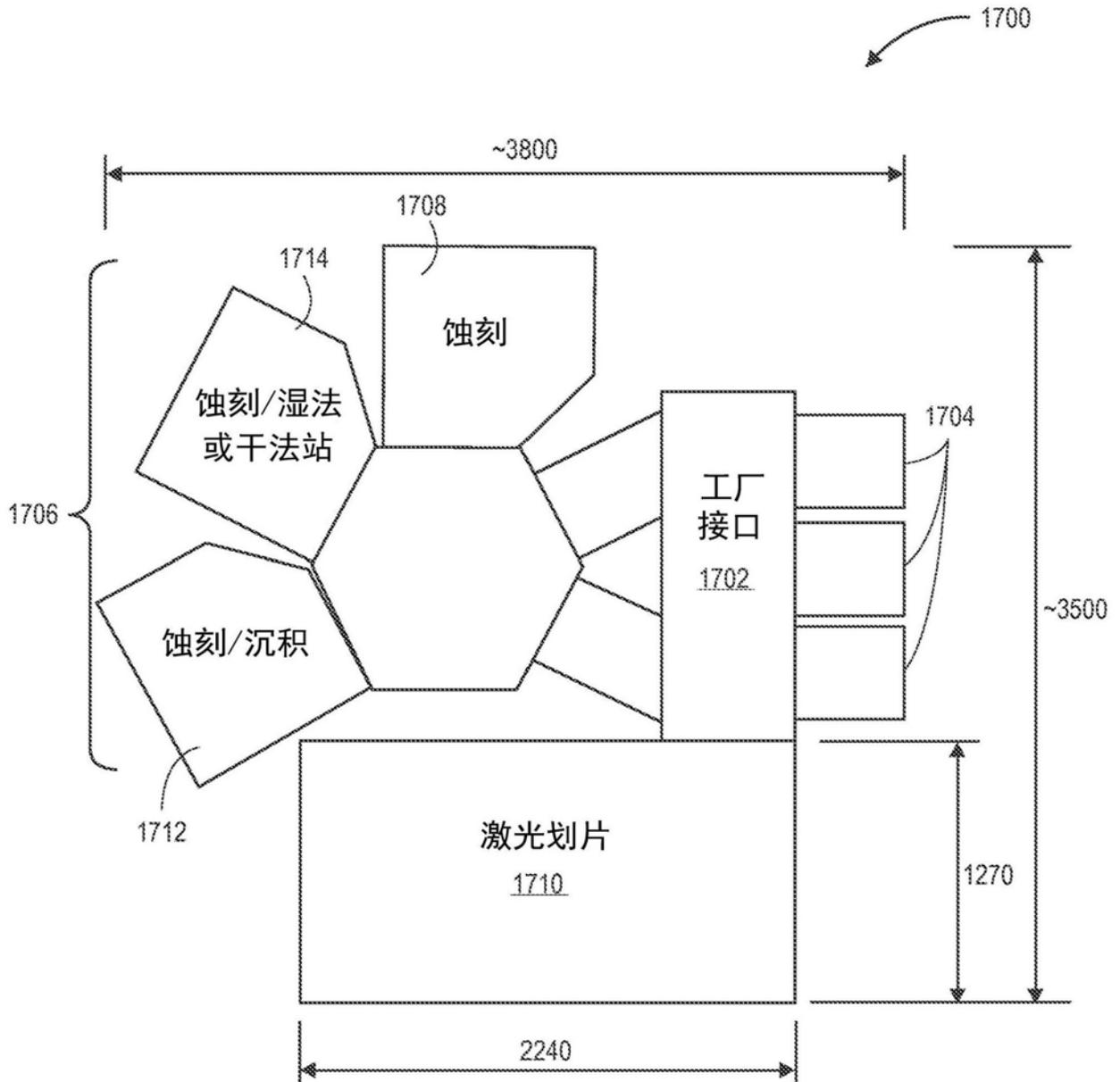


图17

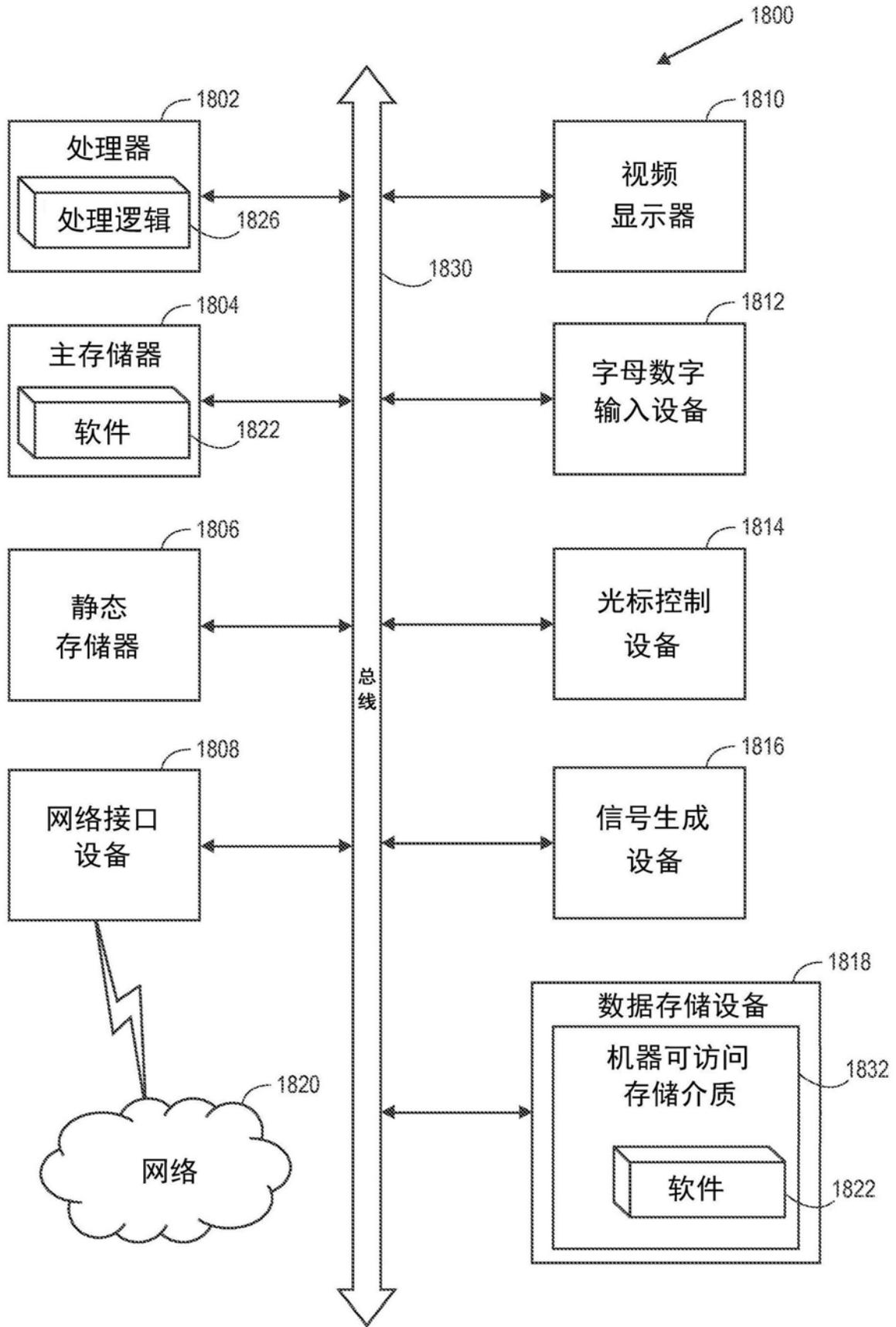


图18