



(12)发明专利申请

(10)申请公布号 CN 106716602 A

(43)申请公布日 2017.05.24

(21)申请号 201580031646.9

(74)专利代理机构 上海专利商标事务所有限公司 31100

(22)申请日 2015.05.05

代理人 侯颖嫒

(30)优先权数据

14/276,683 2014.05.13 US

(51)Int.Cl.

H01L 21/301(2006.01)

(85)PCT国际申请进入国家阶段日

2016.12.13

H01L 21/78(2006.01)

(86)PCT国际申请的申请数据

PCT/US2015/029259 2015.05.05

(87)PCT国际申请的公布数据

W02015/175267 EN 2015.11.19

(71)申请人 应用材料公司

地址 美国加利福尼亚州

(72)发明人 类维生 P·库玛 B·伊顿

A·库玛

权利要求书2页 说明书19页 附图17页

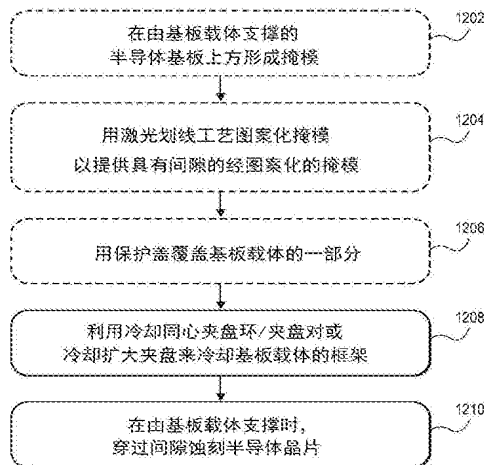
(54)发明名称

在等离子体切割期间通过晶片框架支撑环冷却的切割胶带热管理

(57)摘要

描述了切割半导体晶片的方法及设备,每一晶片具有多个集成电路。在示例中,切割具有多个集成电路的半导体晶片的方法涉及将基板载体所支撑的基板引入等离子体蚀刻腔室中。基板在其上具有经图案化的掩模,该经图案化的掩模覆盖集成电路并暴露基板的划道。基板载体具有背侧。该方法也涉及在等离子体蚀刻腔室的夹盘上支撑基板载体的背侧的至少一部分。该方法也涉及冷却基板载体的基本上全部的背侧,该冷却涉及由夹盘冷却基板载体的背侧的至少第一部分。该方法也涉及在执行冷却基板载体的基本上全部的背侧的同时经由划道等离子体蚀刻基板以切单集成电路。

流程图 1200



1. 一种切割包含多个集成电路的半导体晶片的方法,所述方法包含以下步骤:

将由基板载体所支撑的基板引入等离子体蚀刻腔室中,所述基板在其上具有经图案化的掩模,所述经图案化的掩模覆盖集成电路并暴露所述基板的划道,且所述基板载体具有背侧;

在所述等离子体蚀刻腔室的夹盘上支撑所述基板载体的所述背侧的至少一部分;

冷却所述基板载体的基本上全部的所述背侧,所述冷却的步骤包含以下步骤:由所述夹盘冷却所述基板载体的所述背侧的至少第一部分;以及

在执行冷却所述基板载体的基本上全部的所述背侧的同时经由所述划道等离子体蚀刻所述基板以切单所述集成电路。

2. 如权利要求1所述的方法,其中冷却所述基板载体的基本上全部的所述背侧的步骤进一步包含以下步骤:利用围绕所述夹盘的冷却同心夹盘环来冷却所述基板载体的所述背侧的第二部分。

3. 如权利要求2所述的方法,其中,在所述等离子体蚀刻期间,将所述夹盘维持在至少低至约-10摄氏度的温度,且将所述冷却同心夹盘环维持在大约处于0至-10摄氏度范围内的温度。

4. 如权利要求1所述的方法,其中所述夹盘具有至少与所述基板载体的所述背侧一样大的支撑面积,且其中冷却所述基板载体的基本上全部的所述背侧的步骤包含以下步骤:利用所述夹盘冷却所述基板载体的基本上全部的所述背侧。

5. 如权利要求4所述的方法,其中,在所述等离子体蚀刻的步骤期间,将所述夹盘维持在至少低至约-10摄氏度的温度。

6. 如权利要求1所述的方法,其中所述基板载体包含外部带框及支撑切割胶带,且其中冷却所述基板载体的基本上全部的所述背侧的步骤包含以下步骤:冷却所述带框及所述基板。

7. 如权利要求6所述的方法,其中在所述带框与围绕所述夹盘的冷却同心夹盘环之间且在所述基板与所述夹盘之间安置所述切割胶带。

8. 如权利要求6所述的方法,其中在所述带框与所述夹盘之间且在所述基板与所述夹盘之间安置所述切割胶带。

9. 如权利要求1所述的方法,其中,在所述等离子体蚀刻的步骤期间,由遮蔽环保护所述基板载体的前侧的一部分。

10. 如权利要求1所述的方法,进一步包含以下步骤:

利用激光划线工艺形成所述经图案化的掩模。

11. 一种等离子体蚀刻腔室,包含:

等离子体源,经安置在所述等离子体蚀刻腔室的上部区域;

冷却夹盘,经安置在所述等离子体源下方,所述冷却夹盘用于支撑基板载体的第一部分;以及

冷却同心环,围绕所述冷却夹盘,所述冷却同心环用于支撑所述基板载体的第二部分,其中,所述冷却夹盘与所述冷却同心环一起用于冷却所述基板载体的基本上全部的背侧。

12. 如权利要求11所述的等离子体蚀刻腔室,其中所述冷却夹盘经配置以在等离子体处理期间维持在至少低至约-10摄氏度的温度,且所述冷却同心夹盘环经配置以在等离子

体处理期间维持在大约处于0至-10摄氏度范围内的温度。

13. 如权利要求11所述的等离子体蚀刻腔室,进一步包含:

遮蔽环组件,经配置以在等离子体处理期间安置于所述夹盘与所述等离子体源之间。

14. 如权利要求11所述的等离子体蚀刻腔室,其中在群集处理工具中安放所述等离子体蚀刻腔室。

15. 如权利要求11所述的等离子体蚀刻腔室,其中所述冷却同心环及所述冷却夹盘一起包含至少与所述基板载体的所述背侧一样大的支撑面积,所述基板载体具有外部带框。

在等离子体切割期间通过晶片框架支撑环冷却的切割胶带热管理

技术领域

[0001] 本发明的实施例涉及半导体处理领域,且更更具体地涉及切割半导体晶片的方法,每一晶片具有多个集成电路。

背景技术

[0002] 在半导体晶片处理中,在由硅或其他半导体材料构成的晶片(也称为基板)上形成集成电路。大体而言,利用半导电的、导电的或绝缘的多种材料的层形成集成电路。使用各种熟知工艺掺杂、沉积及蚀刻这些材料以形成集成电路。每一晶片经处理以形成众多含有集成电路的各个区域,这些区域被称为管芯。

[0003] 在集成电路形成工艺之后,“切割”晶片以使各个管芯彼此分离以便封装或以未封装形式用于较大电路内。用于晶片切割的两种主要技术为划线及锯切。在使用划线情况中,沿预形成的划割线跨越晶片表面移动金刚石镶头划线器。这些划割线沿管芯之间的空间延伸。这些空间通常被称为“划道(street)”。金刚石划线器沿划道在晶片表面中形成浅划痕。在诸如利用辊施加压力后,晶片沿划割线分离。晶片的断裂遵循晶片基板的晶格结构。划线可用于厚度约10密耳(千分之一英寸)或更小的晶片。对于较厚晶片,锯切是目前用于切割的优先方法。

[0004] 在使用锯切情况中,以高的每分钟转数旋转的金刚石镶头锯接触晶片表面,并沿划道锯切晶片。将晶片安装在支撑构件(诸如,跨越膜框拉伸的黏合膜)上,并将锯反复应用于竖直与水平划道两者。划线或锯切的一个问题在于可能沿管芯的断裂边缘形成碎屑及槽。另外,裂纹可能形成且从管芯边缘传播至基板内,并导致集成电路不起作用。碎裂及开裂尤其是伴随着划线的问题,因为仅可对正方形或矩形管芯的一侧按晶体结构的<110>方向划线。因此,管芯的另一侧的断裂产生锯齿状分离线。由于碎裂及开裂,晶片上的管芯之间要求额外间距,以防止损坏集成电路,例如,使碎屑及裂纹与实际集成电路保持距离。由于间隔要求,所以在标准尺寸的晶片上形成的管芯不多,且浪费了本可用于电路系统的晶片使用面积。锯的使用加重了半导体晶片上的使用面积浪费。锯刃大约15微米厚。因此,为确保由锯产生的切口周围的开裂及其他损坏不损害集成电路,通常必须将每一管芯的电路系统分离三百至五百微米。此外,在切割后,每一管芯需要大量清洁以移除产生自锯切工艺的颗粒及其他污染物。

[0005] 也已经使用等离子体切割,但等离子体切割也可具有限制。例如,妨碍等离子体切割实施的一个限制可以是成本。用于图案化抗蚀剂的标准光刻操作可导致实施成本过高。可能妨碍等离子体切割实施的另一限制在于在沿划道切割常见金属(例如,铜)时对这些常见金属的等离子体处理可产生生产问题或产量限制。

发明内容

[0006] 本发明的实施例包括切割半导体晶片的方法,每一晶片上具有多个集成电路。

[0007] 在一实施例中,切割具有多个集成电路的半导体晶片的方法涉及将基板载体所支撑的基板引入等离子体蚀刻腔室中。基板在其上具有经图案化掩模,该经图案化掩模覆盖集成电路并暴露基板的划道。基板载体具有背侧。该方法还涉及在等离子体蚀刻腔室的夹盘上支撑基板载体的背侧的至少一部分。该方法还涉及冷却基板载体的基本上全部的背侧,该冷却涉及通过夹盘至少冷却基板载体的背侧的第一部分。该方法还涉及在执行冷却基板载体的基本上全部的背侧的同时经由划道等离子体蚀刻基板以切单(singulate)集成电路。

[0008] 在另一实施例中,等离子体蚀刻腔室包括安置于等离子体蚀刻腔室的上部区域中的等离子体源。将冷却夹盘安置在等离子体源下方,该冷却夹盘用于支撑基板载体的第一部分。冷却同心环围绕冷却夹盘,该冷却同心环用于支撑基板载体的第二部分。冷却夹盘与冷却同心环一起用于冷却基板载体的基本上全部的背侧。

[0009] 在另一实施例中,等离子体蚀刻腔室包括安置于等离子体蚀刻腔室的上部区域中的等离子体源。将冷却夹盘安置在等离子体源下方,该冷却夹盘用于支撑及冷却基板载体的基本上全部的背侧。

附图说明

[0010] 图1图示根据本发明的实施例的待切割的半导体晶片的俯视平面图。

[0011] 图2图示根据本发明的实施例的其上形成有切割掩模的待切割的半导体晶片的俯视平面图。

[0012] 图3图示根据本发明的实施例的适合于在切单工艺期间支撑晶片的基板载体的平面图。

[0013] 图4图示根据本发明的实施例的(a)由冷却扩大的夹盘或(b)由冷却同心夹盘环与冷却夹盘对所支撑的基板载体。

[0014] 图5图示根据本发明的另一实施例的图3的基板载体,该基板载体具有上覆的主动冷却遮蔽环或等离子体热屏蔽件,或者具有这两者,并且具有下层冷却同心夹盘环或冷却扩大夹盘。

[0015] 图6图示根据本发明的实施例的在等离子体腔室中用于热耗散的主动冷却遮蔽环的斜视图,其中该主动冷却遮蔽环相对于所示蚀刻阴极定位且相对于所示晶片支撑件设定尺寸。

[0016] 图7图示根据本发明的实施例的图6的支撑设备的等离子体暴露耦合器的放大视图。

[0017] 图8图示根据本发明的实施例的图6的支撑设备的馈通波纹管的放大视图。

[0018] 图9图示根据本发明的实施例的等离子体热屏蔽件的斜俯视图及斜仰视图。

[0019] 图10图示根据本发明的实施例的定位于遮蔽环的顶表面上的图9的等离子体热屏蔽件的放大倾斜横截面视图。

[0020] 图11图示根据本发明的实施例的蚀刻反应器的横截面视图。

[0021] 图12是表示根据本发明的实施例的切割包括多个集成电路的半导体晶片的方法中的操作的流程图。

[0022] 图13A图示根据本发明的实施例的在执行切割半导体晶片的方法期间的包括多个

集成电路的半导体晶片的横截面视图,该视图对应于图12的流程图的步骤1202。

[0023] 图13B图示根据本发明的实施例的在执行切割半导体晶片的方法期间的包括多个集成电路的半导体晶片的横截面视图,该视图对应于图12的流程图的步骤1204。

[0024] 图13C图示根据本发明的实施例的在执行切割半导体晶片的方法期间的包括多个集成电路的半导体晶片的横截面视图,该视图对应于图12的流程图的步骤1210。

[0025] 图14图示根据本发明的实施例的使用处于飞秒范围内的激光脉冲的效应对比使用较长脉冲时间的效应。

[0026] 图15图示根据本发明的实施例的通过使用较窄划道实现的半导体晶片的压实性对比可受限于最小宽度的常规切割的压实性。

[0027] 图16图示根据本发明的实施例的允许较致密填充且因此允许更多的每晶片的管芯的自由形式集成电路排列对比栅格对准方法。

[0028] 图17图示根据本发明的实施例的用于激光及等离子体切割晶片或基板的工具布置的框图。

[0029] 图18图示根据本发明的实施例的示例性计算机系统的框图。

具体实施方式

[0030] 本发明描述切割半导体晶片的方法及设备,每一晶片具有多个集成电路。在下文描述中,阐述众多特定细节,诸如用于薄晶片的基板载体、划线与等离子体蚀刻条件及材料范围,以便提供对本发明的实施例的透彻理解。对熟习此项技术者将显而易见的是,可在无这些特定细节的情况下实施本发明的实施例。在其他情况中,并未详细描述诸如集成电路制造的熟知的方面,以免不必要地模糊本发明的实施例。此外,应理解,图式中所示的各个实施例为说明性表示,且不一定按比例绘制。

[0031] 本文所描述的一或多个实施例针对在等离子体切割期间经由晶片框架支撑环冷却的切割胶带热管理。一或多个实施例针对混合式激光划线及等离子体蚀刻管芯切单工艺。

[0032] 为了提供情境,在等离子体切割安装于带框上的晶片期间,抵抗切割胶带热损伤或劣化的热管理对于确保成功的等离子体蚀刻处理可能是关键的。等离子体处理期间的过度加热可导致切割胶带开裂、烧毁或畸变,或者导致诸如切割胶带与支撑框架之间的黏合劣化的其他问题。此类问题可造成蚀刻工艺失败或毁灭性的晶片损坏。当前实践涉及安放于等离子体蚀刻腔室中的支撑夹盘上的晶片或基板的冷却。通过将夹盘温度维持在零摄氏度或零摄氏度以下(例如,诸如处于约-10°C的温度)来实现冷却。

[0033] 在基板或晶片处于载体上的情况中,支撑晶片或基板的载体的部分位于冷却夹盘上。然而,切割胶带于晶片或基板边缘与带框之间的部分(以及带框)静置于未冷却的同心支撑环上。因此,通常通过在晶片或基板上方添加屏蔽环来阻挡来自等离子体的热辐射,且该热辐射覆盖框架及晶片边缘与框架之间的已暴露的切割胶带。然而,此屏蔽环可不足以独立地保护载体或切割胶带的已暴露部分避免热损伤或劣化。另外,具有不同耐久性的多种类型的载体或切割胶带可经历各种蚀刻工艺用于切单。因此,本文所描述的一或多个实施例提供宽泛且稳妥的方法以便在晶片或基板切单的等离子体蚀刻期间保护切割或载体胶带。

[0034] 本文所描述的一或更多个实施例通过自基板载体的切割或载体胶带及框架移除热负荷来解决热管理。在一实施例中,自基板或晶片载体背侧移除热负荷。在一个特定实施例中,维持支撑晶片夹盘的典型尺寸且与夹盘组合使用冷却同心支撑环。支撑环的冷却温度可不一定与夹盘的冷却温度一样低,例如,可大约处于0至-10摄氏度范围内。在另一特定实施例中,夹盘经扩大至适合于支撑晶片、胶带及框架的直径。冷却扩大夹盘,包括支撑载体框架的区域及切割胶带于晶片与框架之间的部分。因此,更概括而言,本文所描述的一或更多个实施例针对通过冷却同心夹盘环或冷却扩大夹盘来背侧冷却基板载体框架及胶带。

[0035] 在示例性应用中,且为了提供进一步情境,晶片或基板管芯切单工艺涉及在具有黏合剂的柔性聚合物胶带上置放薄化晶片或基板。随后将柔性聚合物胶带附着至支撑性带框环。在一些方面中,切单的管芯的可靠拾取及置放运动的唯一刚性形式为带框。然而,带框的径向位置通常位于诸如用于等离子体蚀刻腔室中的夹盘的正常范围之外。另外,胶带与带框对通常不应暴露于超过胶带及黏合剂的可允许温度的温度。为解决上述问题中的一或更多者,根据本文所描述的一或更多个实施例,夹盘或夹盘与同心环对的总体设计提供晶片或基板载体整个区域的背侧冷却。

[0036] 在本揭示内容的一方面中,可实施涉及初始激光划线及后续等离子体蚀刻的混合式晶片或基板切割工艺,以便管芯切单。可使用激光划线工艺以清洁地移除掩模层、有机与无机电介质层及装置层。随后,在晶片或基板的暴露或部分蚀刻之后,可终止激光蚀刻工艺。随后,可采用切割工艺中的等离子体蚀刻部分以蚀刻穿过晶片或基板的块体,诸如穿过块状单晶硅,以产生管芯或芯片的切单或切割。在一个实施例中,在切割工艺的蚀刻部分期间实施冷却同心夹盘环或冷却扩大的夹盘。在一实施例中,在切单工艺期间,包括在切单工艺的蚀刻部分期间,通过具有带框的基板载体支撑晶片或基板。

[0037] 根据本发明的一实施例,本文所描述为在切单工艺中的等离子体蚀刻期间冷却基板载体的带框及已暴露的胶带区域的一或更多种设备及方法。例如,一种设备可用于支撑及冷却薄膜框架,该薄膜框架用于在框架所支撑的胶带上固持薄硅晶片。与集成电路(IC)封装相关的制造工艺可需要薄化硅晶片被支撑且安装在诸如管芯附着膜的膜上。在一个实施例中,管芯附着膜也由基板载体来支撑且使用该管芯附着膜将薄硅晶片粘附至基板载体。

[0038] 为了提供进一步情境,常规晶片切割方法包括基于纯机械分离的金刚石锯切割、初始激光划线及后续金刚石锯切割或纳秒或皮秒激光切割。对于薄晶片或薄基板切单,诸如厚度为50微米的块状硅切单,常规方法仅产生较差的工艺质量。当从薄晶片或薄基板切单管芯时可面对的一些挑战可包括微裂纹形成或在不同层之间的层离、无机电介质层的碎裂、保持严格的切口宽度控制或精确的剥蚀深度控制。本发明的实施例包括一种混合式激光划线及等离子体蚀刻管芯切单方法,该方法可用于克服上述挑战中的一或更多者。

[0039] 根据本发明的一实施例,使用激光划线与等离子体蚀刻的组合将半导体晶片切割成个别化或切单的集成电路。在一个实施例中,将基于飞秒的激光划线用作基本上(若非完全)非热工艺。例如,基于飞秒的激光划线可以是局部进行而不含有热损伤区域或仅含有可忽略的热损伤区域。在一实施例中,本文中的方法用于具有超低介电常数膜的切单集成电路。利用常规切割,可能需要放慢锯的速度以适应此种低介电常数膜。此外,经常在切割之前使半导体晶片薄化。因此,在一实施例中,利用基于飞秒的激光的掩模图案化及部分晶片

划线的组合及随后的等离子体蚀刻工艺目前十分实用。在一个实施例中,利用激光的直接刻画可消除对光阻层的光刻图案化操作的需求,且可在非常低的成本下实施。在一个实施例中,使用穿孔类型硅蚀刻在等离子体蚀刻环境中完成切割工艺。

[0040] 因此,在本发明的一方面中,可使用激光划线与等离子体蚀刻的组合将半导体晶片切割成切单的集成电路。图1图示根据本发明的实施例的待切割的半导体晶片的俯视平面图。图2图示根据本发明的实施例的其上形成有切割掩模的待切割的半导体晶片的俯视平面图。

[0041] 参看图1,半导体晶片100具有多个区域102,这些区域包括集成电路。区域102由竖直划道104及水平划道106分离。划道104及106是半导体晶片中不含集成电路且经设计为将切割晶片所沿的位置的区域。本发明的一些实施例涉及使用组合激光划线及等离子体蚀刻技术以沿划道穿过半导体晶片切割沟槽,以使得将管芯分离成单独的芯片或管芯。由于激光划线及等离子体蚀刻工艺两者皆独立于晶体结构定向,待切割的半导体晶片的晶体结构可能对实现穿过晶片的竖直沟槽并不重要。

[0042] 参看图2,半导体晶片100具有掩模200,该掩模沉积在半导体晶片100上。在一个实施例中,以常规方式沉积掩模以实现约4-10微米厚度的层。在一个实施例中,利用激光划线工艺图案化掩模200及半导体晶片100的一部分,以沿划道104及106界定位置(例如,缝隙202及204),在这些划道处将切割半导体晶片100。掩模200覆盖且保护半导体晶片100的集成电路区域。掩模200的区域206经定位以使得在后续蚀刻工艺期间,这些集成电路不因蚀刻工艺而劣化。在区域206之间形成水平缝隙204及缝隙202以界定在蚀刻工艺期间将被蚀刻的区域,以便最终切割半导体晶片100。根据本发明的实施例,在切割工艺的蚀刻部分期间实施冷却同心夹盘环或冷却扩大夹盘。

[0043] 如上文简要论及,在管芯切单工艺(例如,混合式激光烧蚀及等离子体蚀刻切单方案)的等离子体蚀刻部分期间,由基板载体支撑用于切割的基板。例如,图3图示根据本发明的实施例的适合于在切单工艺期间支撑晶片的基板载体的平面图。

[0044] 参看图3,基板载体300包括由胶带环或框架304围绕的衬带层302。由基板载体300的衬带302支撑晶片或基板306。在一个实施例中,由管芯附着膜使晶片或基板306粘附至衬带302。在一个实施例中,胶带环304由不锈钢构成。

[0045] 在一实施例中,可在系统中容纳切单工艺,该系统经尺寸设定成接收基板载体,诸如基板载体300。在一个此类实施例中,下文将更详细描述的系统(诸如系统1700)可容纳晶片框架,而不影响系统占用面积,该系统占用面积在其他情况下经尺寸设定成容纳未被基板载体所支撑的基板或晶片。在一个实施例中,这种处理系统经尺寸设定成容纳300毫米直径的晶片或基板。相同系统可容纳约380毫米宽乘以380毫米长的晶片载体,如图3所描绘。然而,应了解,系统可经设计以处置450毫米晶片或基板,或更具体地,450毫米晶片或基板载体。

[0046] 在本发明的一方面中,一或更多个实施例针对冷却同心夹盘环或冷却扩大夹盘。在一个此类实施例中,在等离子体蚀刻工艺期间,由冷却同心夹盘环或冷却扩大夹盘来冷却基板载体。在示例中,图4图示根据本发明的实施例的(a)由冷却放大夹盘或(b)由冷却同心夹盘环与冷却夹盘对所支撑的基板载体。

[0047] 参看图4的左侧,晶片/晶片载体对400与晶片屏蔽环402耦接。晶片/晶片载体对

400包括由晶片或基板载体404所支撑的基板(晶片)410。晶片或基板载体404包括带框406,该带框支撑载体或切割胶带408。在一个实施例中,将载体或切割胶带408黏附至上覆的带框406,如图4中所描绘。在一个实施例中,晶片屏蔽环402包括具有中央开口414的环形环412,如图4中横截面所示。

[0048] 参看图4的右侧,在路径(a)中,晶片/晶片载体对400及晶片屏蔽环402组件位于冷却扩大夹盘420上。在路径(b)中,晶片/晶片载体对400及晶片屏蔽环402组件位于冷却同心夹盘环424与冷却夹盘422对上。

[0049] 在(a)或(b)两种情况的任一者中,根据本发明的实施例,在等离子体处理期间冷却晶片或基板载体404的基本上全部的背侧。在一个此类实施例中,晶片或基板载体404包括外部带框406和支撑切割胶带408,以及冷却基板载体的基本上全部的背侧涉及冷却带框406及晶片或基板410。在特定此类实施例中,参看图4的路径(b),在带框406与围绕冷却夹盘422的冷却同心夹盘环424之间安置切割胶带408。切割胶带408经进一步安置在基板410与冷却夹盘422之间。在另一特定实施例中,参看图4的路径(a),在带框406与扩大冷却夹盘420之间并且还在基板410与扩大冷却夹盘420之间安置切割胶带408。在两种情况中,在实施例中,由晶片屏蔽环(或遮蔽环)402保护晶片或基板载体404的前侧的一部分且可能地保护基板410的最外部部分。

[0050] 再次参看图4且在下文中将更详细地描述,根据本发明的实施例,切割具有多个集成电路的半导体晶片的方法涉及将基板载体所支撑的基板引入等离子体蚀刻腔室中。基板在其上具有经图案化的掩模,该经图案化的掩模覆盖集成电路并暴露基板的划道。基板载体具有背侧。在等离子体蚀刻腔室的夹盘(例如,夹盘420或夹盘422)上支撑基板载体的背侧的至少一部分。基板载体的基本上全部的背侧被冷却,该冷却涉及由夹盘来冷却基板载体的背侧的至少第一部分。在冷却基板载体的基本上全部的背侧的同时,经由划道来等离子体蚀刻基板以切单集成电路。

[0051] 再次参看图4的路径(a),在实施例中,冷却夹盘420为扩大冷却夹盘(与用于直接支撑晶片或基板而非支撑晶片或基板载体的普通处理夹盘相比较),具有至少与晶片或基板载体404的背侧一样大的支撑面积。因此,冷却晶片或基板载体404的基本上全部的背侧涉及仅利用冷却夹盘420冷却晶片或基板载体404的基本上全部的背侧。在一个此类实施例中,在等离子体处理(诸如等离子体蚀刻)期间,将扩大冷却夹盘420维持在至少低至约-10摄氏度的温度。

[0052] 再次参看图4的路径(b),在实施例中,冷却同心环424及冷却夹盘422一起提供至少与晶片或基板载体404的背侧一样大的支撑面积。因此,冷却晶片或基板载体404的基本上全部的背侧涉及利用冷却同心环424与冷却夹盘422的组合来冷却晶片或基板载体404的基本上全部的背侧。也就是说,冷却夹盘422冷却晶片或基板载体404的第一内部部分,及冷却同心环424冷却晶片或基板载体404的第二外部部分。在一个此类实施例中,在等离子体处理(诸如等离子体蚀刻)期间,将夹盘冷却422维持在至少低至约-10摄氏度的温度,且将冷却同心夹盘环424维持在大约处于0至-10摄氏度范围内的温度。

[0053] 再次参看图4的路径(a)与(b)两者,在实施例中,通过热传送流体回路提供扩大冷却夹盘420或冷却同心环424与冷却夹盘422对的冷却。在一个此类实施例中,将热传送流体回路热耦接至散热器(例如,冷却器)以从夹盘/同心环对的夹盘移除热量。热传递液体可以

是现有技术中所采用的任何技术,例如Fluorinert (3M有限公司)或Galden (Solvey Sollexis有限公司)(例如,在0°C-20°C范围内操作的Galden HT135)的商标名下所知的全氟聚醚。

[0054] 更概括而言,应了解,在等离子体蚀刻工艺期间,晶片的温度通常受静电夹盘控制。晶片屏蔽环充当对框架及胶带对的热屏障层。然而,取决于给定应用中所采用的特定胶带及蚀刻工艺配方(特别是工艺时间),晶片屏蔽环可不足以阻挡热量传送到该环下方的框架及胶带。在此情况中,胶带和/或框架可变得过热,以致于引发胶带损坏或胶带与框架的层离或者减小胶带与框架之间的黏性。框架与晶片之间的胶带的此类损坏可引发蚀刻工艺失败及导致晶片损坏。胶带与框架的层离是另一关键性切割故障。胶带与框架之间的黏合减小可例如在用于管芯拾取的胶带膨胀操作期间引发胶带从框架剥离。因此,在本文所描述的一或更多个实施例中,在支撑环上施加温度控制以使得支撑环被维持在零摄氏度(0°C)以下,该支撑环的温度可与所围绕夹盘的温度相同(或略高)。在另一实施例中,延伸夹盘直径以便能够固持并冷却整个带框上晶片组件。在任一种情况中,在实施例中,在蚀刻处理期间实施胶带及框架的冷却以免潜在的胶带损坏/劣化。

[0055] 在本发明的另一方面中,本文所描述的一或更多个实施例针对等离子体蚀刻腔室中用于热耗散的主动冷却遮蔽环。实施例可包括等离子体及基于等离子体的工艺、热管理、主动冷却及热耗散。本文所描述的一或更多个实施例针对等离子体腔室中用于热耗散的等离子体热屏蔽件。实施例可包括等离子体及基于等离子体的工艺、热管理、等离子体产生物质的掩模及热耗散。主动冷却遮蔽环或等离子体热屏蔽件中的任一者或两者的应用可包括管芯切单,但其他高功率蚀刻工艺或差异蚀刻化学品可受益于本文所描述的实施例。等离子体热屏蔽件可被独立用作低成本被动组件,或可与主动冷却遮蔽环组合作为热屏蔽件以改良等离子体条件。在后者情况中,等离子体热屏蔽件被有效用作等离子体蚀刻工艺中的掺杂剂源。根据本发明的实施例,在等离子体蚀刻工艺期间连同主动冷却遮蔽环或等离子体热屏蔽件或两者实施冷却同心夹盘环或冷却扩大夹盘。

[0056] 例如,在实施例中,在基板载体上包括晶片或基板的组件经受等离子体蚀刻反应器,而不影响(例如,蚀刻)膜框架(例如,胶带环304)及膜(例如,衬带302)。在一个此类实施例中,在切割工艺的蚀刻部分期间实施主动冷却遮蔽环或等离子体热屏蔽件或两者。在示例中,图5图示根据本发明的实施例的图3的基板载体,该基板载体具有上覆主动冷却遮蔽环或等离子体热屏蔽件或两者,并具有下层冷却同心夹盘环或冷却扩大夹盘。

[0057] 参看图5,在俯视透视图,由主动冷却遮蔽环或等离子体热屏蔽件或两者(所有可选项目在图5中皆表示为500)覆盖包括衬带层302及胶带环或框架304的基板载体300。主动冷却遮蔽环或等离子体热屏蔽件或两者500包括环部分502及内部开口504。在一个实施例中,也由主动冷却遮蔽环或等离子体热屏蔽件或两者500覆盖所支撑晶片或基板306的一部分(特别地,主动冷却遮蔽环或等离子体热屏蔽件或两者500的部分506覆盖晶片或基板506的一部分)。在特定此类实施例中,主动冷却遮蔽环或等离子体热屏蔽件或两者500的部分506覆盖晶片或基板306的最外部分的约1-1.5mm。所覆盖部分可被称为晶片或基板306的排除区,因为将有效地屏蔽此区域免于等离子体工艺。在一个实施例中,在冷却同心夹盘环或冷却扩大夹盘(未示出)上支撑基板载体,同时利用主动冷却遮蔽环或等离子体热屏蔽件或两者覆盖该基板载体。

[0058] 在第一此类方面中,现更详细地描述等离子体腔室中用于热耗散的示例性主动冷却遮蔽环,该主动冷却遮蔽环可如描述与冷却同心夹盘环或冷却扩大夹盘一起使用或可经修改以容纳冷却同心夹盘环或冷却扩大夹盘。在实施例中,主动冷却遮蔽环可经实施以在晶片载体所支撑的晶片的处理期间降低工艺套组遮蔽环的温度。通过降低遮蔽环的温度,可减轻原本将在升高的温度下所发生的管芯切单胶带的损坏或烧毁。例如,已损坏或已烧毁的管芯切单胶带通常导致晶片或基板不可恢复。此外,当带框达到升高的温度时,粘附胶带可变损坏。尽管本文在管芯切单的蚀刻处理期间的胶带及框架保护的情境中进行描述,但是使用主动冷却遮蔽环可提供其他工艺益处,这些其他工艺益处可包括产量增加。例如,可通过放松工艺条件(诸如RF功率减小)以其他方式实现温度降低,但此需要增加工艺时间,而工艺时间的增加对产量不利。

[0059] 图6图示根据本发明的实施例的在等离子体腔室中用于热耗散的主动冷却遮蔽环的斜视图,其中该主动冷却遮蔽环相对于所示蚀刻阴极定位且相对于所示晶片载体设定尺寸。

[0060] 参看图6,用于等离子体腔室的支撑设备600包括定位于主动冷却遮蔽环604下方的阴极602。具有胶带302及框架304且支撑基板的晶片306的晶片或基板支撑件300出于设定尺寸的角度而被图示于主动冷却遮蔽环604上方。此晶片或基板支撑件可如上文关于图3所描述。在使用中,晶片或基板支撑件/载体300实际上被定位于主动冷却遮蔽环604与阴极602之间。支撑设备600也可包括电动化组件614及外壳616,也在图6中描绘。在实施例中,支撑阴极为或包括冷却同心夹盘环/夹盘对或冷却扩大夹盘。

[0061] 再次参看图6,由馈通波纹管606用冷却剂气体或液体供应主动冷却遮蔽环604,冷却剂气体或液体馈送至等离子体暴露的耦合器608中。在实施例中,由三个竖直柱610相对于固定阴极升高或降低主动冷却遮蔽环604,这些竖直柱可经升高以用于将基板或晶片载体300引入至阴极602,且随后经降低以将基板或晶片载体300夹持至适当位置中。三个竖直柱610将主动冷却遮蔽环604粘附至下方圆环605。圆环605经连接至电动化组件614,并提供主动冷却遮蔽环604的竖直运动及定位。

[0062] 基板或晶片载体300可静置在多个衬垫上,这些衬垫位于主动冷却遮蔽环604与阴极602之间。出于说明性目的,描绘一个此类衬垫612。然而,应了解,衬垫612实际上位于主动冷却遮蔽环604下方或底下,且通常使用一个以上的衬垫(诸如四个衬垫)。在实施例中,主动冷却遮蔽环604由铝构成,具有硬阳极化表面或陶瓷涂层。在实施例中,主动冷却遮蔽环604经尺寸设定成在等离子体处理期间从自顶向下视角来看完全覆盖带框304、胶带302及基板306的最外部区域,如关联图5所描述。在一个特定此类实施例中,遮蔽环至晶片的前边缘为约0.050英寸高。

[0063] 图7图示根据本发明的实施例的图6的支撑设备600的等离子体暴露的耦合器608的放大视图。参看图7,将馈通波纹管的终止端描绘为耦接至等离子体暴露的耦合器608。将一对流体连接件720(诸如供应与回流线路对)图示为进入/退出主动冷却遮蔽环604。将等离子体暴露的耦合器608描绘为基本上透明,以便出于说明性目的展现该对流体连接件720。在实施例中,该对流体连接件720提供到内部流体通道的入口/出口,该内部流体通道循环穿过主动冷却遮蔽环604。在一个此类实施例中,该对流体连接件720实现冷却流体或气体在等离子体处理期间穿过主动冷却遮蔽环的连续流动。在特定实施例中,冷却通道基

本上行进环形主动冷却遮蔽环的主体的整个中间圆周。

[0064] 在实施例中,实现此类连续流动的能力可提供对遮蔽环优良的温度控制,从而实现经夹持至主动冷却遮蔽环604的基板载体的带框及胶带的温度控制(例如,减少的温度暴露)。带框及胶带的此保护是对由物理上阻挡等离子体到达基板或晶片载体的带框及胶带所提供的保护的附加。输送流体的遮蔽环(本文被称为主动冷却遮蔽环604)与被动冷却遮蔽环不同,被动冷却遮蔽环可仅仅通过与散热器或冷却腔室壁接触而被冷却。

[0065] 再次参看图7,在实施例中,等离子体暴露的耦合器608是上方主动冷却遮蔽环604与下方馈通波纹管606之间的固定长度连接件。所提供的耦接意欲暴露于等离子体工艺中且允许远离等离子体工艺定位馈通波纹管606。在一个此类实施例中,耦接是馈通波纹管606与主动冷却遮蔽环604之间的真空连接。

[0066] 图8图示根据本发明的实施例的图6的支撑设备600的馈通波纹管606的放大视图。参看图8,馈通波纹管606图示具有外部波纹管830,该外部波纹管具有内部套筒832。提供连接件834用于耦接至腔室主体。馈通波纹管606的下开口可容纳用于冷却主动冷却遮蔽环604的冷却剂的供应与回流线路。在一个实施例中,外部波纹管830为金属,内部套筒832为不锈钢保护性套筒,以容纳供应与回流线路的软管,将连接件834设定尺寸为NW40连接件。

[0067] 在实施例中,馈通波纹管606允许处于真空中的主动冷却遮蔽环604的竖直运动。由电动化组件提供此运动,该电动化组件提供必需的竖直定位。馈通波纹管必须具有对此运动范围的允许量。在一个实施例中,馈通波纹管606在任一端处具有真空连接件,例如,一端处的真空定心O形环密封件及另一端处的O形环密封件。在一个实施例中,馈通波纹管606的内部部分具有保护性掩模以允许流体线路通过而不损害回旋。馈通波纹管606及等离子体暴露的耦合器608一起提供用于冷却剂流体的供应与回流线路的路径。在退出主动冷却遮蔽环604之后和/或在进入主动冷却遮蔽环604之前,可经由流体冷却器(未描绘)传递冷却剂流体。

[0068] 在实施例中,主动冷却遮蔽环604能够耗散大量等离子体热量且在短时间内耗散。在一个此类实施例中,主动冷却遮蔽环604经设计以能够在连续处理基础上将遮蔽环自大于260摄氏度的温度降低至小于120摄氏度。在实施例中,在真空至大气连接可用的情况下,可在腔室中冷却和/或竖直移动内部等离子体暴露的组件。

[0069] 因此,在实施例中,主动冷却遮蔽环组件包括以下主要部件:馈通波纹管、等离子体暴露的耦合件、输送流体的遮蔽环、流体供应与回流线路及流体冷却器。主动冷却遮蔽环也可具有等离子体屏蔽作为主动冷却遮蔽环上方的等离子体保护盖,诸如下文关联图9及图10所描述。主动冷却遮蔽环具有内部流体通道以允许已冷却流体流动且移除等离子体感应的热量。关于尺寸设定,主动冷却遮蔽环可具有相对于常规遮蔽环约八分之一英寸的数量级的增加厚度,以便容纳冷却通道。在实施例中,流体通道经设计以使得在主动冷却遮蔽环发展到将损坏胶带或极大地升高晶片或基板载体的带框温度的温度之前移除此热量。在一个实施例中,流体自身为非RF导电的,以免吸引RF功率离开等离子体或将RF功率吸引至冷却器。在一个实施例中,主动冷却遮蔽环能够承受高RF功率且不遭受等离子体侵蚀。供应与回流流体线路被连接至主动冷却遮蔽环且在等离子体暴露的耦合器及馈通波纹管内部延伸。在一个实施例中,流体线路为非RF导电的且能够运送0摄氏度以下的流体温度。在一个实施例中,相关联的冷却器能够供应0摄氏度以下的流体且具有充足体积容量以迅速耗

散产生的等离子体热量。

[0070] 在实施例中,主动冷却遮蔽环组件经设计以使得无流体漏泄或溅出可被引入到安放组件的工艺腔室中。可移除主动冷却遮蔽环用于组装及维护。部件或套组可经分组为:(1)具有内部屏蔽件的NW40尺寸波纹管,该波纹管包括用于流体线路的真空馈通管及内部屏蔽件;(2)等离子体暴露的耦合器,若需要,该等离子体暴露的耦合器可以是交换套组部分;(3)具有铝核心及阳极化或陶瓷涂层的主动冷却遮蔽环;(4)低温流体线路,包括单体式流体连接件线路。额外硬件可包括特定设计用于主动冷却遮蔽环的二级冷却器。

[0071] 在第二此类方面中,现更详细地描述等离子体腔室中用于热耗散的示例性等离子体热屏蔽件,该等离子体热屏蔽件可如描述与冷却同心夹盘环或冷却扩大夹盘一起使用或可经改良以容纳冷却同心夹盘环或冷却扩大夹盘。等离子体热屏蔽件可与标准遮蔽环一起被用作低成本被动部件,用于使用常规遮蔽环来等离子体蚀刻的基板载体的热保护。另一方面,等离子体热屏蔽件可与上文所描述的主动冷却遮蔽环一起使用。

[0072] 作为示例,图9图示根据本发明的实施例的等离子体热屏蔽件的斜俯视图及斜仰视图。

[0073] 参看图9的俯视图,等离子体热屏蔽件900为具有内部开口901的环形环。在实施例中,等离子体热屏蔽件900经尺寸设定且形状设定成与等离子体处理腔室中所包括的遮蔽环兼容(例如,由嵌套在遮蔽环的顶表面上)。例如,在一个此类实施例中,俯视图所示的等离子体热屏蔽件900的表面是在处理期间暴露于等离子体中的表面。俯视图的表面包括第一上表面区域902,该第一上表面区域经升高到第二上表面区域904上方。由倾斜区域906分别耦接第一上表面902及第二上表面904。

[0074] 参看图9的仰视图,等离子体热屏蔽件900具有在处理期间未暴露于等离子体中的底表面。仰视图的表面包括第一下表面区域912,该第一下表面区域位于第二下表面区域914下方。由倾斜区域916分别耦接第一下表面912及第二下表面914。大体而言,从更高水平的视角,在实施例中,等离子体热屏蔽件900的底表面互换上表面的一般构形。然而,如关联图10所描述,可移除等离子体热屏蔽件900的底表面的一些区域以便热耗散应用。

[0075] 图10图示根据本发明的实施例的安置于遮蔽环1000的顶表面上的图9的等离子体热屏蔽件900的放大倾斜横截面视图。

[0076] 参看图10,将等离子体热屏蔽件900嵌套在遮蔽环1000的上表面上(在实施例中,该遮蔽环为关联图6至图8所描述的主动冷却遮蔽环)。上表面部分902、904及906如上文关于图9所描述。然而,在图10的放大视图中,可看到,等离子体热屏蔽件900的底表面部分912、914及916在其中具有凹陷部分。在图10所示特定示例中,在底表面的区域914与916之间形成第一缝隙或空腔1052,且在底表面的区域912与916之间形成第二缝隙或空腔1052。效果是,留下三个突出部分或接触特征1050,这些突出部分或接触特征升高等离子体热屏蔽件900的底表面中的大部分以离开遮蔽环1000的顶表面。在实施例中,三个突出部分或接触特征1050延伸整个环形长度,以在嵌套于遮蔽环1000的上表面上时提供用于等离子体热屏蔽件900的嵌套支撑。

[0077] 在实施例中,三个突出部分或接触特征1050升高等离子体热屏蔽件900的底表面中的大部分以离开遮蔽环1000的顶表面约十六分之一英寸的高度。因此,第一缝隙或空腔及第二缝隙或空腔1052具有约十六分之一英寸的高度。在一个此类实施例中,表面914及

912的变薄区域具有约十六分之一英寸的剩余厚度。然而,应了解,缝隙或空腔1052的尺寸(作为高度维度)提供自下层遮蔽环间隔热量与在等离子体热屏蔽件中具有足够材料用于吸收热量之间的权衡。因此,可根据应用改变缝隙的高度。此外,突出或接触部分1050之间的凹陷部分的程度及位置经历相同权衡。在一个实施例中,凹陷的等离子体热屏蔽件900的底表面的表面积量大约处于85%–92%范围内。在实施例中,等离子体热屏蔽件900由材料构成,该材料诸如但不限于氧化铝(Al_2O_3)、氧化钇(Y_2O_3)、氮化硅(SiN)或碳化硅(SiC)。在一个实施例中,等离子体热屏蔽件900由工艺敏感材料构成且可充当等离子体工艺的掺杂物源。在实施例中,可将等离子体热屏蔽件900视为用于防止下层遮蔽环与热表面接触或充当下层遮蔽环的热量偏转器的外部装置。

[0078] 在实施例中,等离子体热屏蔽件900及遮蔽环1000被安装为两个独立组件。在一个实施例中,遮蔽环1000表面与等离子体热屏蔽件900阻障层两者皆由氧化铝构成,其中尽管材料为相同的,但等离子体热屏蔽件900提供离开遮蔽环1000的表面的热耗散。在实施例中,等离子体热屏蔽件900阻挡热传递到达与基板或晶片载体的带框接触的遮蔽环1000。在实施例中,关于功率分配,可在遮蔽环1000的最薄区段下方定位胶带自载体敞开的区域。遮蔽环1000的所得最低质量区域可能是温度最高的。因此,在实施例中,等离子体热屏蔽件900经设计以在此区域中相对于等离子体热屏蔽件900的其余部分具有更大的质量及更小的缝隙,即,将更大比例的质量添加至载体的胶带区域。

[0079] 因此,在实施例中,等离子体热屏蔽件横截面上为位于现有遮蔽环的顶部上的陶瓷壳。在一个实施例中,等离子体热屏蔽件的材料是与遮蔽环相同的材料且覆盖遮蔽环的整个顶表面。等离子体热屏蔽件的顶表面与下方遮蔽环可以是共形的或可以不为共形的。在一个实施例中,等离子体热屏蔽件的顶表面为连续表面且底侧已移除材料区域以减小至遮蔽环的传导。在实施例中,等离子体热屏蔽件与遮蔽环之间的触点有关于阻止等离子体进入已移除区域以及安装对准。应了解,已移除区域不可过大以致于在已移除区域中产生大量等离子体。在等离子体环境中,将由等离子体产生的热量传送至等离子体热屏蔽件。等离子体热屏蔽件温度升高,发热,并将热量辐射至下方遮蔽环。然而,仅由来自等离子体热屏蔽件的辐射能而非通过直接等离子体接触来加热遮蔽环。

[0080] 在实施例中,等离子体热屏蔽件为单个被动部件。可修改等离子体热屏蔽件的形状及材料用于不同的工艺条件。在实施例中,等离子体热屏蔽件可用于将遮蔽环的温度降低处于100–120摄氏度范围内的因子。等离子体热屏蔽件也可被用作工艺化学修改的差异材料盖,从而基本上提供掺杂剂源至等离子体工艺。

[0081] 在实施例中,等离子体热屏蔽件与主动冷却遮蔽环一起使用。因此,本文所描述的用于在等离子体处理期间保护基板或晶片载体的可能组件包括主动冷却遮蔽环、其上具有等离子体热屏蔽件的遮蔽环或其上具有等离子体热屏蔽件的主动冷却遮蔽环。在全部三种情境中,从平面视角来看,将具有暴露的内部区域的保护性环形环提供用于载体的等离子体处理。在实施例中,结合上述三种情境之一来实施冷却同心夹盘环或冷却扩大夹盘。

[0082] 在本发明的一方面中,蚀刻反应器经配置以适应基板载体所支撑的薄片或基板的蚀刻。例如,图11图示根据本发明的实施例的蚀刻反应器的横截面视图。

[0083] 参看图11,蚀刻反应器1100包括腔室1102。包括终端受动器1104以便传送基板载体1106进出腔室1102。在腔室1102的上部分定位电感耦合的等离子体(ICP)源1108。腔室

1102进一步配备有节流阀1110及涡轮分子泵1112。蚀刻反应器1100也包括阴极组件1114(例如,包括蚀刻阴极或蚀刻电极的组件)。在一个此类实施例中,阴极组件1114包括冷却同心夹盘环与夹盘对或包括冷却扩大夹盘。

[0084] 在容纳基板或晶片载体1106的区域上方包括遮蔽环组件1115。在实施例中,遮蔽环组件1115包括带框升降装置。在实施例中,遮蔽环组件1115为主动冷却遮蔽环、其上具有等离子体热屏蔽件的遮蔽环或其上具有等离子体热屏蔽件的主动冷却遮蔽环中的一个。可包括遮蔽环致动器1118以便移动遮蔽环。在一个此类实施例中,遮蔽环致动器1118移动单升降环箍,该单升降环箍经耦接至带框升降装置及遮蔽环。也可包括其他致动器,诸如致动器1116。

[0085] 在实施例中,终端受动器1104为机器人叶片(robot blade),该机器人叶片经尺寸设定成搬运基板载体。在一个此类实施例中,机器人终端受动器1104在次大气压(真空)下传送进出蚀刻反应器期间支撑膜框架组件(例如,基板载体300)。终端受动器1104包括在重力辅助下于X-Y-Z轴上支撑基板载体的特征。终端受动器1104也包括相对于处理工具的圆形特征(例如,蚀刻阴极中心或圆形硅晶片中心)校准终端受动器并使其定心的特征。

[0086] 在一个实施例中,阴极组件1114的蚀刻电极经配置以允许RF及与基板载体的热耦合,以实现等离子体蚀刻。在一个此类实施例中,阴极组件包括冷却扩大夹盘。然而,在实施例中,蚀刻电极仅接触基板载体的衬带部分且并未接触基板载体的框架。在一个此类实施例中,阴极组件包括围绕蚀刻电极或夹盘(也可经冷却)的冷却同心夹盘环。

[0087] 在实施例中,遮蔽环1115包括保护性环形环、升降环箍及耦接于升降环箍与保护性环形环之间的三个支撑销,如关联图6所描述。在支撑组件的径向外部的处理体积中安置升降环箍。在轴上以基本上水平的定向安装升降环箍。由致动器驱动该轴以在处理体积中竖直移动升降环箍。三个支撑销自升降环箍向上延伸且将保护性环形环定位在支撑组件上方。三个支撑销可将保护性环形环固定地粘附至升降环箍。在处理体积中利用升降环箍竖直移动保护性环形环,使得可在基板上方的期望距离处定位保护性环形环,和/或外部基板搬运装置(诸如基板载体)可进入保护性环形环与支撑组件之间的处理体积以传送基板。三个支撑销可经安置以允许传送基板载体进出支撑销之间的处理腔室。

[0088] 在另一方面中,图12是表示根据本发明的实施例的切割包括多个集成电路的半导体晶片的方法中的操作的流程图1200。图13A至图13C图示根据本发明的实施例的在执行切割半导体晶片的方法期间的包括多个集成电路的半导体晶片的横截面视图,视图对应于流程图1200的操作。

[0089] 参看流程图1200的可选操作1202,及对应的图13A,在半导体晶片或基板1304上方形成掩模1302。掩模1302由半导体晶片1304的表面上所形成的覆盖保护集成电路1306的层构成。掩模1302也覆盖集成电路1306的各者之间所形成的介入划道1307。由基板载体1314支撑半导体晶片或基板1304。

[0090] 在实施例中,基板载体1314包括由胶带环或框架(未示出)围绕的衬带层,将该层的一部分描绘为图13A中的1314。在一个此类实施例中,在安置于基板载体1314上的管芯附着膜1316上安置半导体晶片或基板1304,如图13A所描绘。

[0091] 根据本发明的实施例,形成掩模1302包括形成一层,该层诸如但不限于光阻层或I线图案化层。例如,诸如光阻层的聚合物层可由以其他方式适用于光刻工艺的材料构成。在

一个实施例中,光阻层由正性光阻材料构成,该正性光阻材料诸如但不限于248纳米(nm)抗蚀剂、193nm抗蚀剂、157nm抗蚀剂、超紫外线(extreme ultra-violet;EUV)抗蚀剂或具有重氮萘醌敏化剂的酚醛树脂基质。在另一实施例中,光阻层由负性光阻材料构成,该负性光阻材料诸如但不限于聚顺异戊二烯及聚乙烯基肉桂酸酯。

[0092] 在另一实施例中,掩模1302为水溶性掩模层。在实施例中,水溶性掩模层在水介质中可轻易溶解。例如,在一个实施例中,水溶性掩模层由可溶于碱性溶液、酸性溶液或去离子水中的一或更多者的材料构成。在实施例中,水溶性掩模层在暴露于加热工艺(诸如大约处于50-160摄氏度范围内的加热)后保持水溶性。例如,在一个实施例中,在暴露于激光及等离子体蚀刻切单工艺中所使用的腔室条件下后,水溶性掩模层可溶于水性溶液中。在一个实施例中,水溶性掩模层由一材料构成,该材料诸如而但不限于聚乙烯醇、聚丙烯酸、葡聚糖、聚甲基丙烯酸、聚乙烯亚胺或聚氧化乙烯。在特定实施例中,水溶性掩模层在水性溶液中具有大约处于1-15微米/分钟范围内的蚀刻速率,且更具体地,具有大约1.3微米/分钟的蚀刻速率。

[0093] 在另一实施例中,掩模1302为紫外线固化掩模层。在实施例中,掩模层具有对紫外光的易感性,该易感性使可紫外线固化层的黏合度减小至少约80%。在一个此类实施例中,紫外线层由聚氯乙烯或丙烯酸基材料构成。在实施例中,可紫外线固化层由具有黏合特性的材料或材料堆叠构成,该黏合特性在暴露于紫外光后减弱。在实施例中,紫外线固化黏合膜对大约365nm紫外光敏感。在一个此类实施例中,此敏感性实现使用LED光来执行固化。

[0094] 在实施例中,半导体晶片或基板1304由材料构成,该材料适合于经受制造工艺,且半导体处理层可适宜地安置在该材料之上。例如,在一个实施例中,半导体晶片或基板1304由基于IV族的材料构成,该材料诸如但不限于结晶硅、锗或硅/锗。在特定实施例中,提供半导体晶片1304包括提供单晶硅基板。在特定实施例中,单晶硅基板掺杂有杂质原子。在另一实施例中,半导体晶片或基板1304由III-V族材料构成,诸如例如在发光二极管(LED)的制造中使用的III-V族材料基板。

[0095] 在实施例中,半导体晶片或基板1304具有约300微米或更小的厚度。例如,在一个实施例中,在将块状单晶硅基板黏附至管芯附着膜1316前,自背侧使该硅基板薄化。可通过背侧研磨工艺执行此薄化操作。在一个实施例中,块状单晶硅基板经薄化至大约处于50-300微米范围内的厚度。应注意,在实施例中,在激光烧蚀及等离子体蚀刻切割工艺之前执行此薄化操作很重要。在实施例中,管芯附着膜1316(或能够将经薄化或薄的晶片或基板黏接至基板载体1314的任何适宜替代物)具有约20微米的厚度。

[0096] 在实施例中,在半导体晶片或基板1304上或中安置有作为集成电路1306的一部分的半导体器件的阵列。此类半导体器件的示例包括但不限于制造在硅基板中且封装在介电层中的内存装置或互补金属氧化物半导体(CMOS)晶体管。多个金属互连件可在这些装置或晶体管上方及在周围的介电层中形成,并可用于电性耦接这些装置或晶体管以形成集成电路1306。制成划道1307的材料可与用于形成集成电路1306的那些材料类似或相同。例如,划道1307可由介电材料层、半导体材料层及金属化材料层构成。在一个实施例中,划道1307中的一或更多者包括类似于集成电路1306的实际装置的测试装置。

[0097] 参看流程图1200的可选操作1204及对应的图13B,利用激光划线工艺图案化掩模1302以提供具有缝隙1310的经图案化掩模1308,从而暴露集成电路1306之间的半导体晶片

或基板1304的区域。在一个此类实施例中,激光划线工艺为基于飞秒的激光划线工艺。使用激光划线工艺移除最初形成于集成电路1306之间的划道1307的材料。根据本发明的实施例,利用激光划线工艺图案化掩模1302包括使沟槽1312部分地形成于半导体晶片1304中位于集成电路1306之间的区域内,如图13B中所描绘。

[0098] 在实施例中,利用激光划线工艺图案化掩模1302包括使用具有飞秒范围内脉冲宽度的激光。特定而言,可使用波长处于可见光谱加紫外线(UV)及红外线(IR)范围(总称为宽带光谱)内的激光来提供基于飞秒的激光,即脉冲宽度在飞秒(10-15秒)数量级的激光。在一个实施例中,烧蚀并非或基本上并非相关于波长,且因此,烧蚀适合于复杂膜,诸如掩模1302的膜、划道1307的膜,及在可能情况下的半导体晶片或基板1304的一部分的膜。

[0099] 图14图示根据本发明的实施例的使用处于飞秒范围内的激光脉冲的效应对比使用较长频率的效应。参看图14,与使用较长脉冲宽度(例如,通孔1400B经皮秒处理后得到损伤1402B,及通孔1400A经纳秒处理后得到显著损伤1402A)相比,通过使用具有处于飞秒范围内的脉冲宽度的激光使热损伤问题得以减缓或消除(例如,通孔1400C经飞秒处理后损伤最小化至无损伤1402C)。在通孔1400C的形成期间,损伤的消除或减缓可归因于缺乏低能重耦(如基于皮秒的激光烧蚀所见)或热平衡(如基于纳秒的激光烧蚀所见),如图14中所描绘。

[0100] 诸如脉冲宽度的激光参数选择对开发成功的激光划线及切割工艺而言可能至关重要,该工艺使碎裂、微裂纹及分层最小化,以便实现干净的激光划线切口。激光划线切口愈干净,可在最终管芯切单时执行的蚀刻工艺便愈光滑。在半导体器件晶片中,通常在晶片上安置不同材料类型(例如,导体、绝缘体、半导体)及厚度的众多功能层。此类材料可包括但不限于诸如聚合物的有机材料、金属或诸如二氧化硅及氮化硅的无机电介质。

[0101] 相比而言,若选择非最佳激光参数,则在涉及例如无机电介质、有机电介质、半导体或金属中的两者或更多者的堆叠结构中,激光烧蚀工艺可引发层离问题。例如,激光穿透高带隙能量电介质(诸如具有约9eV带隙的二氧化硅),而无可测量的吸收。然而,下层金属层或硅层可吸收激光能,从而导致该金属层或硅层的显著汽化。汽化可产生高压而抬起上覆二氧化硅介电层,并潜在地导致严重的层间层离及微裂缝。在实施例中,尽管基于皮秒的激光辐射工艺导致复杂堆叠中的微裂缝及层离,但基于飞秒的激光辐射工艺已经证实不会导致相同材料堆叠的微裂缝或层离。

[0102] 为了能够直接烧蚀介电层,可能需要发生介电材料的离子化以使得它们通过强力吸收光子而与导电材料表现类似。此吸收可阻挡多数激光能,以免其在最终烧蚀介电层之前穿透至下层硅层或金属层。在实施例中,当激光强度高至足以起始无机介电材料中的光子离子化及冲击离子化时,无机电介质的离子化是可行的。

[0103] 根据本发明的实施例,适宜的基于飞秒的激光工艺由高峰值强度(辐射照度)来表征,该高峰值强度通常导致各种材料中的非线性相互作用。在一个此类实施例中,飞秒激光源具有大约处于10飞秒至500飞秒范围内的脉冲宽度,但较佳的脉冲宽度处于100飞秒至400飞秒范围内。在一个实施例中,飞秒激光源具有大约处于1570纳米至200纳米范围内的波长,但优选的波长处于540纳米至250纳米范围内。在一个实施例中,激光及对应的光学系统在工作表面提供大约处于3微米至15微米范围内的焦点,但优选的焦点大约处于5微米至10微米范围内。

[0104] 位于工作表面处的空间光束轮廓可以是单模(高斯)或具有顶帽型轮廓。在实施例中,激光源具有大约处于200kHz至10MHz范围内的脉冲重复率,但优选的脉冲重复率大约处于500kHz至5MHz范围内。在实施例中,激光源在工作表面处输送大约处于0.5uJ至100uJ范围内的脉冲能,但优选的脉冲能大约处于1uJ至5uJ范围内。在实施例中,激光划线工艺以大约处于500mm/sec至5m/sec范围内的速度沿工作件表面执行,但优选的速度大约处于600mm/sec至2m/sec范围内。

[0105] 可仅仅以单次通过执行或以多次通过执行划线工艺,但在实施例中,优选为执行1至2次通过。在一个实施例中,工件中的划线深度处于约5微米至50微米深的范围内,优选地处于10微米至20微米深的范围内。可按给定脉冲重复率以单脉冲列或脉冲串列应用激光。在实施例中,所产生的激光束切口宽度大约处于2微米至15微米范围内,但在硅晶片划线/切割中优选的切口宽度大约处于6微米至10微米范围内,这些切口宽度在装置/硅接口处测得。

[0106] 可选择具有益处及优势的激光参数,诸如提供足够高的激光强度以实现无机电介质(例如,二氧化硅)的离子化及在直接烧蚀无机电介质之前使由下层损坏导致的层离及碎裂最小化。并且,可选择参数以提供具有精确控制烧蚀宽度(例如,切口宽度)及深度的有意义的工艺产量以便工业应用。如上所述,与基于皮秒及基于纳秒的激光烧蚀工艺相比,基于飞秒的激光更适用于提供这些优势。然而,即使在基于飞秒的激光烧蚀光谱中,某些波长可提供比其他波长更佳的效能。例如,在一个实施例中,与基于飞秒的具有更接近红外线范围或处于红外线范围内的波长的激光工艺相比,基于飞秒的具有更接近紫外线范围或处于紫外线范围内的波长的激光工艺提供更清洁的烧蚀工艺。在特定此类实施例中,适合于半导体晶片或基板划线的基于飞秒的激光工艺基于具有约小于或等于540纳米的波长的激光。在特定此类实施例中,使用大约小于或等于400飞秒的脉冲的激光,其具有约小于或等于540纳米的波长。然而,在替代实施例中,使用双激光波长(例如,红外线激光与紫外线激光的组合)。

[0107] 参看流程图1200的可选操作1206,利用保护盖覆盖基板的一部分,例如以在等离子体蚀刻期间保护基板载体1314的胶带及带框。在一个实施例中,保护盖为遮蔽环,该遮蔽环暴露出半导体晶片或基板1304的一部分而非全部,如上文关联图5所描述。

[0108] 参看流程图1200的操作1208,由冷却同心夹盘环与夹盘对或冷却扩大夹盘支撑基板载体1314的带框。在一个此类实施例中,使用冷却同心夹盘环与夹盘对或冷却扩大夹盘(诸如上文与图4关联所描述)支撑遮蔽罩下方的基板载体1314的带框。在一个实施例中,遮蔽罩为低接触遮蔽罩。在一个实施例中,通过使冷却剂穿过冷却同心夹盘环与夹盘对或冷却扩大夹盘流动来从基板及带框下方实现冷却。

[0109] 根据本发明的可选实施例,再次参看操作1206及1208,利用主动冷却遮蔽环或等离子体热屏蔽件或两者覆盖基板载体1314的一部分,为切割工艺的蚀刻部分作准备。在一个实施例中,主动冷却遮蔽环或等离子体热屏蔽件或两者被包括在等离子体蚀刻腔室内。

[0110] 参看流程图1200的操作1210及对应的图13C,随后经由经图案化掩模1308中的缝隙1310来蚀刻半导体晶片或基板1304,以切单集成电路1306。根据本发明的实施例,蚀刻半导体晶片1304包括蚀刻以延伸利用激光划线工艺形成的沟槽1312,及最终蚀刻完全贯穿半导体晶片或基板1304,如图13C中所描绘。

[0111] 在实施例中,蚀刻半导体晶片或基板1304包括使用等离子体蚀刻工艺。在一个实施例中,使用硅通孔型蚀刻工艺。例如,在特定实施例中,对半导体晶片或基板1304的材料蚀刻速率大于25微米/分钟。可在管芯切单工艺的等离子体蚀刻部分中使用超高密度等离子体源。适合于执行此种等离子体蚀刻工艺的工艺腔室示例为Applied Centura® Silvia™蚀刻系统,该系统可购自美国加利福尼亚州森尼维耳市的应用材料公司。Applied Centura® Silvia™蚀刻系统结合电容式及电感式RF耦合,从而提供可能比仅使用电容式耦合,甚至比利用由磁性增强所提供的改良更为独立的离子密度及离子能控制。此组合实现离子密度与离子能的有效解耦,以便实现相对较高密度的等离子体,且该等离子体即使在极低压力下也不具有潜在损伤性的高直流偏压位准。此特征导致工艺窗口格外宽。然而,可使用任何能够蚀刻硅的等离子体蚀刻腔室。在示例性实施例中,使用深层硅蚀刻以蚀刻单晶硅基板或晶片1304,所用蚀刻速率比常规硅蚀刻速率高约40%,同时保持基本上精确的轮廓控制及几乎无扇形的侧壁。在特定实施例中,使用硅通孔型蚀刻工艺。蚀刻工艺基于由反应性气体所产生的等离子体,该反应气体一般为基于氟的气体,例如SF₆、C₄F₈、CHF₃、XeF₂,或任何其他能够以相对较快的蚀刻速率蚀刻硅的反应物气体。然而,在一个实施例中,使用涉及扇形轮廓形成的Bosch工艺。

[0112] 在实施例中,切单可进一步包括管芯附着膜1316的图案化。在一个实施例中,由一种技术图案化管芯附着膜1316,该技术诸如但不限于激光烧蚀、干式(等离子体)蚀刻或湿式蚀刻。在实施例中,在切单工艺的激光划线及等离子体蚀刻部分后依次图案化管芯附着膜1316,以提供管芯附着膜部分1318,如图13C中所描绘。在实施例中,在切单工艺的激光划线及等离子体蚀刻部分后移除经图案化掩模1308,也如图13C中所描绘。可在管芯附着膜1316的图案化之前、期间或之后移除经图案化的掩模1308。在实施例中,半导体晶片或基板1304在被安置在基板载体1314上时被蚀刻。在实施例中,管芯附着膜1316也在被安置在基板载体1314上时被图案化。

[0113] 因此,再次参看流程图1200及图13A至图13C,可由初始激光烧蚀,穿过掩模层、穿过晶片划道(包括金属化材料)且部分进入硅基板来预执行晶片切割。可在飞秒范围内选择激光脉冲宽度。可随后由后续穿透硅深层等离子体蚀刻完成管芯切单。在一个实施例中,在切割工艺的蚀刻部分期间实施冷却同心夹盘环与夹盘对或冷却扩大夹盘。在一个相同或不同实施例中,在切割工艺的蚀刻部分期间实施主动冷却遮蔽环或等离子体热屏蔽件或两者。另外,执行管芯附着膜的已暴露部分的移除来提供切单集成电路,每一集成电路上具有管芯附着膜的一部分。随后可从基板载体1314移除包括管芯附着膜部分的各个集成电路,如图13C中所描绘。在实施例中,从基板载体1314移除切单集成电路以便封装。在一个此类实施例中,经图案化的管芯附着膜1318保留在每一集成电路的背侧上,并被包括在最终封装中。然而,在另一实施例中,在切单工艺期间或在切单工艺后移除经图案化的管芯附着膜1314。

[0114] 再次参看图13A至图13C,可由划道1307分离多个集成电路1306,这些划道具有约10微米或更小的宽度。激光划线方法(诸如基于飞秒的激光划线方法)的使用可实现集成电路布置中的这种压实性,至少部分归因于激光的严格轮廓控制。例如,图15图示根据本发明的实施例的通过使用较窄划道实现的半导体晶片或基板的压实性对比可受限于最小宽度的常规切割。

[0115] 参看图15,由使用较窄划道(例如,在布置1502中约10微米或更小的宽度)实现半导体晶片或基板的压实性对比可受限于最小宽度(例如,在布置1500中约70微米或更大的宽度)的常规切割的压实性。然而,应理解,可未必总是期望将划道宽度减小至10微米以下,即便是由基于飞秒的激光划线工艺实现也如此。例如,一些应用可能需要至少40微米的划道宽度,以便在分离集成电路的划道中制造虚设或测试装置。

[0116] 再次参看图13A至图13C,可在非限制性布置中在半导体晶片或基板1304上排列多个集成电路1306。例如,图16图示允许更致密封装的自由形式集成电路排列。根据本发明的实施例,更致密封装对比栅格对准方法可提供更多的每晶片的管芯。参看图16,与栅格对准方法(例如,半导体晶片或基板1600上的非限制性布置)相比,自由形式布置(例如,半导体晶片或基板1602上的非限制性布置)允许更致密的封装且因此允许更多的每晶片的管芯。在实施例中,激光烧蚀及等离子体蚀刻切单工艺的速度与管芯尺寸、布置或划道数目无关。

[0117] 单个工艺工具可经配置以执行混合式激光烧蚀及等离子体蚀刻切单工艺中的许多或全部操作。例如,图17图示根据本发明的实施例的用于激光及等离子体切割晶片或基板的工具布置的框图。

[0118] 参看图17,工艺工具1700包括工厂接口1702(factory interface;FI),该工厂接口具有与其耦接的多个负载锁1704。群集工具1706与工厂接口1702耦接。群集工具1706包括一或多个等离子体蚀刻腔室,诸如等离子体蚀刻腔室1708。激光划线设备1710也耦接至工厂接口1702。在一个实施例中,工艺工具1700的总占用面积可以是约3500毫米(3.5米)乘以约3800毫米(3.8米),如图17中所描绘。

[0119] 在实施例中,激光划线设备1710容纳基于飞秒的激光器。基于飞秒的激光器可适合于执行混合式激光及蚀刻切单工艺中的激光烧蚀部分,诸如上文所描述的激光烧蚀工艺。在一个实施例中,激光划线设备1700中也包括可移动平台,该可移动平台经配置用于相对于基于飞秒的激光移动晶片或基板(或晶片或基板的载体)。在特定实施例中,基于飞秒的激光也是可移动的。在一个实施例中,激光划线设备1710的总占用面积可以是约2240毫米乘以约1270毫米,如图17中所描绘。

[0120] 在实施例中,一或多个等离子体蚀刻腔室1708经配置用于经由经图案化掩模中的缝隙蚀刻晶片或基板,以切单多个集成电路。在一个此类实施例中,一或多个等离子体蚀刻腔室1708经配置以执行深层硅蚀刻工艺。在特定实施例中,一或多个等离子体蚀刻腔室1708是Applied®Centura Silvia™蚀刻系统,该系统可购自美国加利福尼亚州森尼维耳市的应用材料公司。蚀刻腔室可经特定设计以用于深层硅蚀刻,该蚀刻用于产生切单集成电路,这些集成电路被安放在单晶硅基板或晶片之上或之中。在实施例中,在等离子体蚀刻腔室1708中包括高密度等离子体源以促进高硅蚀刻速率。在实施例中,在工艺工具1700的群集工具1706部分中包括一个以上的蚀刻腔室,以实现切单或切割工艺的高制造产量。根据本发明的实施例,蚀刻腔室中的一或多个者配备有冷却同心夹盘环与夹盘对或冷却扩大夹盘组件。在一个相同或不同实施例中,蚀刻腔室中的一或多个者配备有主动冷却遮蔽环或等离子体热屏蔽件或两者。

[0121] 工厂接口1702可以是适合的大气端口,该端口在外部制造设施与激光划线设备1710及群集工具1706之间建立接口。工厂接口1702可包括具有手臂或叶片的机器人以用于将晶片(或晶片的载体)自存储单元(诸如前开口式晶片盒)移送至群集工具1706或激光划

线设备1710或两者内。

[0122] 群集工具1706可包括适合于执行切单方法中的功能的其他腔室。例如,在一个实施例中,包括沉积室1712,以代替额外蚀刻腔室。沉积室1712可经配置用于在晶片或基板的激光划线前在晶片或基板的装置层上或上方进行掩模沉积。在一个此类实施例中,沉积室1712适合于沉积水溶性掩模层。在另一实施例中,包括润湿/干燥站1714,以代替额外蚀刻腔室。润湿/干燥站可适合于在基板或晶片的激光划线及等离子体蚀刻切单工艺之后清洁残余物及碎片,或移除水溶性掩模。在实施例中,也包括计量站作为工艺工具1700中的部件。

[0123] 本发明的实施例可作为计算机程序产品或软件而提供,该计算机程序产品或软件可包括机器可读取介质,在该介质上存储有指令,该计算机程序产品或软件可用于程序化计算机系统(或其他电子装置)以执行根据本发明的实施例的工艺。在一个实施例中,计算机系统与关联图17所描述的工艺工具1700耦接或与关联图11所描述的蚀刻腔室1100耦接。机器可读取介质包括任何以机器(例如,计算机)可读取的形式存储或传输信息的机构。例如,机器可读取(例如,计算机可读取)介质包括机器(例如,计算机)可读取存储介质(例如,只读存储器(“ROM”)、随机存取内存(“RAM”)、磁盘存储介质、光存储介质、闪存装置等)、机器(例如,计算机)可读取传输介质(电信号、光信号、声信号或其他形式的传播信号(例如,红外线信号、数字信号等))等。

[0124] 图18图示计算机系统1800的示例性形式的机器的图解表示,可在该计算机系统中执行指令集以用于引发该机器执行本文所描述的方法中的任何一或更多者。在替代实施例中,可在局域网络(LAN)、内部网络、外部网络或因特网中将机器连接(例如,经网络连接)至其他机器。该机器可作为主从式网络环境中的服务器或客户端机器操作,或作为同级间(或分布式)网络环境中的同级机器操作。该机器可以是个人计算机(PC)、平板PC、机顶盒(STB)、个人数字助理(PDA)、蜂窝式电话、网络设备、服务器、网络路由器、交换机或网桥,或任何能够执行指令集(按顺序或以其他方式)的机器,该指令集指定将由彼机器所采取的动作。进一步地,尽管仅图示单个机器,但术语“机器”也应被视为包括机器(例如,计算机)的任何集合,这些机器单独或共同执行一个指令集(或多个指令集)以执行本文所描述的方法中的任何一或更多者。

[0125] 示例性计算机系统1800包括处理器1802、主存储器1804(例如,只读存储器(ROM)、闪存、诸如同步DRAM(SDRAM)或Rambus DRAM(RDRAM)的动态随机存取存储器(DRAM)等)、静态存储器1806(例如,闪存、静态随机存取存储器(static random access memory;SRAM)等)及二级存储器1818(例如,数据存储装置),上述各者经由总线1830与彼此通讯。

[0126] 处理器1802表示一或更多个通用处理装置,诸如微处理器、中央处理单元或类似者。更具体地,处理器1802可以是复杂指令集计算(CISC)微处理器、精简指令集计算(RISC)微处理器、超长指令字(VLIW)微处理器、实施其他指令集的处理器或实施指令集组合的处理器。处理器1802也可以是一或更多个专用处理装置,诸如专用集成电路(ASIC)、现场可程序化门阵列(FPGA)、数字信号处理器(DSP)、网络处理器或类似者。处理器1802经配置以执行处理逻辑1826,该处理逻辑用于执行本文所描述的操作。

[0127] 计算机系统1800可进一步包括网络接口装置1808。计算机系统1800也可包括视频显示单元1810(例如,液晶显示器(LCD)、发光二极管显示器(LED)或阴极射线管(CRT))、文

数字输入设备1812(例如,键盘)、光标控制装置1814(例如,鼠标)及信号产生装置1816(例如,扬声器)。

[0128] 二级存储器1818可包括机器可存取存储介质(或更具体地,计算机可读取存储介质)1832,在该介质上存储有一或多个指令集(例如,软件1822),这些指令集具体实现本文所描述的方法或功能中的任何一或多个者。软件1822也可完全或至少部分位于主存储器1804内和/或在由计算机系统1800执行该软件期间位于处理器1802内,主存储器1804及处理器1802也组成机器可读取存储介质。可经由网络接口装置1808在网络1820上进一步传输或接收软件1822。

[0129] 尽管机器可存取存储介质1832在示例性实施例中展示为单个介质,但术语“机器可读取存储介质”应被视为包括存储一或多个指令集的单个介质或多个介质(例如,集中式或分布式数据库,和/或关联高速缓存及服务器)。术语“机器可读取存储介质”也应被视为包括任何能够存储或编码指令集的介质,该指令集由该机器执行,并引发该机器执行本发明的方法中的任何一或多个者。因此,术语“机器可读取存储介质”应被视为包括但不限于于固态存储器及光学介质与磁性介质。

[0130] 根据本发明的实施例,机器可存取存储介质上存储有指令,这些指令引发数据处理系统执行切割具有多个集成电路的半导体晶片的方法。该方法涉及将基板载体所支撑的基板引入等离子体蚀刻腔室中。基板上具有经图案化的掩模,该经图案化的掩模覆盖集成电路并暴露基板的划道。基板载体具有背侧。该方法也涉及在等离子体蚀刻腔室的夹盘上支撑基板载体的背侧的至少一部分。该方法也涉及冷却基板载体的基本上全部的背侧,该冷却涉及由夹盘冷却基板载体的背侧的至少第一部分。该方法也涉及在执行冷却基板载体的基本上全部的背侧的同时经由划道等离子体蚀刻基板以切单集成电路。

[0131] 因此,本发明已揭示切割半导体晶片的方法及设备,每一晶片具有多个集成电路。

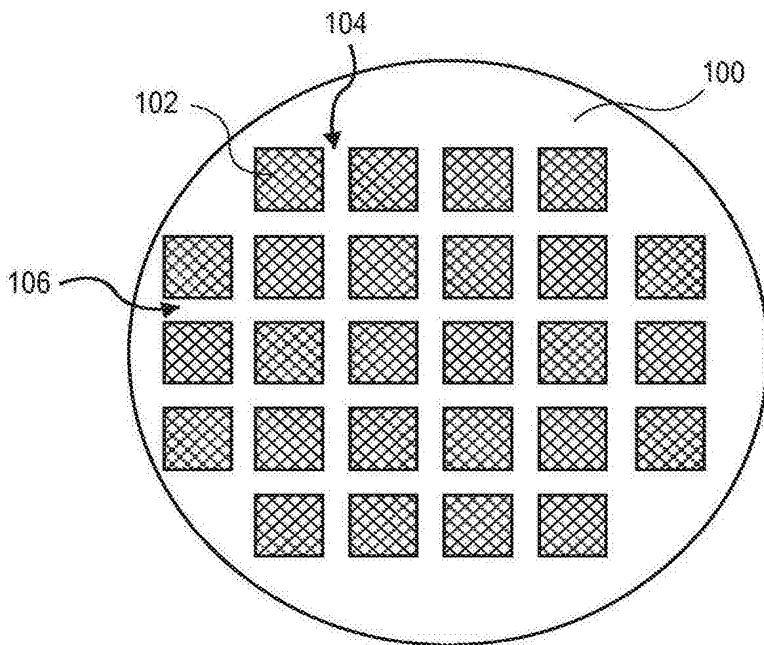


图1

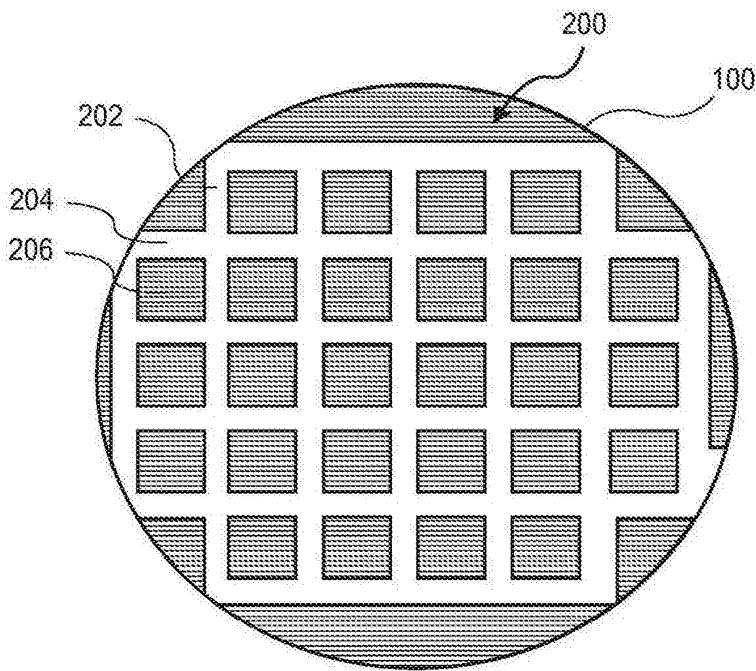


图2

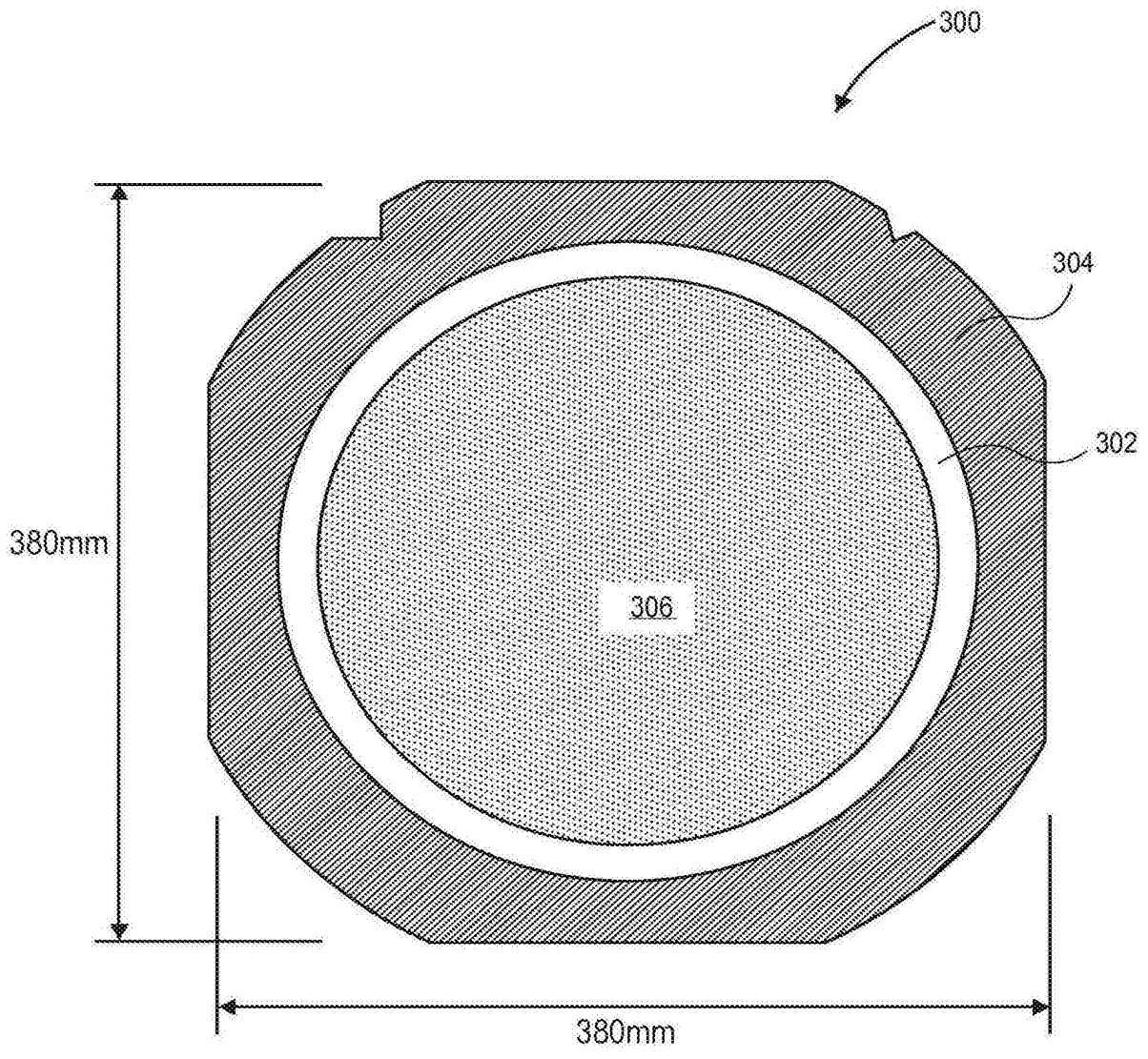


图3

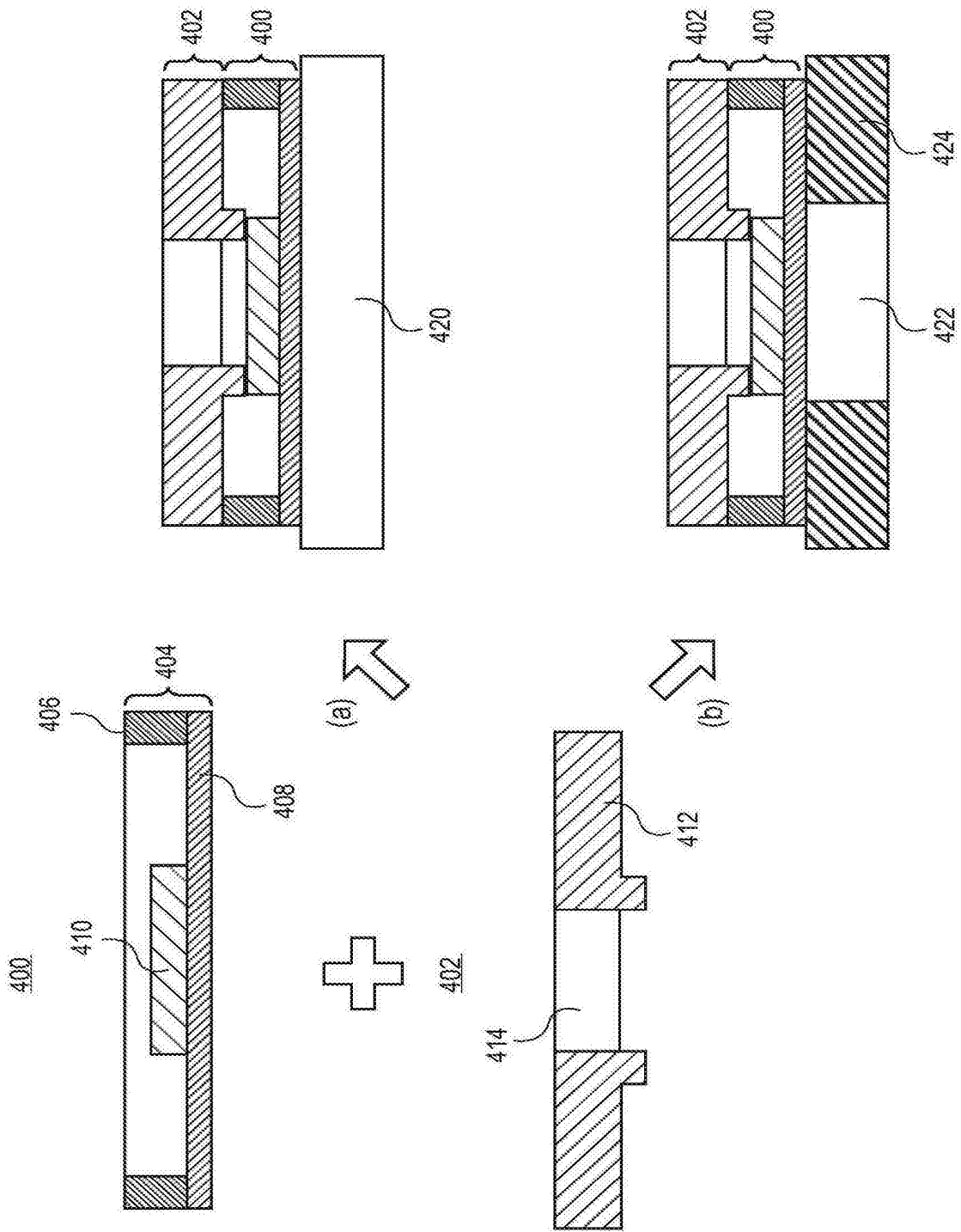


图4

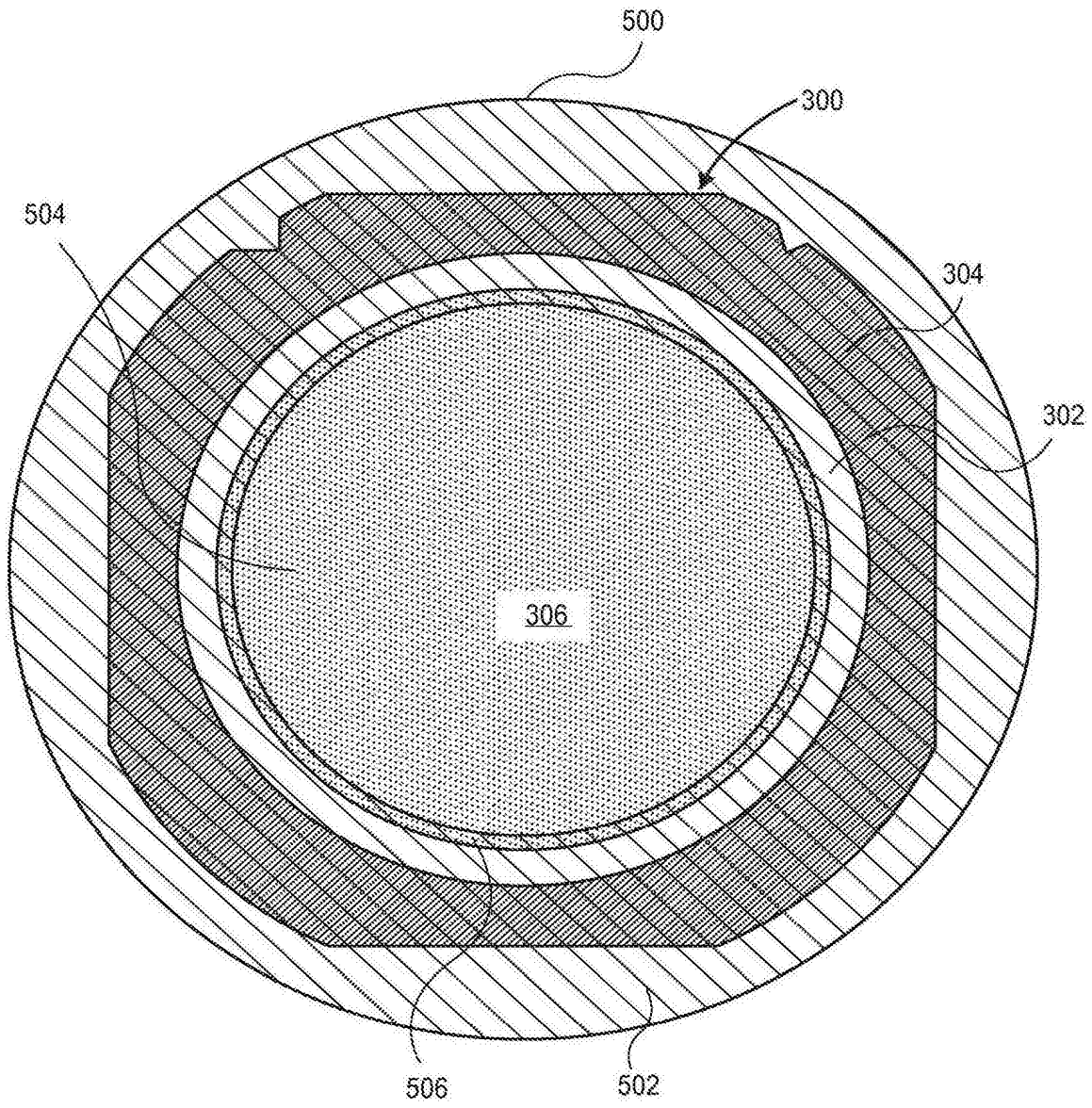


图5

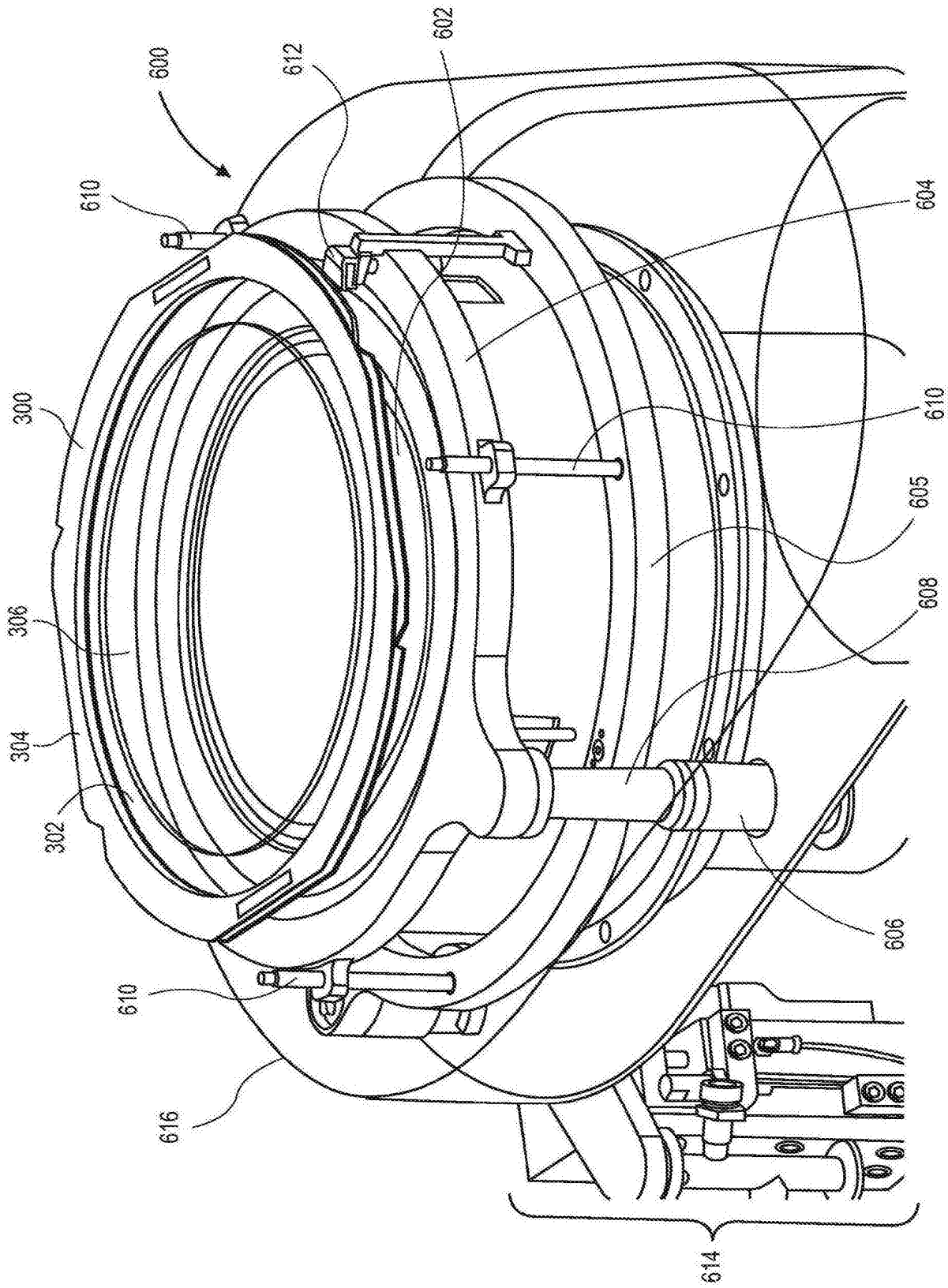


图6

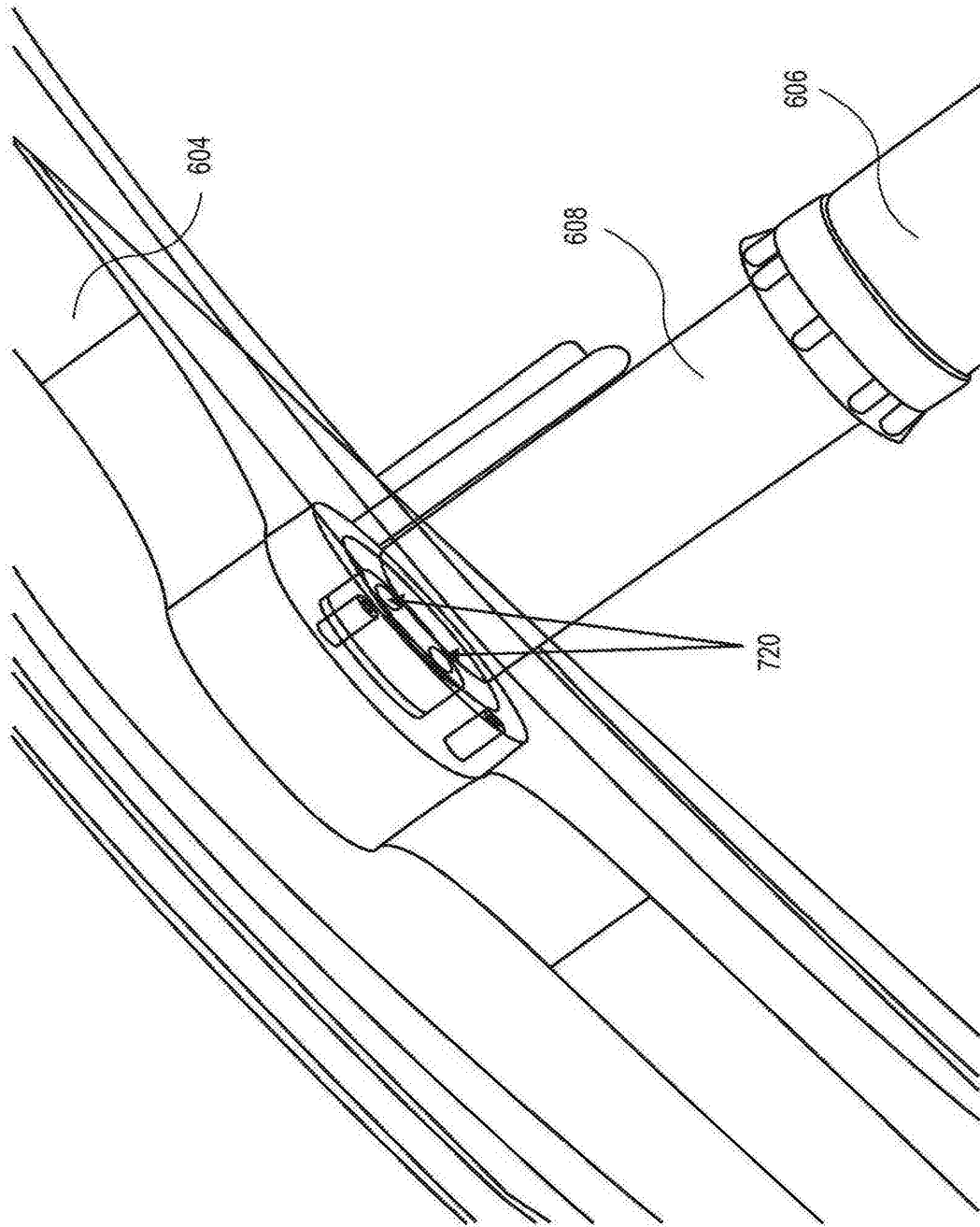


图7

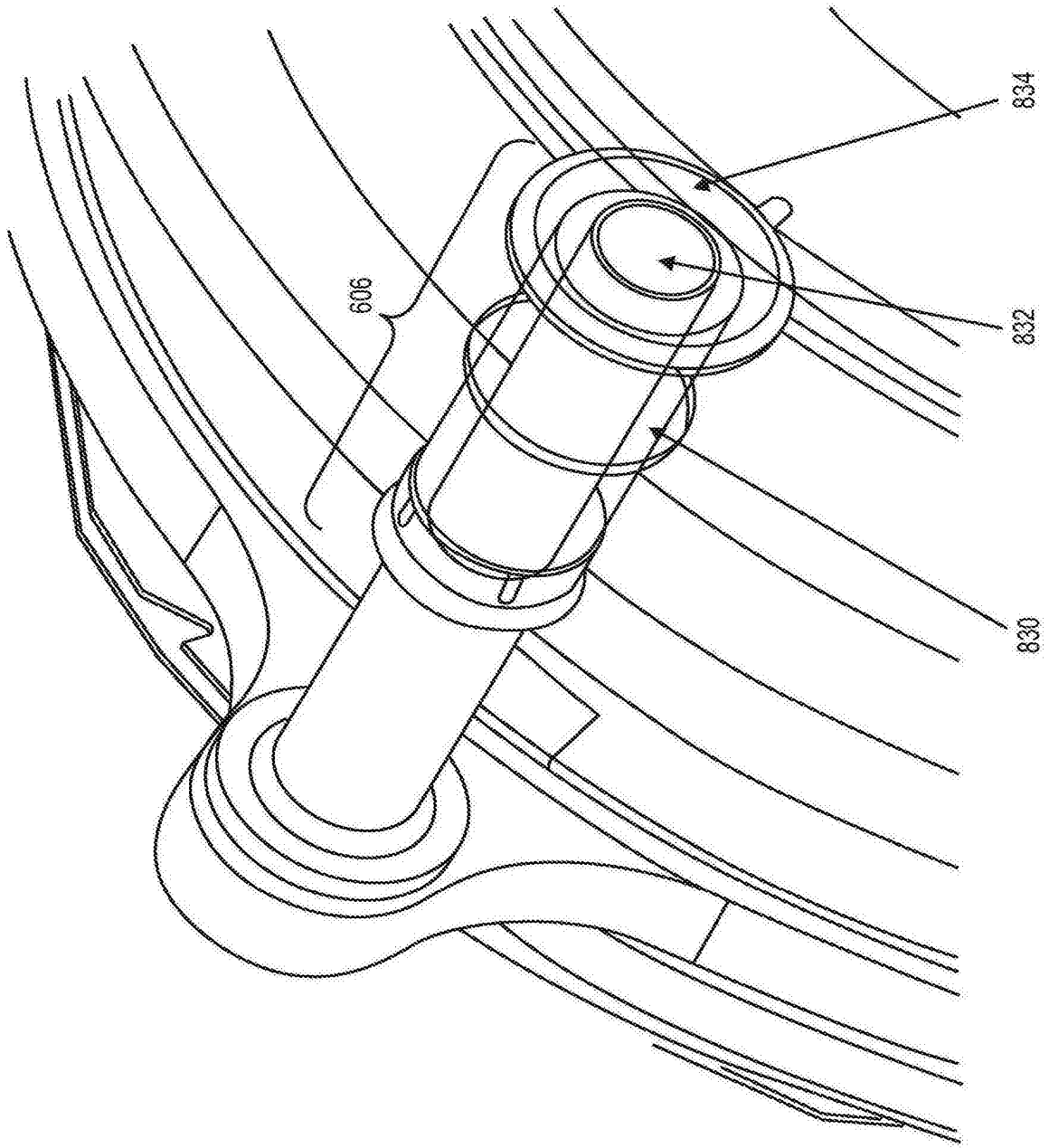


图8

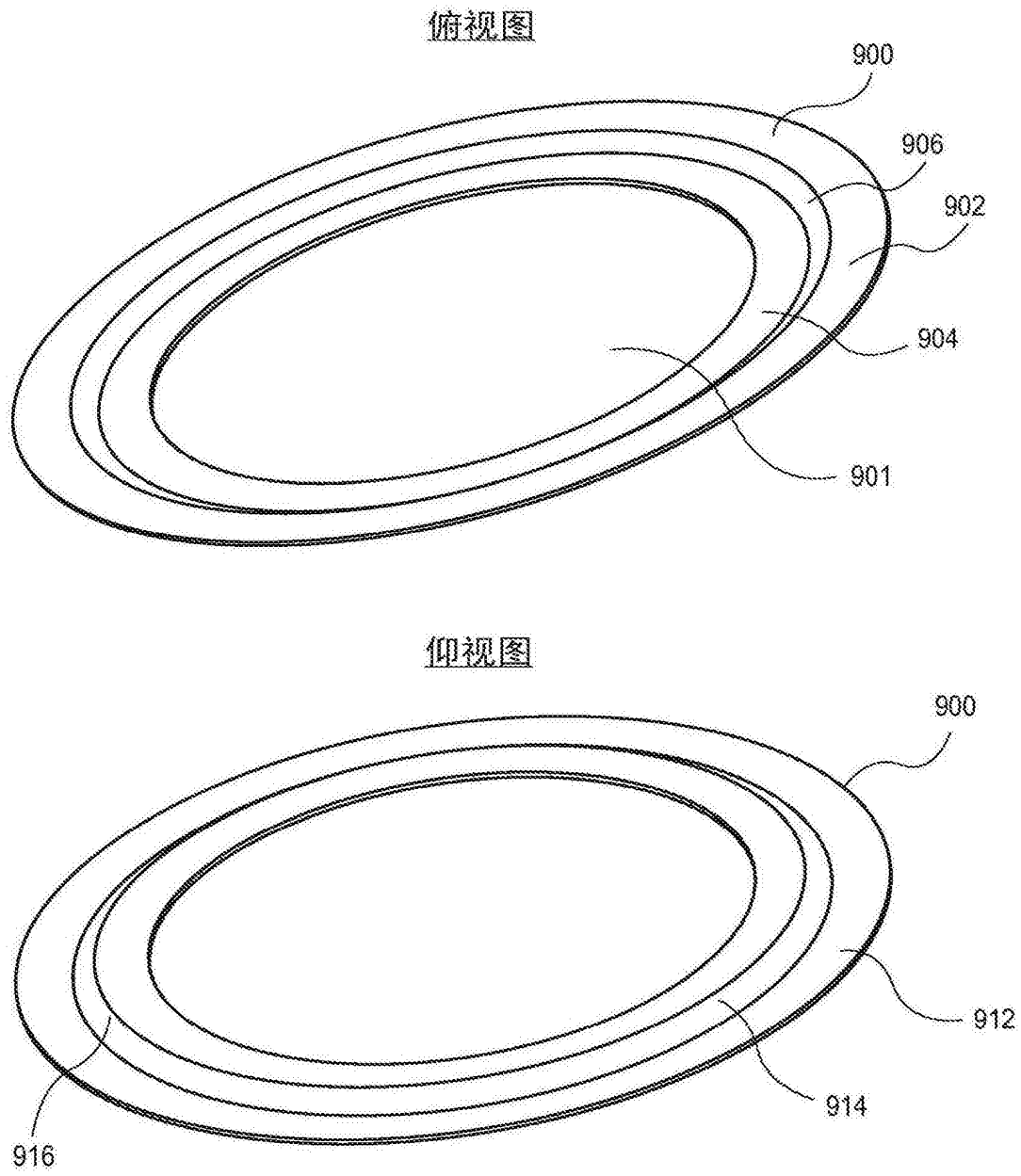


图9

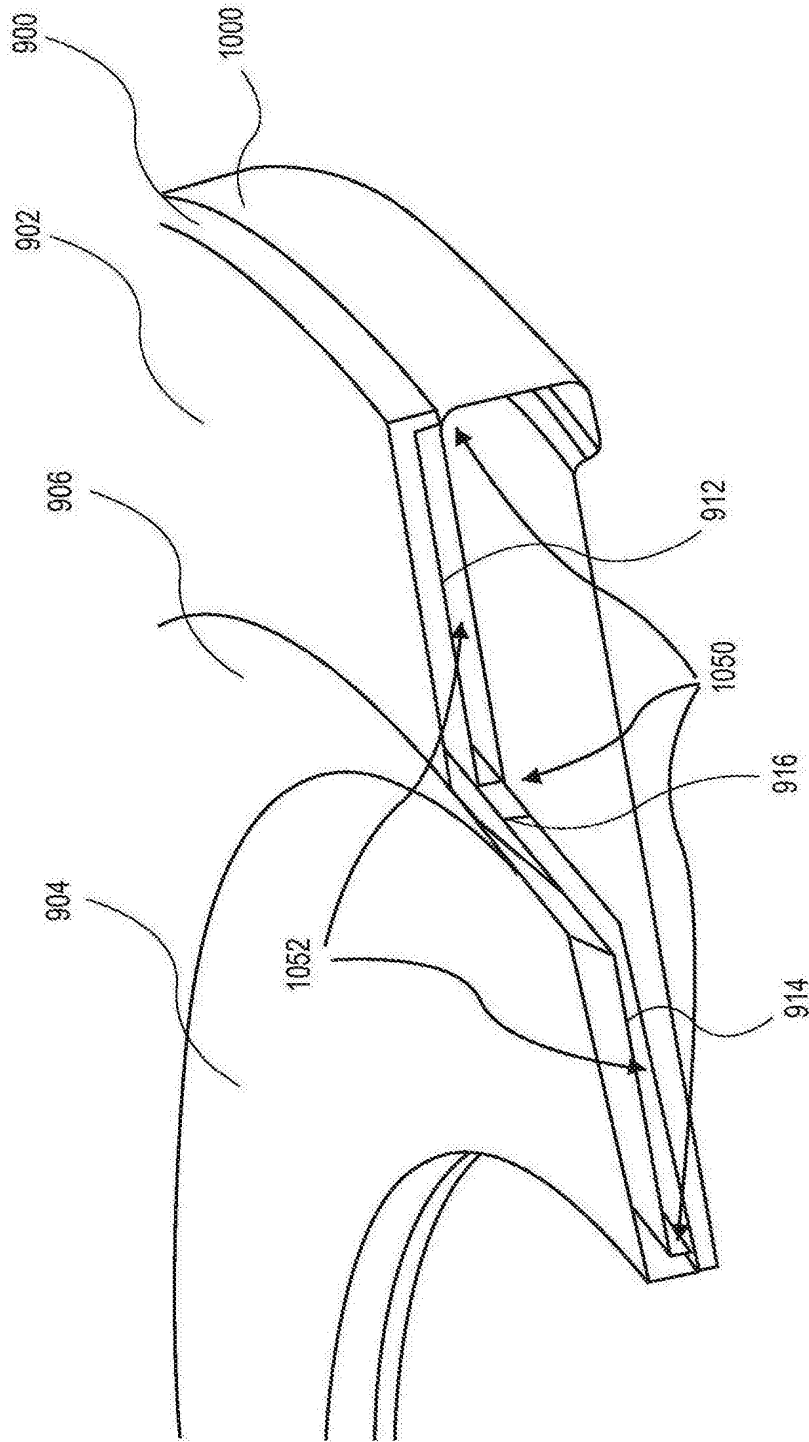


图10

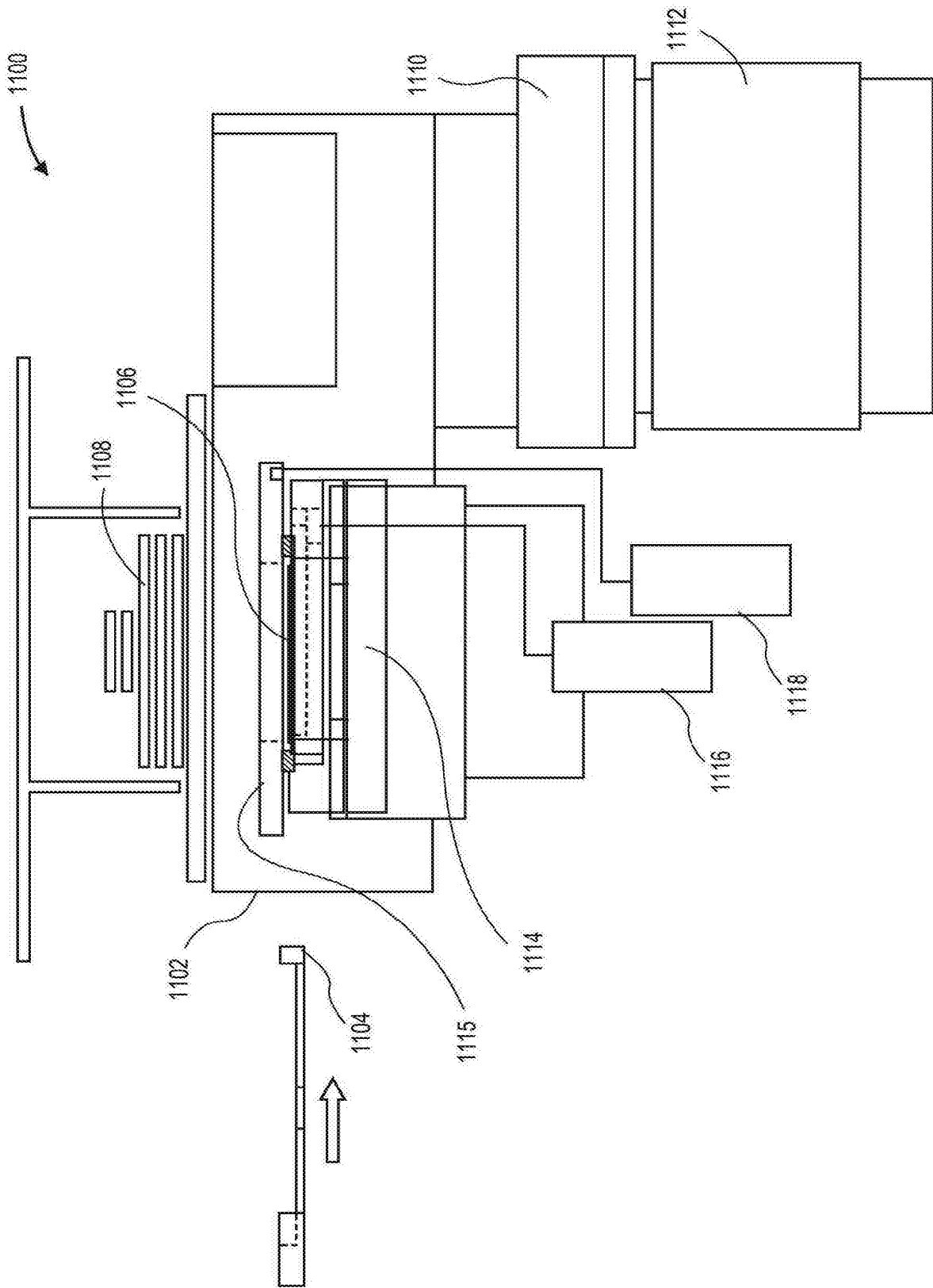


图11

流程图 1200

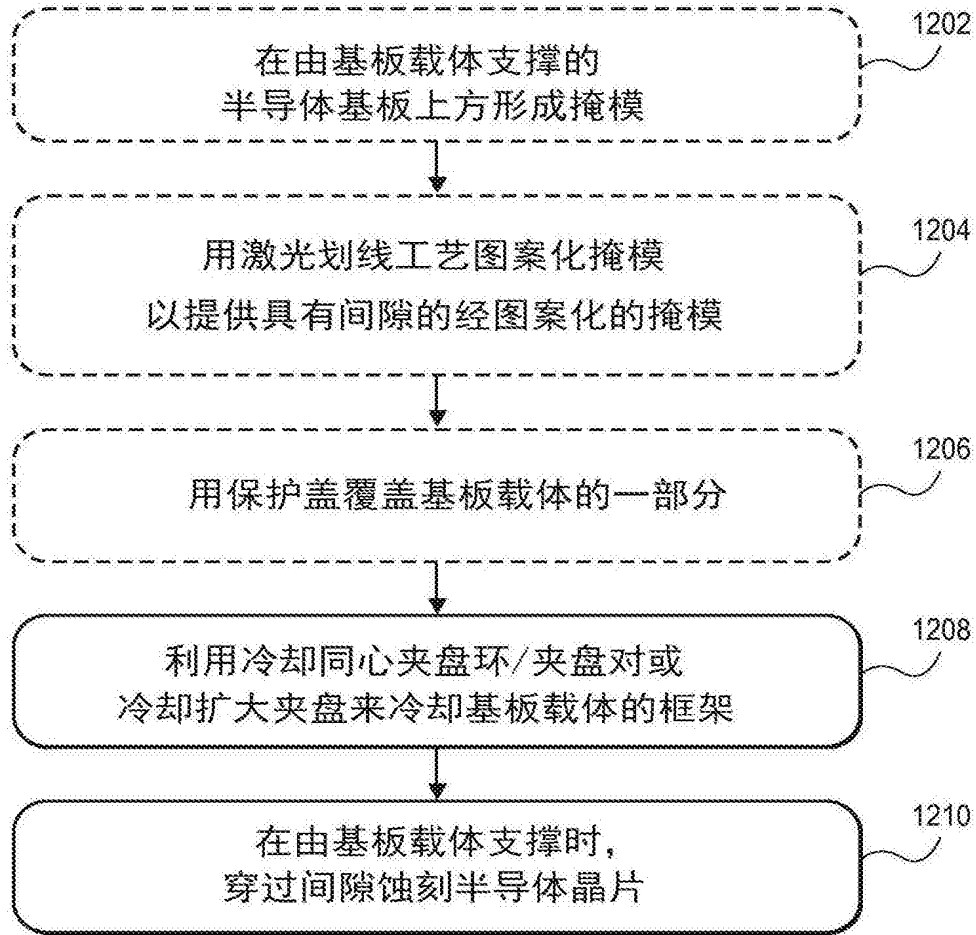


图12

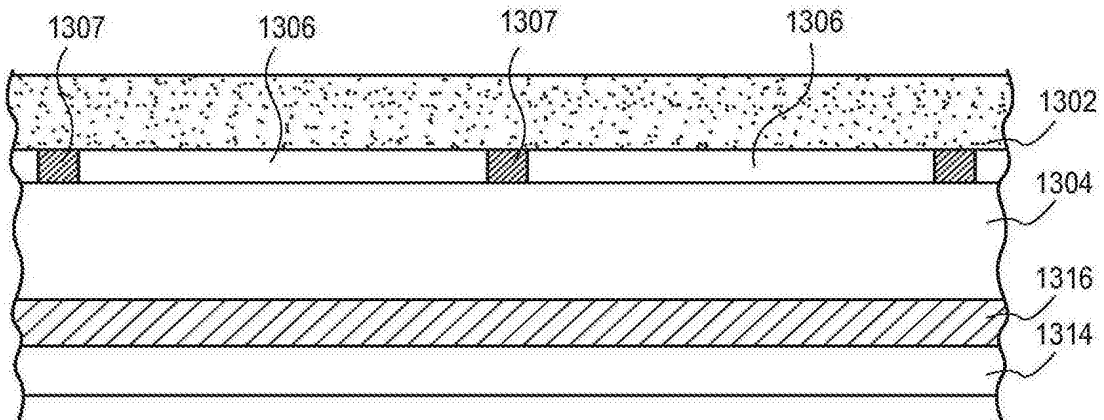


图13A

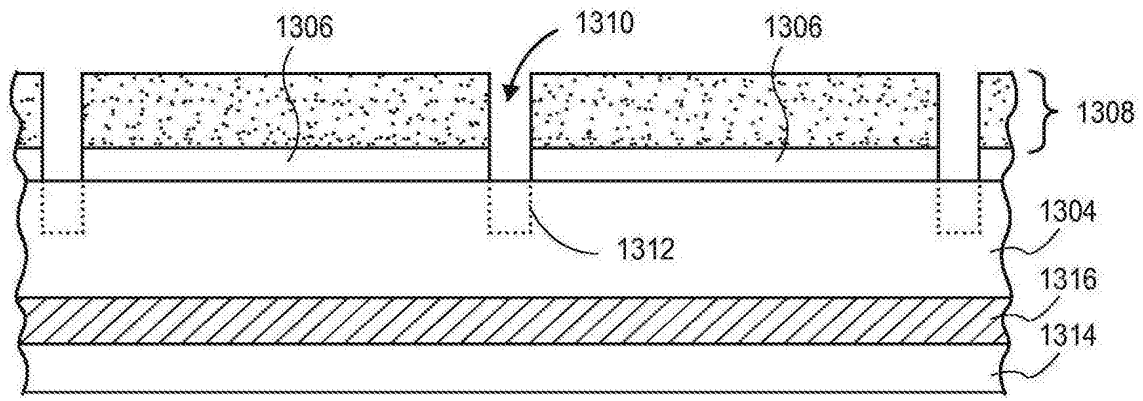


图13B

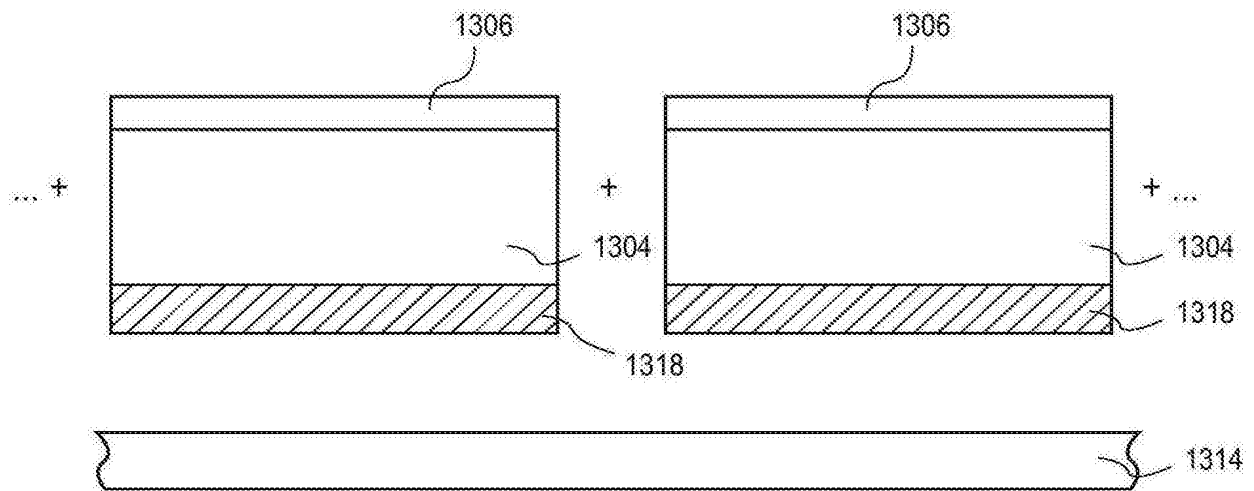


图13C

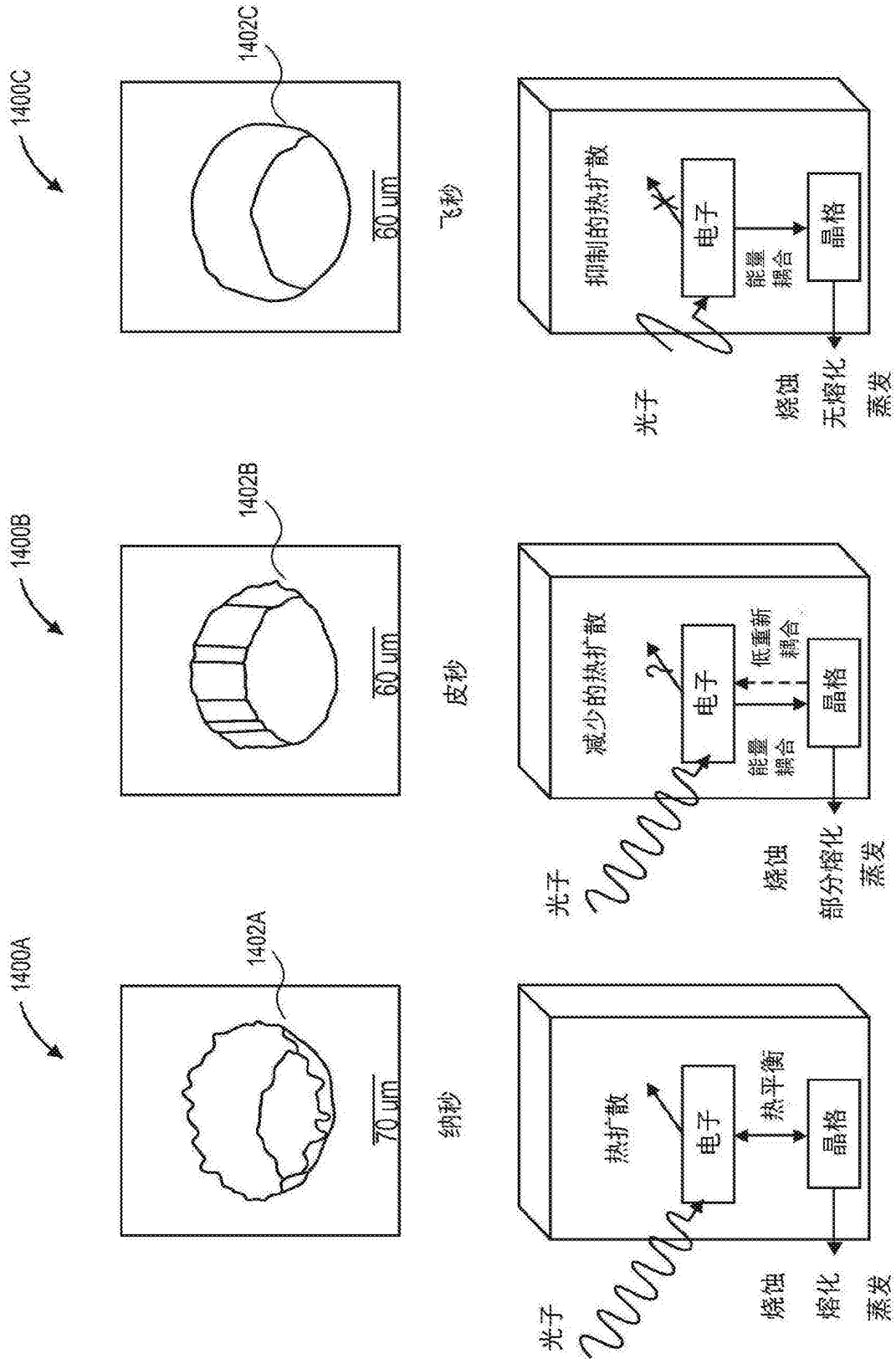


图14

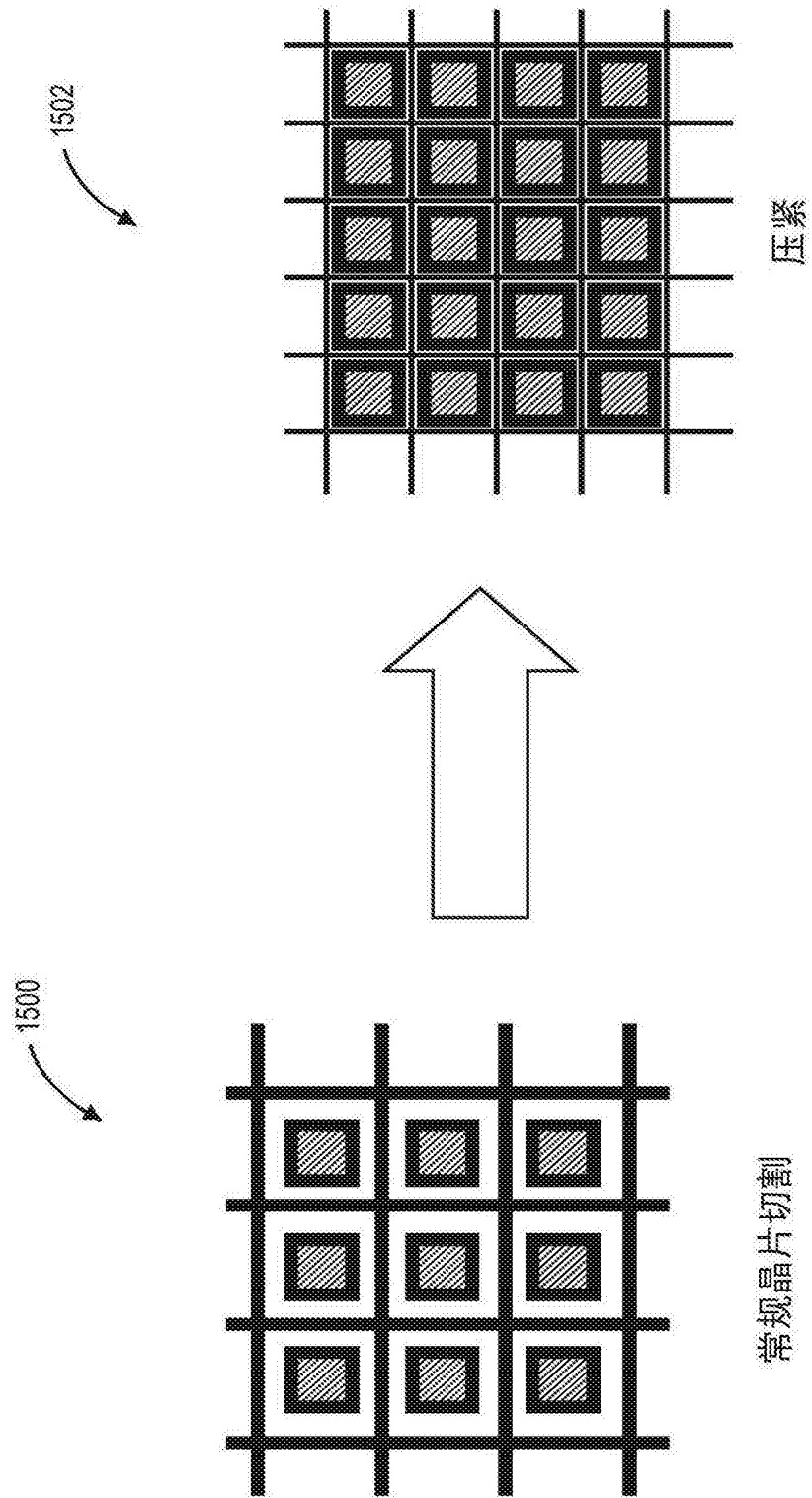


图15

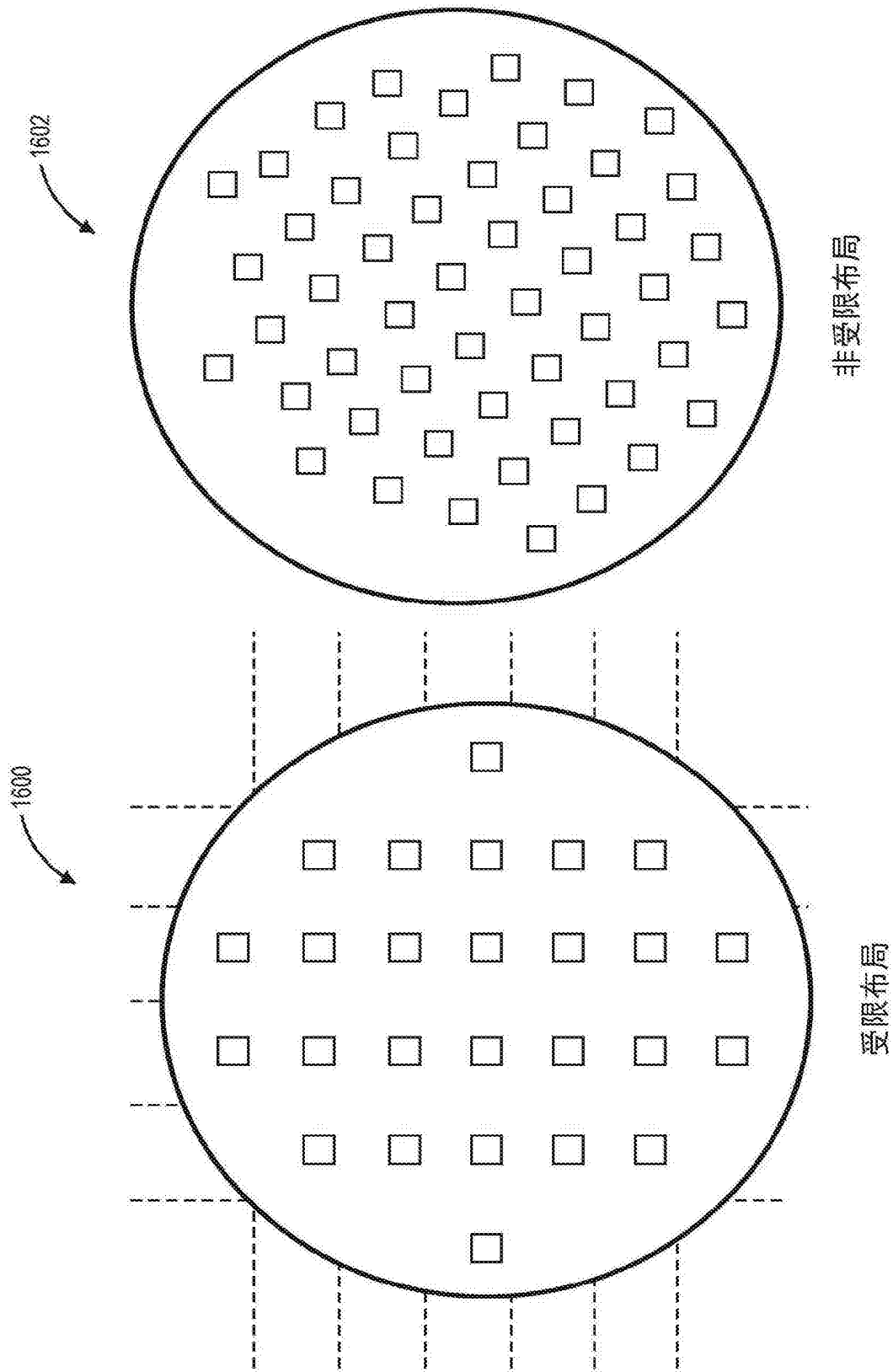


图16

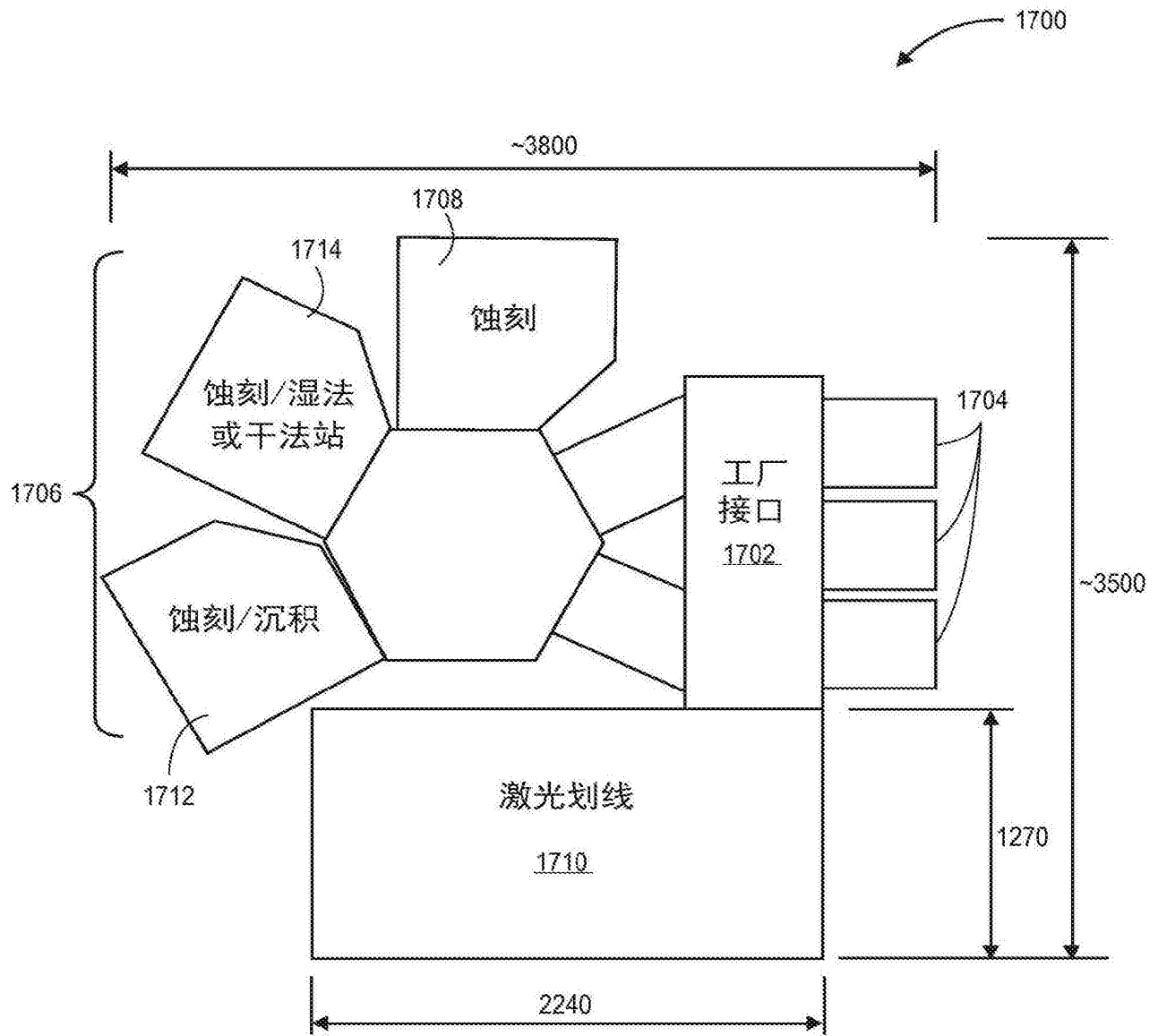


图17

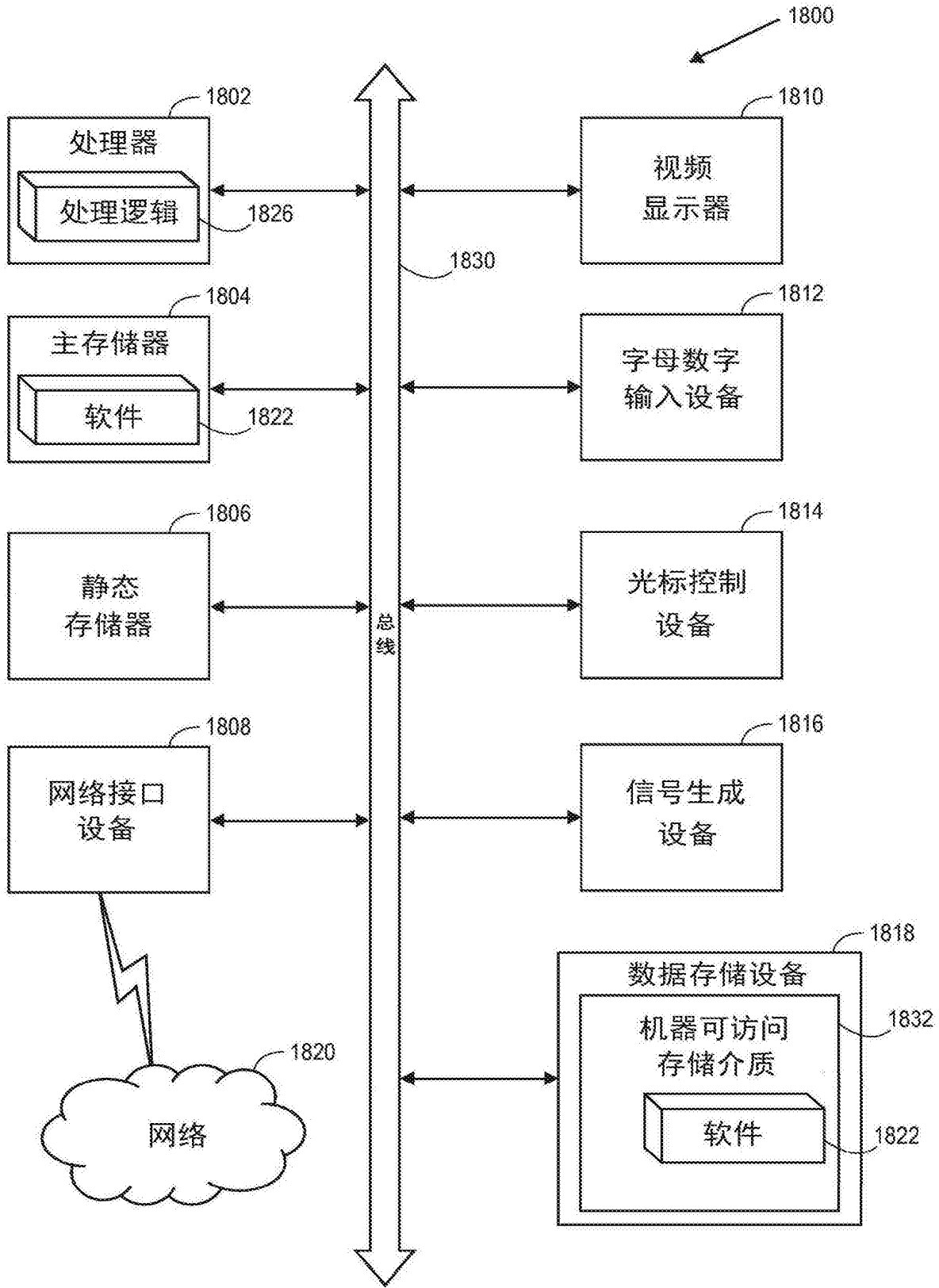


图18