



(12)发明专利申请

(10)申请公布号 CN 109314104 A

(43)申请公布日 2019.02.05

(21)申请号 201780035273.1

(74)专利代理机构 北京律盟知识产权代理有限公司 11287

(22)申请日 2017.06.21

代理人 王龙

(30)优先权数据

62/356,929 2016.06.30 US

15/238,382 2016.08.16 US

(51)Int.Cl.

H01L 25/07(2006.01)

H01L 23/36(2006.01)

H01L 23/538(2006.01)

H01L 23/485(2006.01)

(85)PCT国际申请进入国家阶段日

2018.12.06

(86)PCT国际申请的申请数据

PCT/US2017/038486 2017.06.21

(87)PCT国际申请的公布数据

W02018/005189 EN 2018.01.04

(71)申请人 美光科技公司

地址 美国爱达荷州

(72)发明人 M·门罗

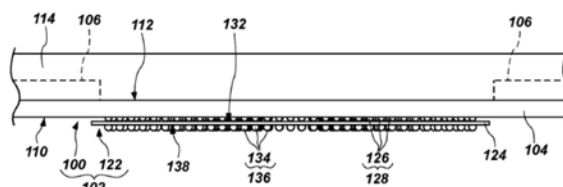
权利要求书2页 说明书6页 附图4页

(54)发明名称

包含一或多个窗的堆叠式封装半导体装置组合件及相关方法及封装

(57)摘要

用于并入半导体装置组合件的半导体装置封装可包含衬底,所述衬底包含定位在所述衬底的下表面上的导电元件的阵列。窗可从所述衬底的所述下表面到所述衬底的上表面延伸穿过所述衬底。所述导电元件的阵列可至少部分侧向围绕所述窗的周边,且所述衬底可侧向延伸超过所述导电元件的阵列。半导体装置可围绕所述导电元件的阵列的周边支撑在所述衬底的所述上表面上。所述半导体装置可通过从所述半导体装置朝向所述窗的延伸的布线元件而电连接到所述阵列的至少一些所述导电元件。



1. 一种半导体装置组合件,其包括:

第一半导体装置,其定位在第一衬底上,热管理结构支撑在所述第一半导体装置的上表面上,且导电元件的第一阵列定位在所述第一衬底的上表面上;及

第二衬底,其上覆所述第一衬底,所述第二衬底具有定位在所述第二衬底的下表面上的导电元件的第二阵列,所述第二阵列的至少一些所述导电元件电连接到所述第一阵列的对应导电元件;

其中所述第二衬底包括从所述第二衬底的所述下表面延伸到上表面的窗,其中所述热管理结构的至少一部分定位在所述窗内,且其中所述第二衬底经配置以支撑围绕所述窗的周边的额外半导体装置,所述第一衬底的外周边的至少一部分耦合到界定所述窗的所述周边的所述第二衬底的内部分。

2. 根据权利要求1所述的半导体装置组合件,其中所述第一半导体装置至少部分延伸穿过所述窗,使得与所述第二衬底的所述下表面共面的平面与所述第一半导体装置相交。

3. 根据权利要求2所述的半导体装置组合件,其中与所述第一半导体装置的上表面共面的另一平面与所述第二衬底相交。

4. 根据权利要求1所述的半导体装置组合件,其中所述热管理结构从所述第二衬底突出。

5. 根据权利要求1所述的半导体装置组合件,其中所述第二衬底的所述下表面的表面积大于所述第一衬底的所述上表面的表面积。

6. 根据权利要求5所述的半导体装置组合件,其进一步包括支撑在侧向超过所述第一衬底的周边的所述第二衬底的所述下表面上的至少一个电组件,所述至少一个电组件的厚度小于所述第一衬底的高度。

7. 根据权利要求1的半导体装置组合件,其中所述导电元件的第二阵列定位成侧向邻近所述窗,且进一步包括支撑在所述第二衬底的所述上表面上的所述额外半导体装置,所述第二衬底经定位成侧向地邻近于其与所述窗相对的一侧上的所述导电元件的阵列。

8. 根据权利要求7所述的半导体装置组合件,其中所述额外半导体装置经配置以定位成接近所述第二衬底的周边。

9. 根据权利要求8所述的半导体装置组合件,其中所述额外半导体装置经配置以通过从接近所述第二衬底的所述周边的所述半导体装置朝向所述窗延伸的布线元件而经操作地连接到所述第二阵列的至少一些所述导电元件。

10. 根据权利要求1到9中任一权利要求所述的半导体装置组合件,其中所述窗定位成接近所述第二衬底的几何中心。

11. 根据权利要求1到10中任一权利要求所述的半导体装置组合件,其中所述第二衬底的周边展现与所述第一衬底的周边相同的形状。

12. 根据权利要求1到11中任一权利要求所述的半导体装置组合件,其中所述窗由所述第二衬底的材料侧向围绕。

13. 根据权利要求1到12中任一权利要求所述的半导体装置组合件,其进一步包括在所述第二衬底的几何中心的远端从所述第一衬底下方延伸到所述第二衬底的结构支撑件。

14. 根据权利要求1到13中任一权利要求所述的半导体装置组合件,其中所述第一阵列及所述第二阵列的所述导电元件分别包括从所述第二衬底直接延伸到至少大体上与所述

第一衬底的所述上表面共面的导电材料的对应垫的导电材料的球。

15. 一种半导体装置封装的组件,其包括:

第一半导体装置封装,其包括:

第一衬底,其包括定位在所述第一衬底的上表面上的导电元件的第一阵列;

第一半导体装置,其在所述第一衬底的所述上表面上;及

热管理结构,其支撑在所述第一半导体装置的上表面上;及

第二半导体装置封装,其支撑在所述第一半导体装置封装上,其包括:

第二衬底,其包括定位在所述第二衬底的下表面上的导电元件的第二阵列;

窗,其从所述第二衬底的所述下表面到上表面延伸穿过所述第二衬底,导电元件的所述第二阵列至少部分侧向围绕所述窗的周边,所述第二衬底侧向延伸超过导电元件的所述第二阵列;及

额外半导体装置,其围绕导电元件的所述阵列的周边支撑在所述第二衬底的所述上表面上,所述额外半导体装置通过从所述额外半导体装置朝向所述窗的延伸的布线元件而电连接到所述第二阵列的至少一些所述导电元件;

其中所述热管理结构的至少一部分定位在所述窗内,且其中所述第一衬底的外周边的至少一部分耦合到界定所述窗的所述周边的所述第二衬底的内部分。

16. 一种制造半导体装置组件的方法,其包括:

至少部分穿过上覆第一衬底的第二衬底中的窗来定位支撑在所述第一衬底的上表面上的处理单元;

至少部分穿过所述窗来定位支撑在所述处理单元的上表面上的热管理结构;及

将定位在所述第一衬底的所述上表面上的导电元件的第一阵列的至少一些导电元件与定位在所述第二衬底的下表面上的导电元件的第二阵列的至少一些对应导电元件电连接。

17. 根据权利要求16所述的方法,其中至少部分穿过所述第二衬底的所述窗来定位所述处理单元包括侧向超过所述第一衬底的周边来定位所述第二衬底的所述下表面的表面积至少一部分。

18. 根据权利要求17所述的方法,其中至少部分穿过所述第二衬底的所述窗来定位所述处理单元包括定位支撑在侧向超过所述第一衬底的所述周边的所述第二衬底的所述下表面上的至少一个电组件。

19. 根据权利要求16到18中任一权利要求所述的方法,其进一步包括将所述第二衬底的在所述第二衬底的几何中心的远端的一部分支撑在从所述第一衬底下方延伸的结构支撑件上。

20. 根据权利要求16到19中任一权利要求所述的方法,其中将所述第一阵列的至少一些导电元件与所述第二阵列的至少一些对应导电元件电连接包括使从所述第二衬底直接延伸到至少大体上与所述第一衬底的所述上表面共面的导电材料的对应垫的导电材料的球流动以将所述球电连接到所述垫。

包含一或多个窗的堆叠式封装半导体装置组合件及相关方法及封装

[0001] 优先权主张

[0002] 本申请案主张2016年8月16日申请的序列号为15/238,382的美国专利申请案及2016年6月30日申请的序列号为62/356,929的美国临时专利申请案的申请日期的权益,所述申请案中的每一者的全部内容特此以引用的方式并入本文中。

技术领域

[0003] 本发明大体上涉及采用堆叠式封装 (POP) 配置的半导体装置组合件。更特定来说,所揭示实施例涉及采用加窗POP配置的半导体装置组合件及相关方法及封装。

背景技术

[0004] 当可操作地彼此连接个别半导体装置时,可采用堆叠式封装 (POP) 配置。可通过将其上具有第一半导体装置的第一衬底放置于其上具有第二半导体装置的第二衬底的顶部上方且将第一衬底电及机械固定到第二衬底来组装POP配置。一些此类POP配置可采用加窗衬底。举例来说,金姆 (Kim) 等人发表于2014年9月18日的第2014/0264946号美国专利公开案(其揭示的全部内容以引用的方式并入本文中) 揭示其中所述第一半导体装置定位在延伸穿过所述第二衬底的窗内,且所述第二半导体装置堆叠于所述第一半导体装置的顶部上并通过引线接合电连接到所述第二衬底的加窗POP配置。

附图说明

[0005] 尽管本发明以权利要求书结束,所述权利要求书经特别指出且清楚地主张特定实施例,但从结合附图阅读的下列描述,可更易于确定本发明的范围内的实施例的多种特征及优点,其中:

[0006] 图1是用于并入半导体装置组合件的半导体装置封装的俯视透视图;

[0007] 图2是图1的半导体装置封装的仰视图;

[0008] 图3是包含图1的半导体装置封装的半导体装置组合件的俯视透视图;

[0009] 图4是图3的半导体装置组合件的侧视图;

[0010] 图5是图4中展示的半导体装置组合件的侧视图的放大部分;

[0011] 图6是包含热管理结构的图4中展示的半导体装置组合件的侧视图的放大部分;

[0012] 图7是图4的半导体装置组合件的电连接的进一步放大透视图;

[0013] 图8是图4的半导体装置组合件的一部分的仰视透视图;及

[0014] 图9是半导体装置组合件的另一实施例的俯视图。

具体实施方式

[0015] 本发明中呈现的说明并不意味着任何特定半导体装置组合件、半导体装置封装或其组件的实际视图,而是仅为经采用以描述阐释性实施例的理想化表示。因此,图式未必按

比例绘制。

[0016] 所揭示的实施例大体上涉及采用可减小组合件高度、实现经连接组件之间的更简单路由且更好利用可用表面积 of 的加窗POP配置的半导体装置组合件。更特定来说,揭示可将第一半导体装置定位在接近上覆衬底(例如,接合界定所述窗的所述上覆衬底的部分)中的窗(例如,在所述窗处、邻近所述窗、至少部分穿过所述窗接收)且可分布于围绕所述窗的周边的其它半导体装置的半导体装置组合件的实施例。

[0017] 如在本发明中使用,术语“上”、“下”、“上覆”及指示相对定向的其它术语是仅出于方便目的而使用,且仅指图中描绘的定向。当部署本发明的范围内的半导体装置组合件及其组件以进行实际使用时,其可在对用户方便且有益的任何方向上定向。举例来说,当经并入最终产品及经部署以使用时,事实上在本发明中称为“上”的表面可向下定向到侧面、成角度或在各种定向之间移动。

[0018] 参考图1,展示用于并入半导体装置组合件102(参见图3)的半导体装置封装100的俯视透视图。半导体装置封装100可包含其上承载半导体装置106的(例如)衬底104。衬底104可包含电介质或半导体材料的(例如)薄板、厚板或晶片。更特定来说,衬底104可包含(例如)印刷电路板或半导体晶片。

[0019] 窗108可从衬底104的下表面110到衬底104的上表面112延伸穿过衬底104。窗108可为提供衬底104的下表面与上表面110与112之间的气流流通的(例如)孔、开口、空隙、口或其它孔径。在一些实施例中,窗108的周边的形状可与衬底104的周边的形状相同,例如图1中展示。举例来说,窗108及衬底104的周边两者可为矩形(例如,正方形)。在其它实施例中,窗108的周边的形状可不同于衬底104的周边的形状,如图10中展示。在一些实施例中,窗108的几何中心可至少大体上与衬底104的几何中心对准。举例来说,到窗108的侧向周边的最大平均距离的点可定位在与到衬底104的侧向周边的最大平均距离的点至少大体上相同的位置中。在其它实施例中,窗108的几何中心可未与衬底104的几何中心对准。在一些实施例中,窗108可由衬底104的材料侧向围绕。举例来说,窗108可由围绕窗108延伸的衬底104的相连表面围封且窗108的周边由围绕窗108延伸的衬底104的相连表面界定。在其它实施例中,窗108可仅由衬底104(例如(例如)在三个侧或两个侧上)的材料部分侧向围绕。尽管图1中描绘单个窗108,可采用包含多个窗108的衬底104。

[0020] 半导体装置106可经支撑及/或经集成在衬底104的上表面112上,且可接近窗108的周边分布。半导体装置106可在其任何数目个侧上定位在衬底104的周边与窗108的周边之间。举例来说,半导体装置106可在其每一侧上、其三个侧或隅角上、其两个相对侧或隅角上、其一个侧或隅角上或侧及隅角的任何组合上侧向邻近接近其每一隅角的窗108,如图1中展示。

[0021] 半导体装置106可包含(例如)功能组件以可操作地连接到另一半导体装置封装122(参见图4)以形成半导体装置组合件(参见图3、4)。更特定来说,半导体装置106可包含其上具有集成电路的半导体材料(例如,硅、锗、镓)的(例如)单粒化芯片(例如,矩形棱镜)以执行预定义功能。作为特定非限制实例,半导体装置106可包含存储器芯片(例如,动态随机存取存储器(DRAM)、静态随机存取存储器(SRAM)、只读存储器(ROM)、可编程只读存储器(PROM)、可擦除可编程只读存储器(EPROM)、电可擦除可编程只读存储器(EEPROM)、快闪存储器)。在一些实施例中,图1中表示的半导体装置106中的一或多者可包含个别半导体装置

的堆叠。

[0022] 在一些实施例中,例如图1中展示,包覆成型件114可至少部分围绕至少一些半导体装置106而定位在衬底104的上表面112的至少一部分上。举例来说,包覆成型件114可完全覆盖衬底104的上表面112且完全侧向围绕半导体装置106。更特定来说,包覆成型件114可完全覆盖衬底104的上表面112且完全覆盖其上支撑的半导体装置112。包覆成型件114可包含(例如)聚合材料(例如,环氧树脂)。在其它实施例中,半导体装置封装100可缺乏任何包覆成型件114,使衬底104的上表面112的至少一部分及半导体装置106暴露于环境。

[0023] 图2是图1的半导体装置封装100的仰视图。半导体装置封装100可包含定位在下表面110上的导电元件118的阵列116。导电元件118可包含暴露于衬底104的下表面110处的(例如)垫、凸块、球、柱或导电材料(例如,铜、金、金属合金)的其它结构。阵列116可定位在邻近窗108的周边。举例来说,阵列116可围绕窗108的周边的至少一部分延伸。更特定来说,阵列116可完全围绕窗108且直接侧向邻近窗108的周边而定位,使得阵列116与上表面112(参见图1)上的半导体装置106及衬底104的周边侧向隔开。半导体装置106可侧向定位在阵列116的周边与衬底104的周边之间。

[0024] 布线元件120可操作地将半导体装置106连接到导电元件118的阵列116的至少一些导电元件118。布线元件120可包含将半导体装置106电连接到阵列116的相应导电元件118的导电材料的(例如)线、迹线或通道。布线元件120可从半导体装置106沿着上表面112(参见图1)、下表面110或在衬底104的材料内朝向窗108延伸到阵列116的相应导电元件118。

[0025] 作为特定非限制实例,根据此发明,用于并入半导体装置组合件的半导体装置封装可包含衬底,所述衬底包含定位在所述衬底的下表面的导电元件的阵列。窗可从所述衬底的所述下表面到上表面延伸穿过衬底。导电元件的阵列可至少部分侧向围绕所述窗的周边,且所述衬底可侧向延伸超过导电元件的所述阵列。半导体装置可围绕导电元件的阵列的周边支撑在所述衬底的上表面上。半导体装置可通过从所述半导体装置朝向所述窗的延伸的布线元件而电连接到所述阵列的导电元件中的至少一些。

[0026] 图3是包含图1的半导体装置封装100的半导体装置组合件102的俯视透视图,且图4是图3的半导体装置组合件102的侧视图。共同参考图3及4,半导体装置封装100可以堆叠式封装(POP)配置与另一半导体装置封装122组装以形成半导体装置组合件102。另一半导体装置封装122(其可在从底部到顶部观察时为半导体装置封装100及122中的第一者)可包含(例如)第一衬底124及由第一衬底124承载的第一半导体装置127。

[0027] 第一半导体装置封装122的第一衬底124可下伏于第二半导体装置封装100的第二衬底104。第一衬底124可包含电介质或半导体材料的(例如)薄板、厚板或晶片。更特定来说,第一衬底124可包含(例如)印刷电路板或半导体晶片。第一衬底124可包含定位在第一衬底124的上表面130上的导电元件128的阵列126,上表面130面向第二衬底104的下表面110。导电元件128可包含暴露于第一衬底124的上表面130处的(例如)垫、凸块、球、柱、膏或其它导电材料的结构。

[0028] 阵列126的至少一些导电元件128可电连接到阵列116的对应导电元件118。举例来说,阵列126的导电元件128及阵列116的对应导电元件118可(例如,通过焊料连接)彼此固定,以可操作地将第一半导体装置127连接到一或多个额外半导体装置106(参见图1、2),且

将第一半导体装置封装122机械固定到第二半导体装置封装100。在此实施例中,第二衬底104的一部分(例如,界定窗108的周边部分)及第一衬底124的一部分可重叠,使得阵列126的导电元件128可电连接到阵列118的对应导电元件118。举例来说,界定窗108的周边及窗108本身的第二衬底104的部分可共同覆盖第一衬底124的至少大部分(例如,全部)。

[0029] 第一衬底124的上表面130的表面积可小于第二衬底104的下表面110的表面积。举例来说,第二衬底104的下表面110的表面积可为第一衬底124的上表面130的表面积的至少约1.1倍。更特定来说,第二衬底104的下表面110的表面积可为(例如)第一衬底124的上表面130的表面积的至少约1.5倍。作为特定非限制实例,第二衬底104的下表面110的表面积可为第一衬底124的上表面130的表面积的至少约2、2.5或3倍。第二衬底104可在至少一个侧上侧向延伸超过第一衬底124的周边。举例来说,第二衬底104可在两个侧、三个侧或全部四个侧上从第一衬底124侧向突出。因为第二衬底104大于第一衬底124,所以可存在用于布线元件120(参见图2)的更大可用表面积,使得能够在无需减小布线元件120(参见图2)的尺寸的情况下进行更大数目的连接,从而减小布线元件120(参见图2)之间的串扰,且能够部署较大数目个额外半导体装置106(参见图1、2)。

[0030] 第一半导体装置127可包含(例如)功能组件以可操作地被连接到第二半导体装置封装100的一或多个额外半导体装置106。更特定来说,第一半导体装置127可包含(例如)其上具有集成电路的半导体材料的单粒化芯片以执行预定义功能。作为特定非限制实例,半导体装置127可包含处理单元(例如,逻辑电路、处理器、微处理器)。尽管在图3中描绘单个第一半导体装置127,在其它实施例中,第一半导体装置封装122可包含多个半导体装置127。

[0031] 第一半导体装置127从第二半导体装置封装100的第二衬底104的下表面110下方至少部分延伸穿过窗108。举例来说,第一半导体装置127及窗108可具有使第一半导体装置127能够从接近第一衬底124的上表面130延伸到窗108中及至少部分延伸穿过窗108的尺寸、形状及定位,使得第一半导体装置127的上表面132可在第二衬底104的上表面112与下表面110之间定位在窗108内,如图3中展示。作为另一实例,第一半导体装置127可从接近第一衬底124的上表面130完全延伸穿过窗108,使得第一半导体装置127的上表面132与第二衬底104的上表面112共面,或定位在第二衬底104的上表面112上方。更特定来说,第一半导体装置127可从接近第一衬底124的上表面130完全延伸穿过窗108,使得第一半导体装置127的上表面132从包覆成型件114突出。可减小半导体装置组合件102的高度H,这是因为与原本不存在窗108以接收第一半导体装置127或其部分(这将需要较大间隙,其还可被特征化为第一半导体衬底124与第二半导体衬底104之间的间隔)的情况相比,第二衬底104可更靠近第一衬底124。在第一半导体装置封装122包含多个第一半导体装置127的实施例中,第二衬底104可包含其中至少部分插入至少一些半导体装置的多个对应窗108,窗108包含(且至多)第一半导体装置127中的每一者。

[0032] 作为特定非限制实例,根据此发明的半导体装置组合件可包含第一衬底,所述第一衬底包括所述第一衬底上的第一半导体装置及定位在所述第一衬底的上表面上的导电元件的第一阵列。第二衬底可上覆第一衬底,所述第二衬底包含定位在所述第二衬底的下表面的导电元件的第二阵列。所述第二阵列的至少一些所述导电元件可电连接到所述第一阵列的对应导电元件。第二衬底可包含从所述第二衬底的所述下表面到上表面延伸穿过所

述第二衬底的窗。第二衬底可经配置以支撑围绕所述窗的周边的额外半导体装置,所述第一衬底的外周边的至少一部分耦合到界定所述窗的所述周边的所述第二衬底的内部分。

[0033] 作为另一特定非限制实例,根据此发明的制造半导体装置组合件的方法可涉及至少部分通过上覆所述第一衬底的第二衬底中的窗而定位支撑在第一衬底的上表面上的处理单元。定位在所述第一衬底的所述上表面上的导电元件的第一阵列的至少一些导电元件可与定位在所述第二衬底的所述下表面上的导电元件的第二阵列的至少一些对应导电元件电连接。

[0034] 图5是图4中展示的半导体装置组合件102的侧视图的放大部分。第一半导体装置封装122可包含定位在第一衬底124的下表面138上的导电元件136的阵列134,下表面138定位在第一衬底124的与上表面130相对的一侧上。导电元件136可包含暴露于第一衬底124的下表面138处的(例如)垫、凸块、球、柱或导电材料的其它导电元件的结构。阵列134的至少一些导电元件136可电连接到阵列126的对应导电元件128。举例来说,阵列134的导电元件136及阵列126的对应导电元件128可(例如,通过布线元件、通路)经可操作地彼此连接,以可操作地将半导体装置组合件102及其多种半导体装置106及127(参见图3)连接到包含(例如)高级别封装(例如,主板)的另一装置或结构。

[0035] 图6是图4中展示的半导体装置组合件102的侧视图的放大部分。在图6中,特定展示第二衬底104的包含窗108的一部分及第一半导体装置127的部分延伸穿过窗108的一部分。另外,为清楚起见,已省略包覆成型件114。在一些实施例中,例如图6中展示,与第一半导体装置127的上表面130共面的平面142可与第二衬底104相交。与第二衬底104的下表面110共面的另一平面144可与第一半导体装置127相交。

[0036] 在一些实施例中,例如图6中展示的实施例,热管理结构140可支撑在第一半导体装置127的上表面130上。热管理结构140可包含用于远离第一半导体装置127传导热量的(例如)散热器、散热片、散热管、传热器、帕耳帖(Peltier)冷却器、强制空气冷却器、流体冷却器或其它结构。热管理结构140可直接与上表面130接触或可包含插入于热管理结构140与上表面130之间的任选热界面材料146(例如,导热膏)。因为窗108可允许更直接达到第一半导体装置127,所以热管理结构140可定位成更靠近第一半导体装置127,从而改进远离第一半导体装置127的热传递。

[0037] 图7是图4的半导体装置组合件102的电连接148的进一步放大透视图。电连接148的厚度 T (包含阵列116及126(参见图5)的导电元件118及128)可小于第一半导体装置127(参见图6)的厚度。举例来说,电连接148的厚度 T 可小于第一半导体装置127(参见图6)的厚度的约75%。更特定来说,电连接148的厚度 T 可(例如)小于第一半导体装置127(参见图6)的厚度的约50%。作为特定非限制实例,电连接148的厚度 T 可小于第一半导体装置127(参见图6)的厚度的约25%。通过将第一半导体装置127(参见图6)的至少部分插入到窗108(参见图6)中(与利用较高电连接以提供足够空间以在第一衬底与第二衬底之间接纳第一半导体装置相对照)而实现的电连接148的所减小厚度 T 可减小半导体装置组合件102(参见图4)的总高度 H (参见图4)。作为特定非限制实例,阵列116及126的导电元件116及126可分别包含从第二衬底104直接延伸到与第一衬底124的上表面132至少大体上共面的导电材料的对应垫的导电材料的球。

[0038] 图8是图4的半导体装置组合件102的一部分的仰视透视图。在一些实施例中,第一

衬底124的周边的形状可与第二衬底104的周边的形状至少大体上相同(即使显示不同尺寸)。举例来说,在此类实施例中,第一衬底124及第二衬底104中的每一者在形状上可为矩形(例如,正方形)。

[0039] 除将较大表面积提供到容纳布线元件120以外,第二衬底104的表面积可使一或多个电组件150能够可操作地连接到上表面112、下表面110或两者。举例来说,至少一个电组件150可操作地连接到第二衬底104的下表面110的侧向定位超过第一衬底124的周边的部分。更特定来说,所述电组件或所述组件150可定位在第二衬底104的悬伸部分的底侧上。电组件150中的每一者的厚度 t 可(例如)小于或等于第一半导体装置封装122的高度 h ,如从阵列134的导电元件136的最下面部分到第一衬底124的上表面132测量。更特定来说,电组件150中的每一者的厚度 t 可(例如)在第一半导体装置封装122的高度 h 的约10%与约90%之间。作为特定非限制实例,电组件150中的每一者的厚度 t 可在第一半导体装置封装122的高度 h 的约40%与约60%之间。在其它实施例中,一或多个电组件150的厚度 t 可(例如)大于第一半导体装置封装122的高度 h ,且任何下伏结构可包含凹槽或窗以在其中至少部分接纳电组件150。电组件150可包含可操作地可连接到半导体装置的(例如)电阻器、电容器、电感器、集成电路、二极管、晶体管、电池、天线、开关及其它电组件。为电组件150提供额外表面积可允许半导体装置组合件102的设计中具有更大灵活性,且可减小最终产品的总表面积,这是因为原本将定位在另一装置或结构(例如(例如)主板)上的电组件150可代替包含在衬底104的底侧上。

[0040] 在一些实施例中,一或多个结构支撑件152可在第二衬底104的几何中心的远端从第一衬底124下方延伸到第二衬底104。更特定来说,一或多个结构支撑件152可接近第二衬底104的周边从第一衬底124下方延伸到第二衬底104。所述结构支撑件152可减小第二衬底104的周边上的应变,其可另外从第一衬底124悬吊。所述结构支撑件或所述结构支撑件152可包含从下伏结构(例如,主板)到第二衬底104延伸的(例如)圆柱、柱、销、螺钉、螺栓或其它构件。在一些实施例中,所述结构支撑件152可经附装到第二衬底104。在其它实施例中,所述结构支撑件152可与第二衬底104的下表面110接触或接近第二衬底104的下表面110而不将其附装到第二衬底104。

[0041] 图9是半导体装置组合件202的另一实施例的俯视图。当半导体装置组合件202已完成时,其可可操作地连接到下伏装置以形成最终产品。举例来说,阵列134(参见图8)可电连接到主板254上的配合阵列以将半导体装置组合件202附装到主板254且形成最终产品。如果有,支撑件结构152(参见图8)可从主板254到衬底104延伸。

[0042] 在一些实施例中,第二衬底204(参见图9)的周边的形状可与第一衬底124(参见图8)的周边的形状不同。举例来说,第一衬底124(参见图8)的周边可为矩形,而第二衬底204的周边可为不规则的,类似于一对相交的矩形。更特定来说,第二衬底204的周边可在至少大体上平行于下伏主板254的对应周边延伸。

[0043] 虽然已结合图式描述某些阐释性实施例,但所属领域的一般技术人员将认识及理解,本发明的范围并不限于本发明中明确展示及描述的所述实施例。而是,可在例如此类特定主张的本发明的范围(包含合法等效物)内,对此发明中所描述的实施例作出许多添加、删除及修改以产生实施例。此外,来自一个所揭示实施例的特征可与另一所揭示实施例的特征组合同时仍在如由发明者预期的本发明的范围内。

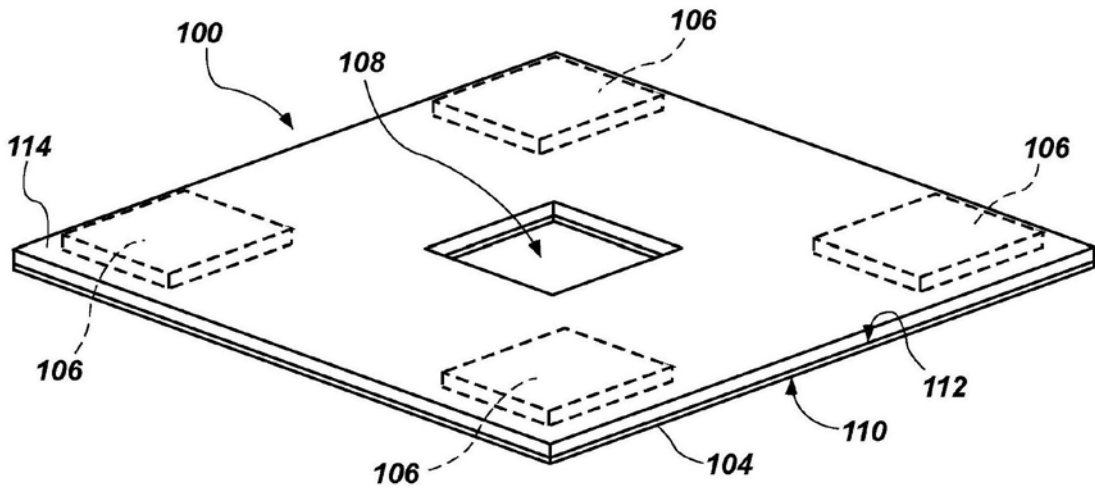


图1

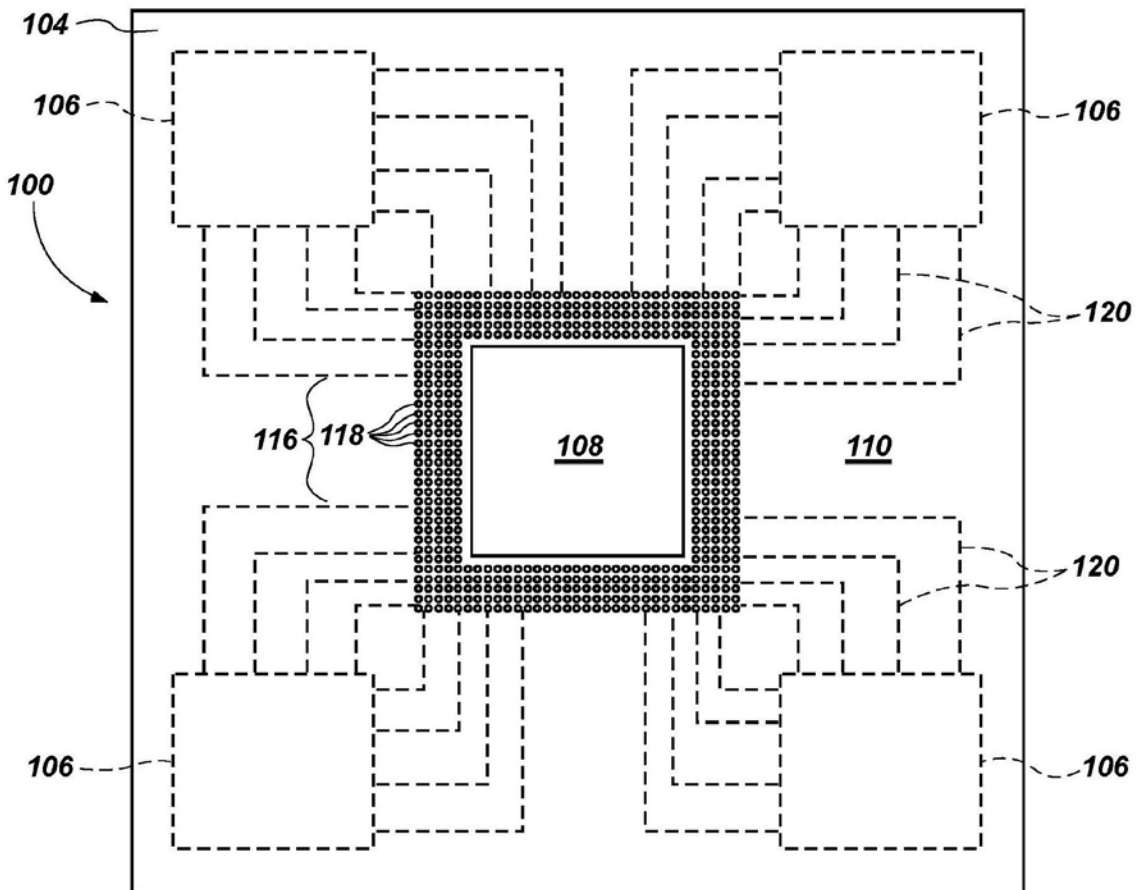


图2

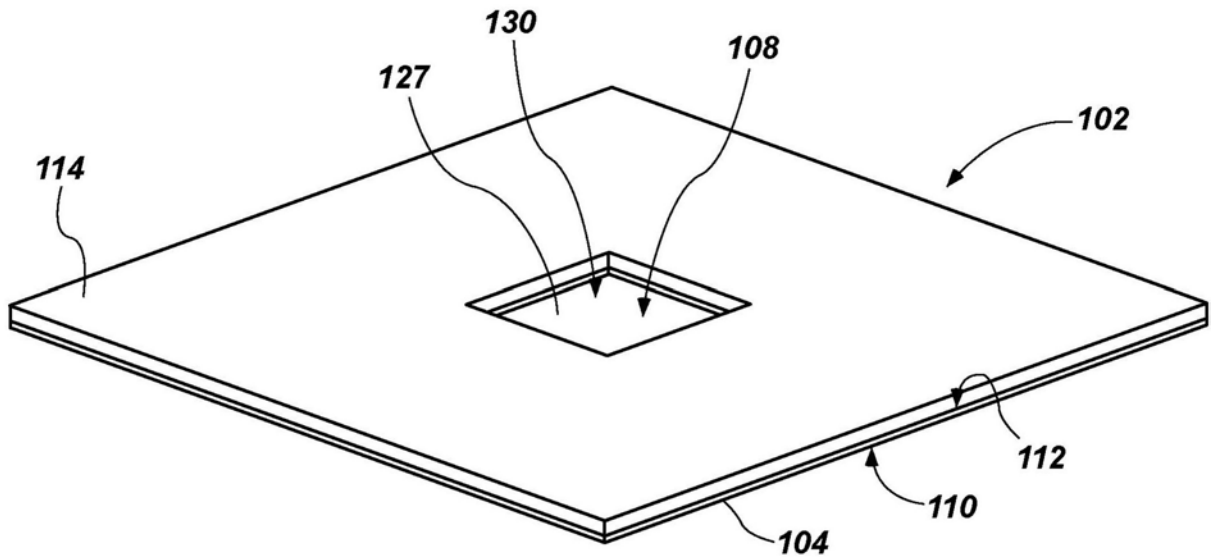


图3

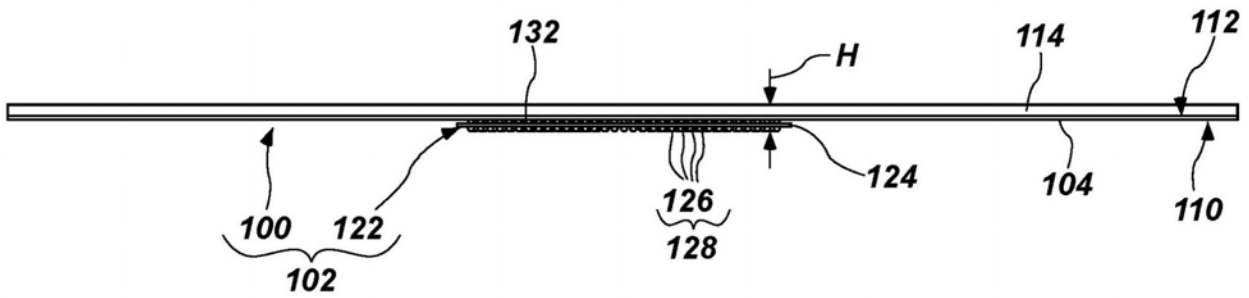


图4

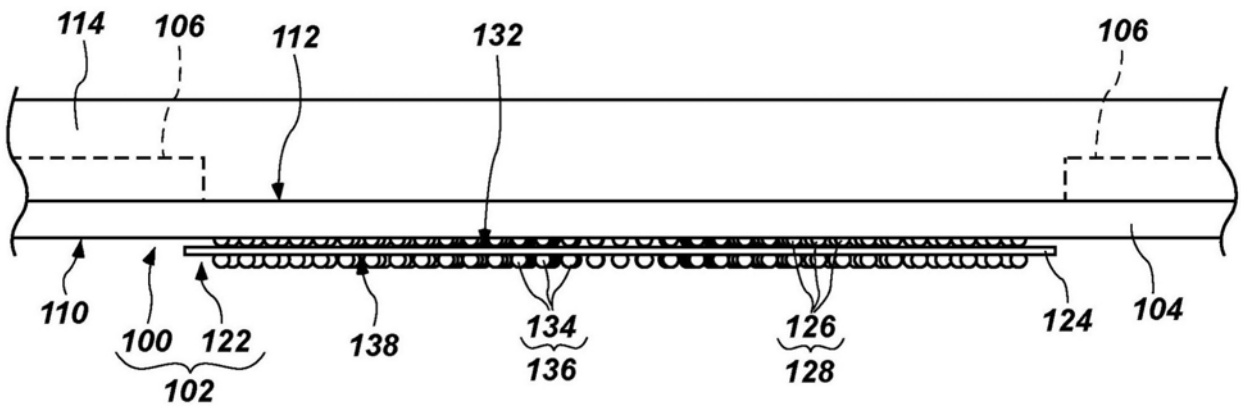


图5

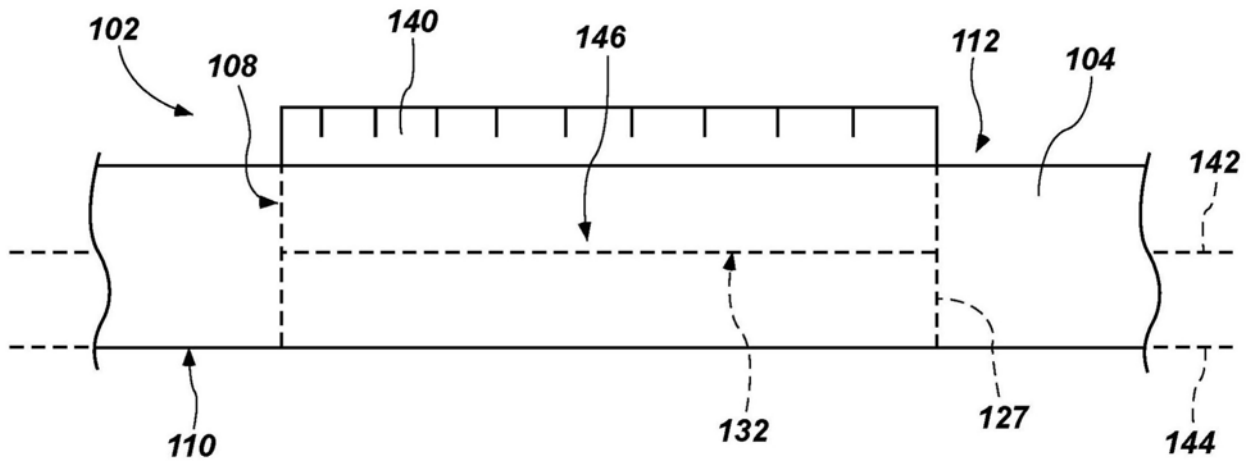


图6

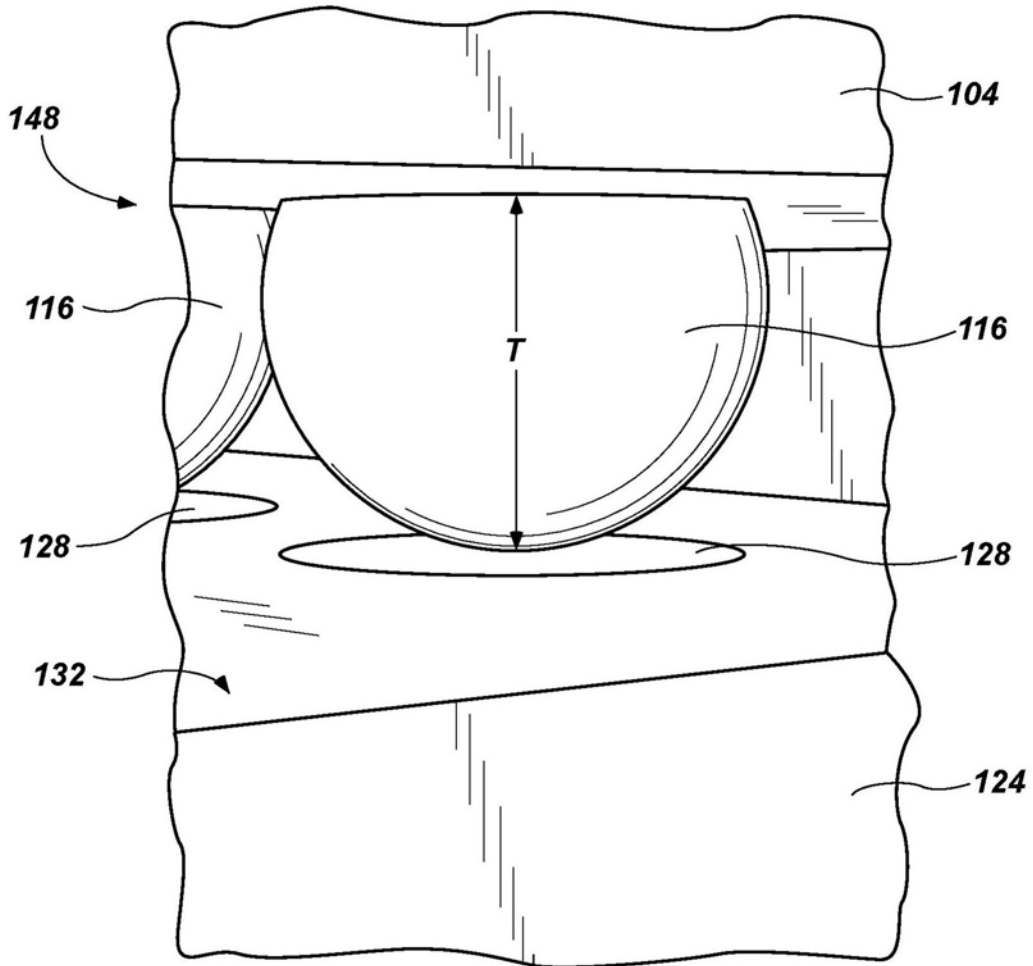


图7

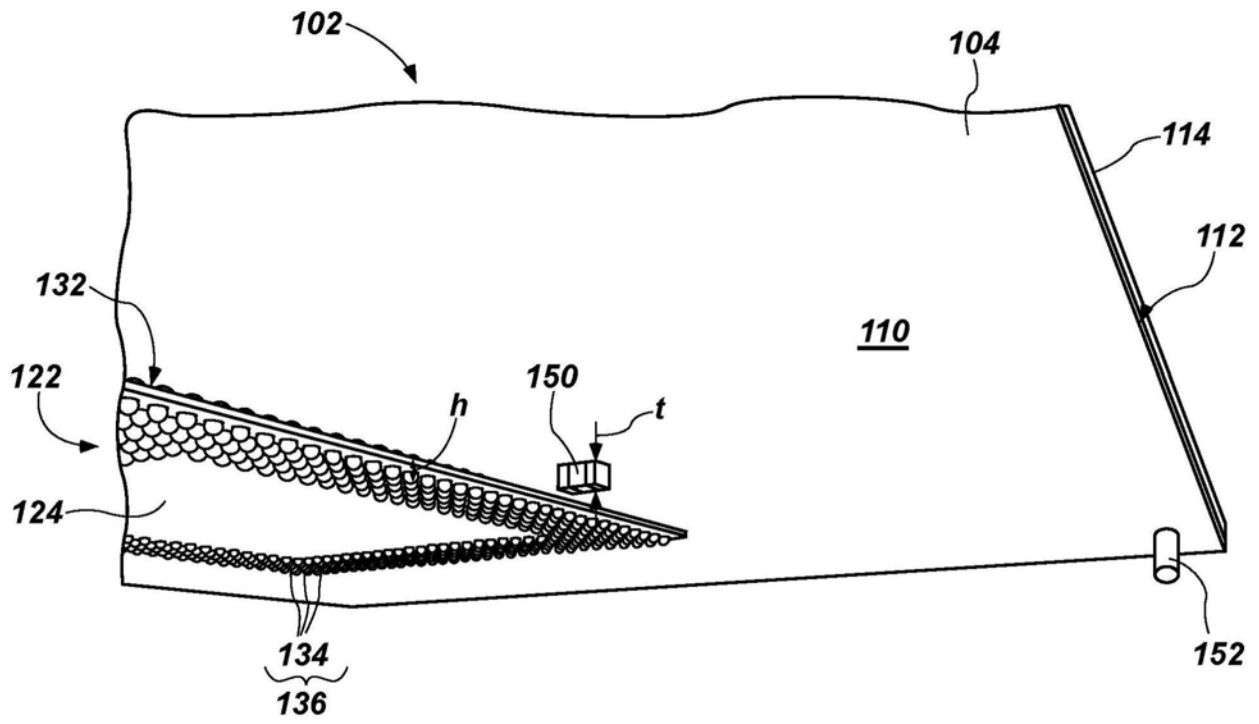


图8

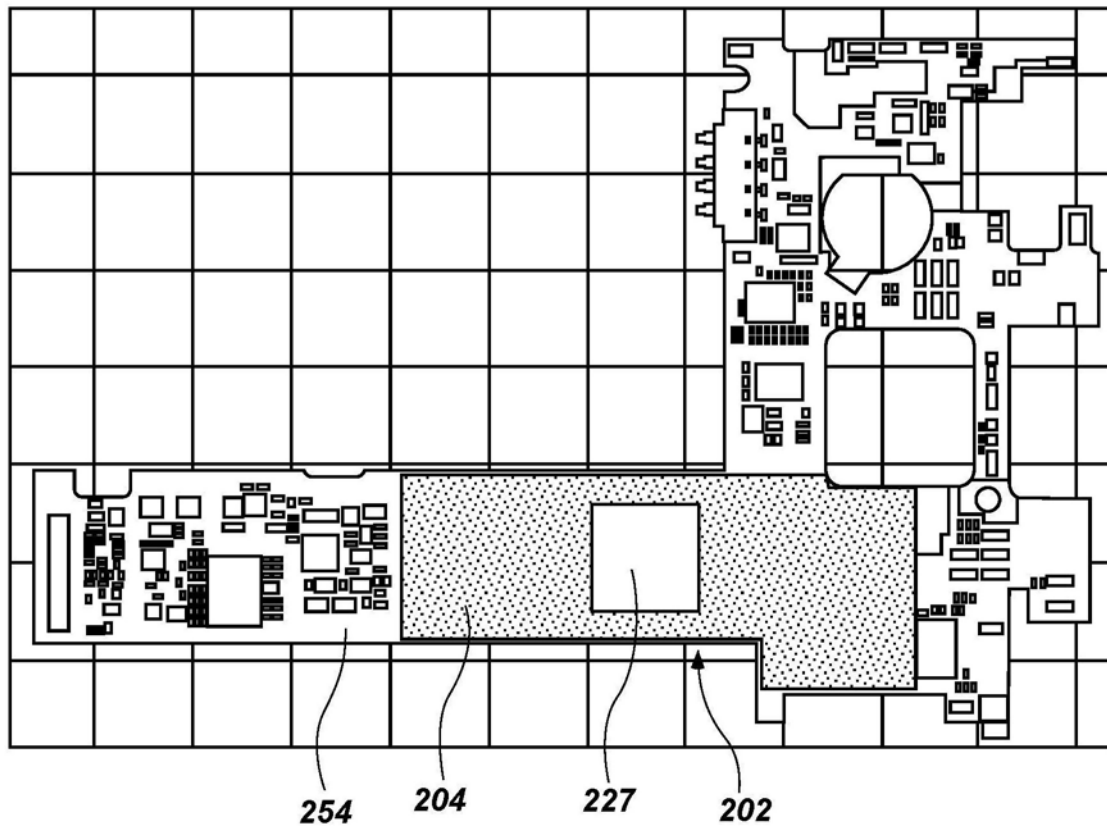


图9