



(12)发明专利申请

(10)申请公布号 CN 109446612 A
(43)申请公布日 2019.03.08

(21)申请号 201811206667.1

(22)申请日 2018.10.17

(71)申请人 太仓市同维电子有限公司
地址 215400 江苏省苏州市太仓市娄东街
道江南路89号

(72)发明人 王瑞

(74)专利代理机构 北京天奇智新知识产权代理
有限公司 11340
代理人 刘黎明

(51)Int.Cl.
G06F 17/50(2006.01)

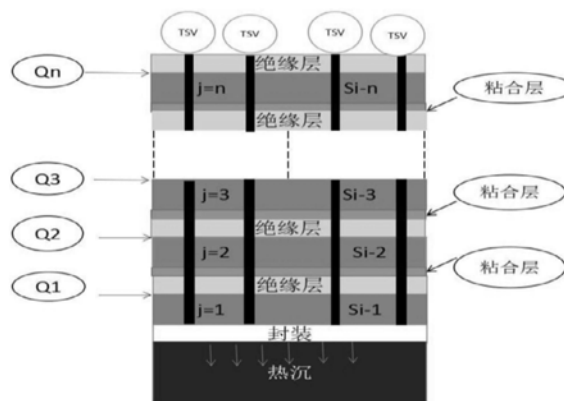
权利要求书2页 说明书5页 附图8页

(54)发明名称

SOP系统集成中热管理方法

(57)摘要

本发明公开了一种SOP系统集成中热管理方法,在多层堆叠芯片中设置硅通孔,并建立设有硅通孔的多层堆叠芯片热传导模型,利用matlab与ansys icepeak对仿真结果进行对比验证,进而确定硅通孔的大小与数量,本发明在SOP系统集成中利用TSV解决过热问题,通过仿真确定TSV数量和大小,实现最优热管理方案。



1. 一种SOP系统集成中热管理方法,其特征在于:在多层堆叠芯片中设置硅通孔,并建立设有硅通孔的多层堆叠芯片热传导模型,利用matlab与ansys icepeak对仿真结果进行对比验证,进而确定硅通孔的大小与数量。

2. 根据权利要求1所述的SOP系统集成中热管理方法,其特征在于:设有硅通孔的多层堆叠芯片热传导模型如下:设该模型的芯片层数为n,其第一层芯片自下至上依次是热沉层、封装层、衬底层,第2至第n层芯片自下至上依次是绝缘层、粘合层、衬底层,第一层芯片

热阻为 R_1' , $R_1' = [R_{TSV} \parallel \frac{l_{si}}{K_{si} \cdot (1-r) S}] + R_{pk} + R_{hs} = [\frac{l_{si}}{K_{si} \cdot (1-r) S} \parallel \frac{l_{si}}{K_{TSV} \cdot r \cdot S}] + R_{pk} + R_{hs}$,第2至第n层热阻均为 R' ,

$R' = [\frac{1}{(1-r) S} \cdot (\frac{l_{si}}{K_{si}} + \frac{l_{glue}}{K_{glue}} + \frac{l_{ins}}{K_{ins}})] \parallel R_{TSV} = [\frac{1}{(1-r) S} \cdot (\frac{l_{si}}{K_{si}} + \frac{l_{glue}}{K_{glue}} + \frac{l_{ins}}{K_{ins}})] \parallel \frac{l_{si} + l_{glue} + l_{ins}}{K_{TSV} \cdot r \cdot S}$,根据傅立叶热流分析理论,建立并推导多层堆叠芯片的热传导模型函数,多层堆叠芯片第n层温度为:

$$T_n = Q \{ [\frac{1}{(1-r) \cdot S} \cdot (\frac{l_{si}}{K_{si}} + \frac{l_{glue}}{K_{glue}} + \frac{l_{ins}}{K_{ins}})] \parallel \frac{l_{si} + l_{glue} + l_{ins}}{K_{TSV} \cdot r \cdot S} \frac{n^2}{2} + [(\frac{l_{si}}{K_{si} \cdot (1-r) \cdot S} \parallel \frac{l_{si}}{K_{TSV} \cdot r \cdot S} + R_{pk} + R_{hs}) - ((\frac{1}{(1-r) \cdot S} \cdot (\frac{l_{si}}{K_{si}} + \frac{l_{glue}}{K_{glue}} + \frac{l_{ins}}{K_{ins}})) \parallel \frac{l_{si} + l_{glue} + l_{ins}}{K_{TSV} \cdot r \cdot S}) / 2] n \} ;$$

S表示芯片的面积;TSV即硅通孔的面积总和为 S_{TSV} ,TSV占据芯片面积比例因子为 $r = S_{TSV}/S$, R_{hs} 表示热沉热阻; R_{pk} 表示封装的热阻; R_{si} 表示si衬底电阻, R_{glue} 表示粘合层电阻; R_{ins} 表示绝缘层的电阻; l_{si} 表示Si衬底厚度; l_{glue} 表示粘合层厚度; l_{ins} 表示绝缘层厚度; K_{si} 表示Si衬底热导率; K_{glue} 表示粘合层电导率; K_{ins} 绝缘层电导率,Q表示平均每层功耗, K_{TSV} 表示通孔的热导率。

3. 根据权利要求1所述的SOP系统集成中热管理方法,其特征在于:设有硅通孔的多层堆叠芯片热传导模型如下:设该模型的芯片层数为n,其第一层芯片自下至上依次是热沉层、封装层、衬底层,第2至第n层芯片自下至上依次是绝缘层、粘合层、衬底层,第一层芯片

热阻为 R_1' , $R_1' = \frac{P^2}{S} [\frac{1}{P^2 - \frac{\pi}{4} D^2} \cdot \frac{l_{si}}{K_{si}} \parallel \frac{l_{si}}{K_{TSV} \frac{\pi}{4} D^2}] + R_{pk} + R_{hs}$,第2至第n层热阻均为 R' ,

$R' = \frac{P^2}{S} [\frac{1}{P^2 - \frac{\pi}{4} D^2} \cdot (\frac{l_{si}}{K_{si}} + \frac{l_{glue}}{K_{glue}} + \frac{l_{ins}}{K_{ins}})] \parallel \frac{l_{si} + l_{glue} + l_{ins}}{K_{TSV} \frac{\pi}{4} D^2}$,根据傅立叶热流分析理论,建立并推

导多层堆叠芯片的热传导模型函数,多层堆叠芯片第n层温度为:

$$\begin{aligned}
T_n = Q \{ & \left[\frac{1}{P^2 - \frac{\pi}{4} D^2} \cdot \left(\frac{l_{si}}{K_{si}} + \frac{l_{glue}}{K_{glue}} + \frac{l_{ins}}{K_{ins}} \right) \parallel \frac{l_{si} + l_{glue} + l_{ins}}{K_{TSV} \cdot \frac{\pi}{4} \cdot D^2} \right] \frac{P^2}{S} \} \cdot \frac{n^2}{2} \\
& + \left\{ \frac{P^2}{S} \left[\left(\frac{1}{P^2 - \frac{\pi}{4} D^2} \cdot \frac{l_{si}}{K_{si}} \parallel \frac{l_{si}}{K_{TSV} \cdot \frac{\pi}{4} D^2} + R_{pk} + R_{hs} \right) \right] \right\} ; \\
& - \left\{ \frac{P^2}{S} \left[\frac{1}{P^2 - \frac{\pi}{4} D^2} \cdot \left(\frac{l_{si}}{K_{si}} + \frac{l_{glue}}{K_{glue}} + \frac{l_{ins}}{K_{ins}} \right) \parallel \frac{l_{si} + l_{glue} + l_{ins}}{K_{TSV} \cdot \frac{\pi}{4} \cdot D^2} \right] \right\} / 2 \} n \}
\end{aligned}$$

S表示芯片的面积;TSV即硅通孔的面积总和为 S_{TSV} ,TSV占据芯片面积比例因子为 $r = S_{TSV}/S$, R_{hs} 表示热沉热阻; R_{pk} 表示封装的热阻; R_{si} 表示si衬底电阻; R_{glue} 表示粘合层电阻; R_{ins} 表示绝缘层的电阻; l_{si} 表示Si衬底厚度; l_{glue} 表示粘合层厚度; l_{ins} 表示绝缘层厚度; K_{si} 表示Si衬底热导率; K_{glue} 表示粘合层电导率; K_{ins} 绝缘层电导率; D 为TSV直径, P 为两个TSV之间的间距, Q 表示平均每层功耗, K_{TSV} 表示通孔的热导率。

SOP系统集成中热管理方法

技术领域

[0001] 本发明属于SOP封装技术领域,具体涉及一种SOP系统集成中热管理方法。

背景技术

[0002] SOP(system on package)系统级封装,是一种新兴的系统级封装,具有小型化、低成本、高功能集成度,高可靠性等特点的系统,所以SOP在封装技术中具有广泛的前景。由于SOP工作时产生的热量很多或者构建热管理系统过于昂贵,所以热管理成为了发展SOP的障碍,原因在于:(1)微型封装的堆叠多功能芯片其产生的热通量很高,(2)3D电路使得单位面积上的总功率升高,(3)若无有效且足够的冷却处理,会造成3D堆叠芯片过热,(4)3D堆叠芯片之间的空间对于冷却通道来说过小,例如没有供流体流动的空隙,(5)薄芯片会导致芯片上产生过热点。因此对于3D IC集成SOP的广泛使用而言,亟需低成本,高效率的热管理技术指导方针及解决方法。

发明内容

[0003] 本发明需要解决的技术问题是提供一种采用通孔降温的SOP系统集成中热管理方法。

[0004] 为解决上述问题,本发明所采取的技术方案是:

[0005] 一种SOP系统集成中热管理方法,在多层堆叠芯片中设置硅通孔,并建立设有硅通孔的多层堆叠芯片热传导模型,利用matlab与ansys icepeak对仿真结果进行对比验证,进而确定硅通孔的大小与数量。

[0006] 优选的,设有硅通孔的多层堆叠芯片热传导模型如下:设该模型的芯片层数为n,其第一层芯片自下至上依次是热沉层、封装层、衬底层,第2至第n层芯片自下至上依次是绝缘层、粘合层、衬底层,第一层芯片热阻为 R_1' ,

$R_1' = [R_{TSV} \parallel \frac{l_{si}}{K_{si} \cdot (1-r) S}] + R_{pk} + R_{hs} = [\frac{l_{si}}{K_{si} \cdot (1-r) S} \parallel \frac{l_{si}}{K_{TSV} \cdot r \cdot S}] + R_{pk} + R_{hs}$,第2至第n层热阻均为 R' ,

$R' = [\frac{1}{(1-r)S} \cdot (\frac{l_{si}}{K_{si}} + \frac{l_{glue}}{K_{glue}} + \frac{l_{ins}}{K_{ins}})] \parallel R_{TSV} = [\frac{1}{(1-r)S} \cdot (\frac{l_{si}}{K_{si}} + \frac{l_{glue}}{K_{glue}} + \frac{l_{ins}}{K_{ins}})] \parallel \frac{l_{si} + l_{glue} + l_{ins}}{K_{TSV} \cdot r \cdot S}$,根据傅

立叶热流分析理论,建立并推导多层堆叠芯片的热传导模型函数,多层堆叠芯片第n层温度为:

[0007]

$$T_n = Q \{ [\frac{1}{(1-r) \cdot S} \cdot (\frac{l_{si}}{K_{si}} + \frac{l_{glue}}{K_{glue}} + \frac{l_{ins}}{K_{ins}}) \parallel \frac{l_{si} + l_{glue} + l_{ins}}{K_{TSV} \cdot r \cdot S}] \frac{n^2}{2} + [(\frac{l_{si}}{K_{si} \cdot (1-r) \cdot S} \parallel \frac{l_{si}}{K_{TSV} \cdot r \cdot S} + R_{pk} + R_{hs}) - ((\frac{1}{(1-r) \cdot S} \cdot (\frac{l_{si}}{K_{si}} + \frac{l_{glue}}{K_{glue}} + \frac{l_{ins}}{K_{ins}})) \parallel \frac{l_{si} + l_{glue} + l_{ins}}{K_{TSV} \cdot r \cdot S}) / 2] n \} ;$$

[0008] S表示芯片的面积;TSV即硅通孔的面积总和为 S_{TSV} ,TSV占据芯片面积比例因子为 $r = S_{TSV}/S$, R_{hs} 表示热沉热阻; R_{pk} 表示封装的热阻; R_{si} 表示Si衬底电阻; R_{glue} 表示粘合层电阻; R_{ins} 表示绝缘层的电阻; l_{si} 表示Si衬底厚度; l_{glue} 表示粘合层厚度; l_{ins} 表示绝缘层厚度; K_{si} 表示Si衬底热导率; K_{glue} 表示粘合层电导率; K_{ins} 绝缘层电导率, Q 表示平均每层功耗, K_{TSV} 表示通孔的热导率。

[0009] 优选的,设有硅通孔的多层堆叠芯片热传导模型如下:设该模型的芯片层数为 n ,其第一层芯片自下至上依次是热沉层、封装层、衬底层,第2至第 n 层芯片自下至上依次是绝缘层、粘合层、衬底层,第一层芯片热阻为 R_1' ,

$$R_1' = \frac{P^2}{S} \left[\frac{1}{P^2 - \frac{\pi}{4} D^2} \cdot \frac{l_{si}}{K_{si}} \parallel \frac{l_{si}}{K_{TSV} \frac{\pi}{4} D^2} \right] + R_{pk} + R_{hs}, \text{第2至第} n \text{层热阻均为} R',$$

$$R' = \frac{P^2}{S} \left[\frac{1}{P^2 - \frac{\pi}{4} D^2} \cdot \left(\frac{l_{si}}{K_{si}} + \frac{l_{glue}}{K_{glue}} + \frac{l_{ins}}{K_{ins}} \right) \parallel \frac{l_{si} + l_{glue} + l_{ins}}{K_{TSV} \frac{\pi}{4} D^2} \right], \text{根据傅立叶热流分析理论,建立并推}$$

导多层堆叠芯片的热传导模型函数,多层堆叠芯片第 n 层温度为:

$$T_n = Q \left\{ \left[\frac{1}{P^2 - \frac{\pi}{4} D^2} \cdot \left(\frac{l_{si}}{K_{si}} + \frac{l_{glue}}{K_{glue}} + \frac{l_{ins}}{K_{ins}} \right) \parallel \frac{l_{si} + l_{glue} + l_{ins}}{K_{TSV} \frac{\pi}{4} D^2} \right] \frac{P^2}{S} \right\} \cdot \frac{n^2}{2}$$

$$+ \left\{ \frac{P^2}{S} \left[\left(\frac{1}{P^2 - \frac{\pi}{4} D^2} \cdot \frac{l_{si}}{K_{si}} \parallel \frac{l_{si}}{K_{TSV} \frac{\pi}{4} D^2} \right) + R_{pk} + R_{hs} \right] \right\}$$

$$- \left\{ \frac{P^2}{S} \left[\frac{1}{P^2 - \frac{\pi}{4} D^2} \cdot \left(\frac{l_{si}}{K_{si}} + \frac{l_{glue}}{K_{glue}} + \frac{l_{ins}}{K_{ins}} \right) \parallel \frac{l_{si} + l_{glue} + l_{ins}}{K_{TSV} \frac{\pi}{4} D^2} \right] \right\} / 2 \} n$$

[0011] S表示芯片的面积;TSV即硅通孔的面积总和为 S_{TSV} ,TSV占据芯片面积比例因子为 $r = S_{TSV}/S$, R_{hs} 表示热沉热阻; R_{pk} 表示封装的热阻; R_{si} 表示Si衬底电阻; R_{glue} 表示粘合层电阻; R_{ins} 表示绝缘层的电阻; l_{si} 表示Si衬底厚度; l_{glue} 表示粘合层厚度; l_{ins} 表示绝缘层厚度; K_{si} 表示Si衬底热导率; K_{glue} 表示粘合层电导率; K_{ins} 绝缘层电导率; D 为TSV直径, P 为两个TSV之间的间距, Q 表示平均每层功耗, K_{TSV} 表示通孔的热导率。

[0012] 采用上述技术方案所产生的有益效果在于:

[0013] 本发明利用TSV(Through Silicon Via:硅通孔)来改善多层堆叠芯片过热的的问题,由于TSV通常用铜填充,导热系数较大,可以有效降低芯片温度,因此在SOP系统集成中利用TSV解决过热问题,通过仿真确定TSV数量和大小,实现最优热管理方案。

附图说明

[0014] 图1A、图1B是本发明不考虑TSV的热传输模型;

[0015] 图2A、图2B是本发明考虑TSV的热传输模型;

[0016] 图3是第 i 层芯片俯视示意图;

[0017] 图4是温度随芯片层数 n 的变化曲线;

[0018] 图5是温度随 r 的变化曲线,

[0019] 图6是用matlab仿真，

[0020] 图7是ansys icepeak仿真。

具体实施方式

[0021] 下面结合附图对本发明做进一步详细描述：

[0022] 在n层芯片堆叠时，最高层离热沉最远，因此温度最高，而对于目前已经成熟的SOP技术，亟需低成本，高效率的热管理设计指导方针及解决方法，本发明就是在此基础上提出的温度解析模型，TSV(硅通孔)技术是3D IC集成的核心，也是重要的支撑技术，它在一定程度上可以有效的降低芯片的温度，所以本发明先考虑在无TSV时的n层芯片的温度解析模型，在此基础上推导出一维热解析模型，进而推导出最高层芯片的温度，在芯片堆叠中，层数越高，散热越困难，所以说散热就变得尤为重要。

[0023] 本发明是一种SOP系统热管理方法，本发明的具体方式是：在多层堆叠芯片中设置硅通孔，并建立设有硅通孔的多层堆叠芯片热传导模型，利用matlab与ansys icepeak对仿真结果进行对比验证，进而确定硅通孔的大小与数量。

[0024] 对于本发明来说，热管理方法的确立是基于多层堆叠芯片热传导模型以及仿真结果来实现的，首先，建立没有硅通孔的多层堆叠芯片热传导模型，如图1A和1B所示，设下面一层为热沉(HeatSink)，芯片通过它进行散热，第n层芯片离热沉(Heat Sink)最远，所以温度最高。芯片通过粘合剂层粘合，每层的芯片由绝缘层和Si衬底构成，热量是由每层芯片上的有源层产生的，我们假设第n层芯片的功耗为 Q_n 。热阻定义为 $R=L/KS$ ，L为热传导的长度，S是热流的横截面积，K是材料的导热系数。

[0025] 设该模型的层数为n，其第一层芯片自下至上依次是热沉层、封装层、衬底层，第2至第n层芯片自下至上依次是绝缘层、粘合层、衬底层，第一层芯片热阻为 R_1 ，

$$R_1 = R_{si} + R_{pk} + R_{hs} = \frac{1}{K_{si} \cdot S} + R_{pk} + R_{hs} \quad , \text{第2至第n层热阻均为} R,$$

$$R = R_{si} + R_{glue} + R_{ins} = \frac{l_{si}}{K_{si} \cdot S} + \frac{l_{glue}}{K_{glue} \cdot S} + \frac{l_{ins}}{K_{ins} \cdot S} \quad \text{根据傅立叶热流分析理论，建立并推导多层堆}$$

叠芯片的热传导模型函数，多层堆叠芯片在无硅通孔时第n层温度为：

$$T_n = Q \left[\frac{R}{2} n^2 + (R_1 - \frac{R}{2}) n \right].$$

[0026] 在研究TSV(硅通孔)的情况下，多层堆叠芯片热传导模型模型如图2A和2B所示。每层的热阻被修改为原来热阻和TSV热阻 R_{TSV} 并联。添加TSV后，芯片的剩余部分芯片面积为 $(1-r)S$ 。

[0027] 设该模型的芯片层数为n，其第一层芯片自下至上依次是热沉层、封装层、衬底层，第2至第n层芯片自下至上依次是绝缘层、粘合层、衬底层，第一层芯片热阻为 R_1' ，

$$R_1' = [R_{TSV} \parallel \frac{l_{si}}{K_{si} \cdot (1-r) S}] + R_{pk} + R_{hs} = [\frac{l_{si}}{K_{si} \cdot (1-r) S} \parallel \frac{l_{si}}{K_{TSV} \cdot r \cdot S}] + R_{pk} + R_{hs}, \text{第} \cdot 2 \text{至第n层热阻}$$

均为 R' ，

$R' = \left[\frac{1}{(1-r)S} \cdot \left(\frac{l_{si}}{K_{si}} + \frac{l_{glue}}{K_{glue}} + \frac{l_{ins}}{K_{ins}} \right) \right] \parallel R_{TSV} = \left[\frac{1}{(1-r)S} \cdot \left(\frac{l_{si}}{K_{si}} + \frac{l_{glue}}{K_{glue}} + \frac{l_{ins}}{K_{ins}} \right) \right] \parallel \frac{l_{si} + l_{glue} + l_{ins}}{K_{TSV} \cdot r \cdot S}$, 根据傅

立叶热流分析理论, 建立并推导多层堆叠芯片的热传导模型函数, 多层堆叠芯片在有硅通孔时第n层温度为:

[0028]

$$T_n = Q \left\{ \left[\frac{1}{(1-r) \cdot S} \cdot \left(\frac{l_{si}}{K_{si}} + \frac{l_{glue}}{K_{glue}} + \frac{l_{ins}}{K_{ins}} \right) \right] \parallel \frac{l_{si} + l_{glue} + l_{ins}}{K_{TSV} \cdot r \cdot S} \right\} \frac{n^2}{2} + \left[\left(\frac{l_{si}}{K_{si} \cdot (1-r) \cdot S} \parallel \frac{l_{si}}{K_{TSV} \cdot r \cdot S} + R_{pk} + R_{hs} \right) \right. \\ \left. - \left(\frac{1}{(1-r) \cdot S} \cdot \left(\frac{l_{si}}{K_{si}} + \frac{l_{glue}}{K_{glue}} + \frac{l_{ins}}{K_{ins}} \right) \right) \parallel \frac{l_{si} + l_{glue} + l_{ins}}{K_{TSV} \cdot r \cdot S} \right] / 2 \cdot n \};$$

[0029] S表示芯片的面积; TSV即硅通孔的面积总和为 S_{TSV} , TSV占据芯片面积比例因子为 $r = S_{TSV}/S$, R_{hs} 表示热沉热阻; R_{pk} 表示封装的热阻; R_{si} 表示Si衬底电阻; R_{glue} 表示粘合层电阻; R_{ins} 表示绝缘层的电阻; l_{si} 表示Si衬底厚度; l_{glue} 表示粘合层厚度; l_{ins} 表示绝缘层厚度; K_{si} 表示Si衬底热导率; K_{glue} 表示粘合层电导率; K_{ins} 绝缘层电导率, Q表示平均每层功耗, K_{TSV} 表示通孔的热导率。

[0030] 本发明先将无硅通孔的多层堆叠芯片热传导模型用于matlab仿真, 然后将在加入硅通孔之后通孔占总面积的比例因子r情况下, 进行matlab仿真, 对比说明硅通孔有散热作用, 而且并不是越多越好, r在一个范围之类效果是最好的。如图4, 当不添加通孔时, 最高层芯片的温度为150K (相对于室温升高的温度), 从图4中可以看出, 随着层数的累加, 最高层芯片的温度基本上呈现直线上升, 当通孔占芯片总面积的比例因子分别为 $r=0.0001$, 0.001 , 0.01 时, 可以看出添加通孔时的温度明显比不添加通孔时减少了很多, r为 0.0001 时, 8层芯片温度为147K。比无通孔时降低3K, 降低2%。当 $r=0.001$ 时, 最高层芯片温度从未考虑硅通孔时的温度150K降低到136K, 降低14K, 降低9.3%。当 $r=0.01$ 时, 温度为126K, 降低了16%, 出现该情况原因为TSV具有散热的作用。

[0031] 但是, 随着r的继续变大, 温度变化越来越小, 如图5所示, 当 $r=0.0001$ 的时候, 芯片最高层温度为150k, 伴随着r的增大, 温度在急剧的下降, 随着r的继续增大, 温度变化却不在明显。如图5所示, 对于 $n=8$, r的最佳范围为 $0.005 \sim 0.01$, 当n为其他不同的值时, 可以根据这个方法来获得最佳值。

[0032] 在实际应用中, 硅通孔占芯片总面积没有具体量化说明, 为了最终确定硅通孔的数量和大小, 并验证上述采用matlab仿真所得结果的科学性。本发明采用ansys icepeak仿真与matlab仿真进行对比, 又建立了一个采用ansys icepeak仿真的模型, 因为在ansys icepeak建模中, 需要知道加入的硅通孔的直径与数量。所以我们在建立模型时, 通孔占芯片的总面积r已经不适用该仿真软件。因此需要建立一个关于通孔直径与数量的模型, 把通孔占总面积的比例因子r转化为相同比例因子的通孔数量与大小, 用matlab仿真之后, 再用ansys icepeak进行实际情况对比验证正确性。

[0033] 采用ansys icepeak仿真所建立有硅通孔的多层堆叠芯片热传导模型模型如下: 设该模型的芯片层数为n, 其第一层芯片自下至上依次是热沉层、封装层、衬底层, 第2至第n层芯片自下至上依次是绝缘层、粘合层、衬底层, 第一层芯片热阻为 R_1' ,

$$R_1' = \frac{P^2}{S} \left[\frac{1}{P^2 - \frac{\pi}{4} D^2} \cdot \frac{l_{si}}{K_{si}} \parallel \frac{l_{si}}{K_{TSV} \frac{\pi}{4} D^2} \right] + R_{pk} + R_{hs}, \text{第2至第n层热阻均为} R',$$

$$R' = \frac{P^2}{S} \left[\frac{1}{P^2 - \frac{\pi}{4} D^2} \cdot \left(\frac{l_{si}}{K_{si}} + \frac{l_{glue}}{K_{glue}} + \frac{l_{ins}}{K_{ins}} \right) \parallel \frac{l_{si} + l_{glue} + l_{ins}}{K_{TSV} \frac{\pi}{4} D^2} \right], \text{根据傅立叶热流分析理论, 建立并推}$$

导多层堆叠芯片的热传导模型函数, 多层堆叠芯片第n层温度为:

$$T_n = Q \left\{ \left[\frac{1}{P^2 - \frac{\pi}{4} D^2} \cdot \left(\frac{l_{si}}{K_{si}} + \frac{l_{glue}}{K_{glue}} + \frac{l_{ins}}{K_{ins}} \right) \parallel \frac{l_{si} + l_{glue} + l_{ins}}{K_{TSV} \frac{\pi}{4} D^2} \right] \frac{P^2}{S} \right\} \cdot \frac{n^2}{2}$$

[0034] $+ \left\{ \frac{P^2}{S} \left[\left(\frac{1}{P^2 - \frac{\pi}{4} D^2} \cdot \frac{l_{si}}{K_{si}} \parallel \frac{l_{si}}{K_{TSV} \frac{\pi}{4} D^2} \right) + R_{pk} + R_{hs} \right] \right.$

$$\left. - \left\{ \frac{P^2}{S} \left[\frac{1}{P^2 - \frac{\pi}{4} D^2} \cdot \left(\frac{l_{si}}{K_{si}} + \frac{l_{glue}}{K_{glue}} + \frac{l_{ins}}{K_{ins}} \right) \parallel \frac{l_{si} + l_{glue} + l_{ins}}{K_{TSV} \frac{\pi}{4} D^2} \right] \right\} / 2 \right\} n$$

[0035] S表示芯片的面积; TSV即硅通孔的面积总和为 S_{TSV} , TSV占据芯片面积比例因子为 $r = S_{TSV}/S$, R_{hs} 表示热沉热阻; R_{pk} 表示封装的热阻; R_{si} 表示Si衬底电阻; R_{glue} 表示粘合层电阻; R_{ins} 表示绝缘层的电阻; l_{si} 表示Si衬底厚度; l_{glue} 表示粘合层厚度; l_{ins} 表示绝缘层厚度; K_{si} 表示Si衬底热导率; K_{glue} 表示粘合层电导率; K_{ins} 绝缘层电导率; D 为TSV直径, P 为两个TSV之间的间距, Q 表示平均每层功耗, K_{TSV} 表示通孔的热导率。

[0036] 图3所示为具有9个硅通孔的堆叠芯片第i层芯片的俯视结构图, 9个硅通孔直径为0.35mm, 通孔占用总芯片面积为0.01. 其中每个芯片功率为0.7W。如图6所示为matlab仿真, 当芯片层数为8时, 温度为126k, 图7为ANSYS icepeak仿真, 与matlab模型仿真结果相吻合。

[0037] 本发明以SOP系统集成作为研究对象, 系统研究了硅通孔占芯片总面积的比例因子 r , 及通孔直径 D 以及间距 P 对芯片温度的影响, 提出了硅通孔的热传导模型。并通过matlab对解析模型进行仿真分析。分析发现, 在芯片层数及工作状态相同的情况下, 硅通孔可以有效地改善系统的散热特性, 并且硅通孔在特定数量大小下可以最大范围的改变温度。并通过ansys icepeak热仿真软件进行模型搭建及分析, 分析结果和matlab的分析相吻合。

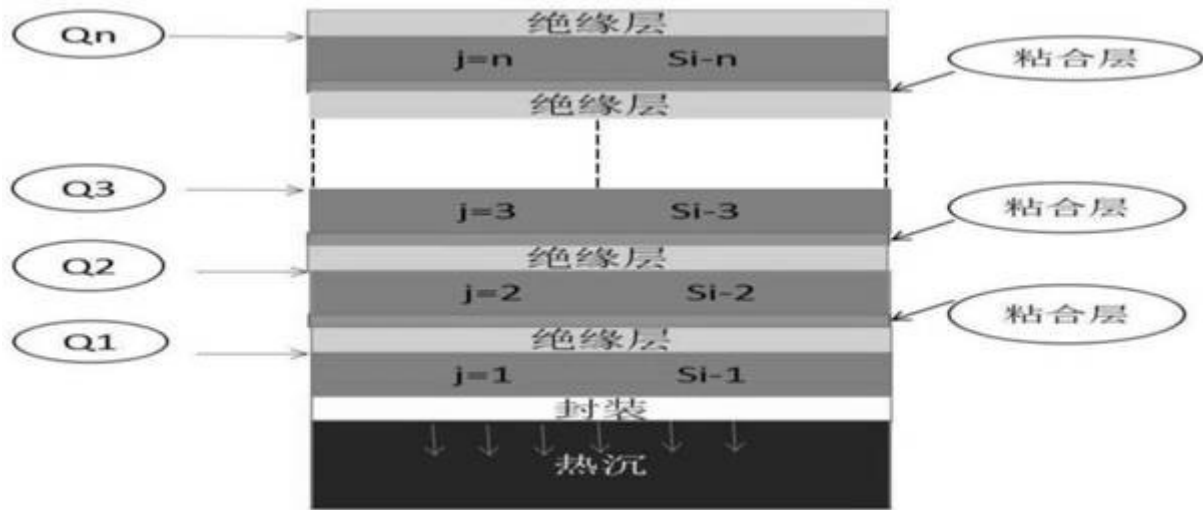


图1A

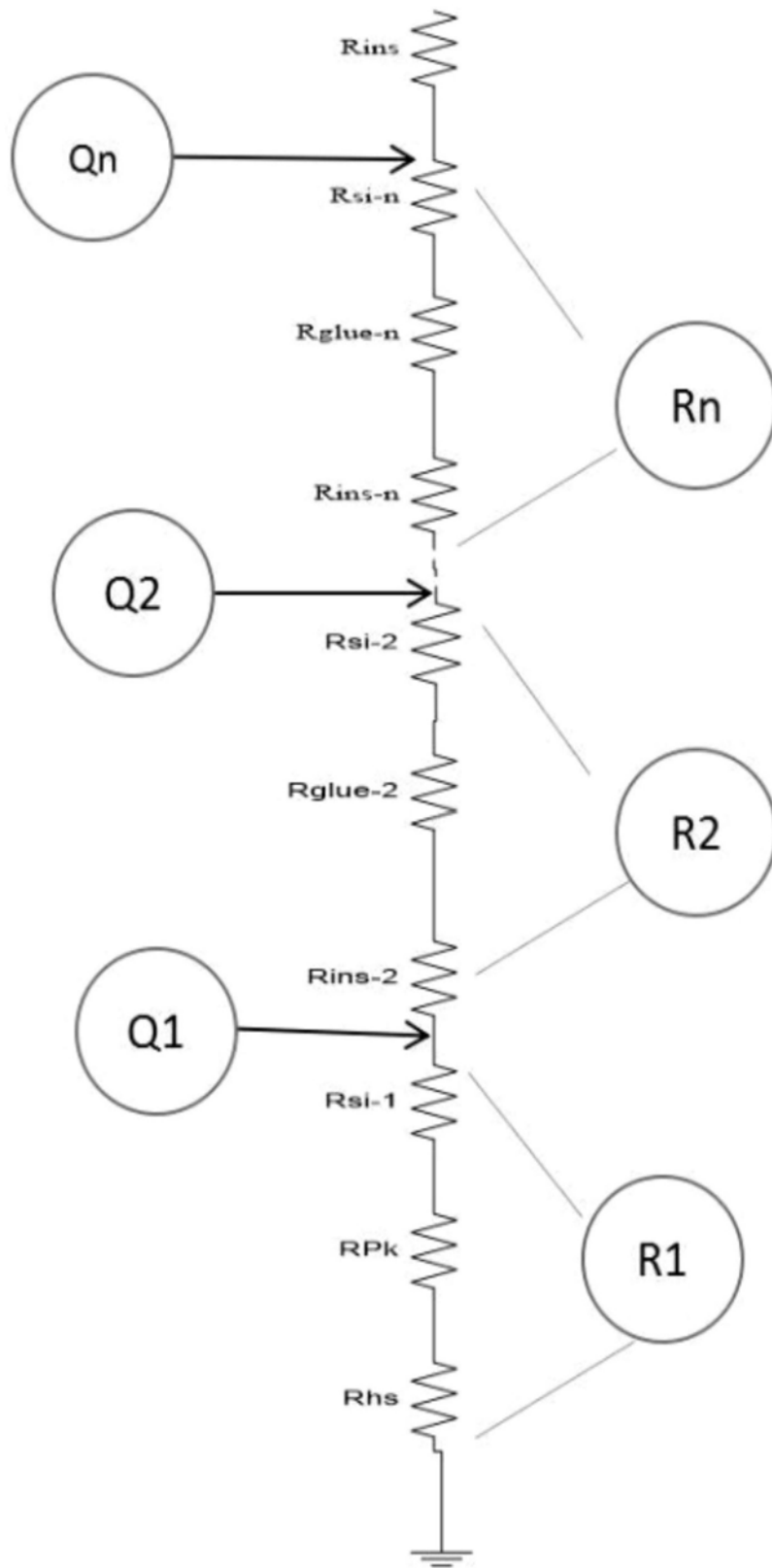


图1B

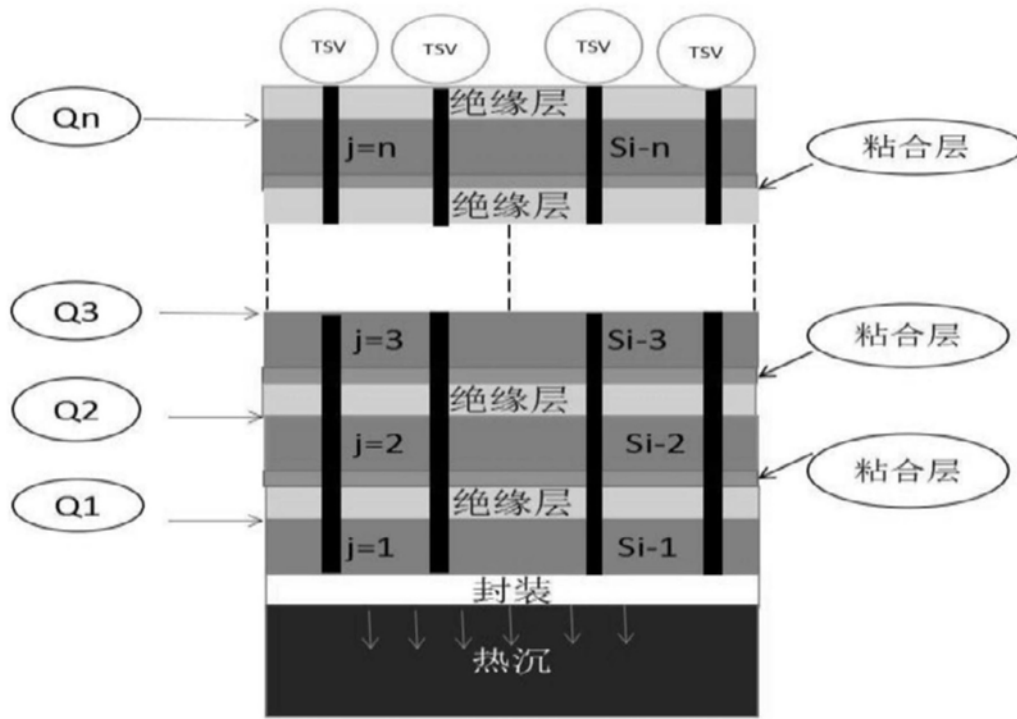


图2A

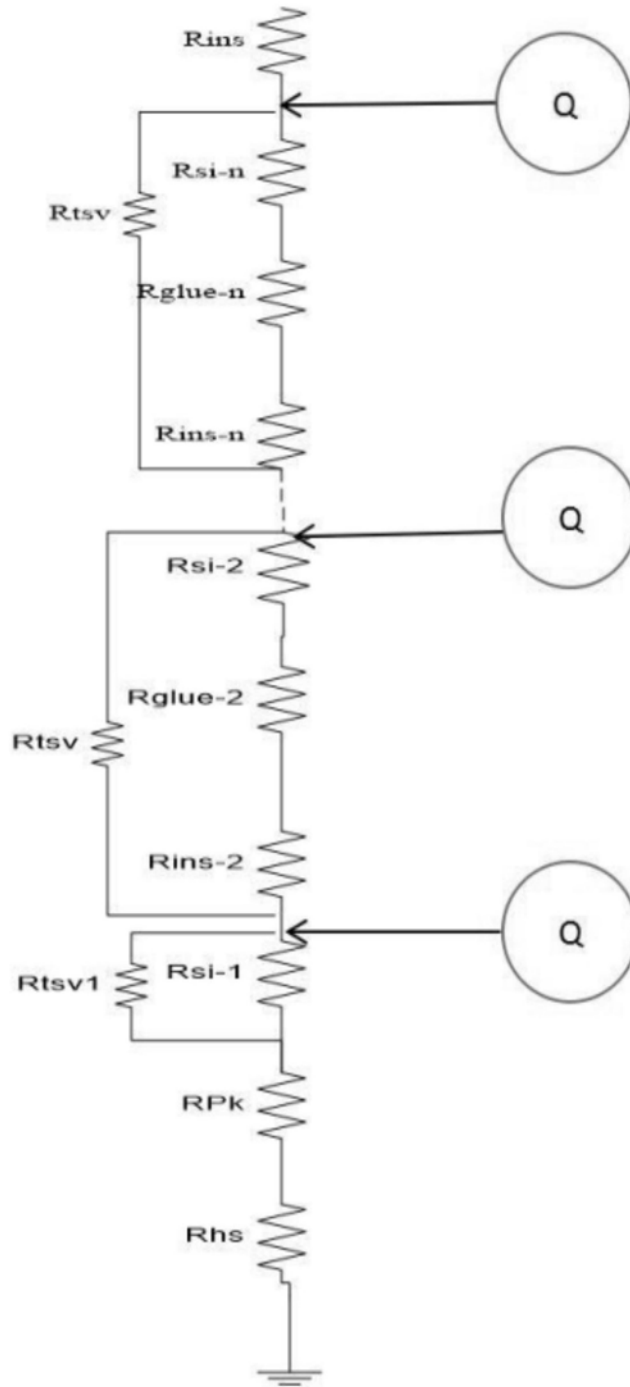


图2B

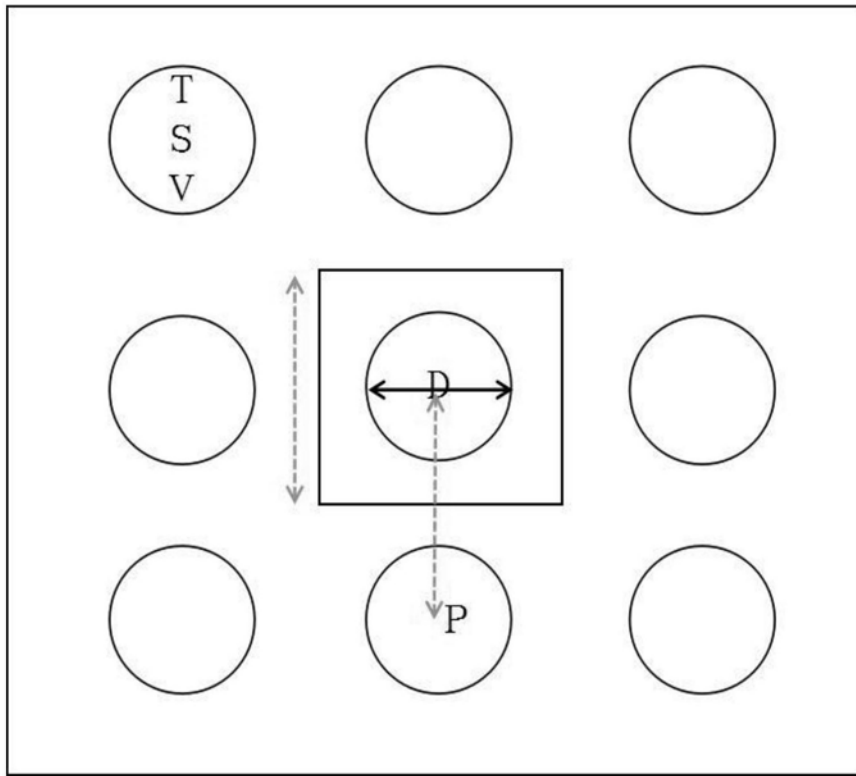


图3

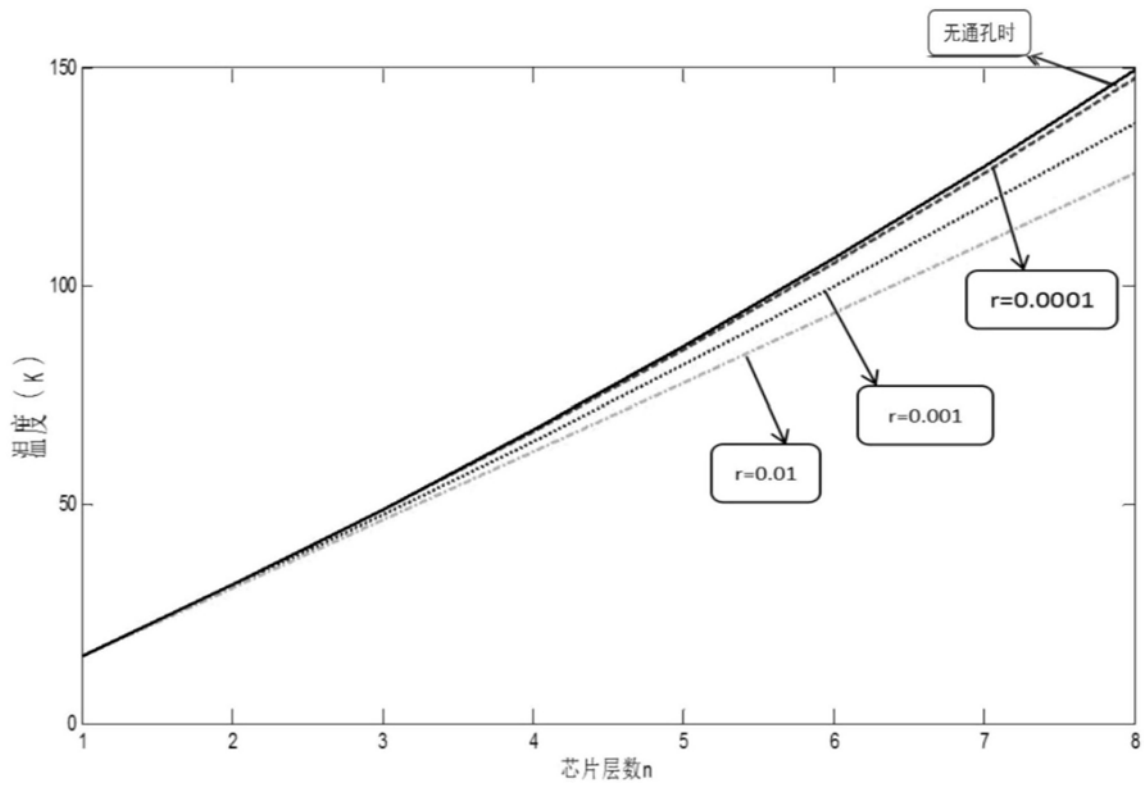


图4

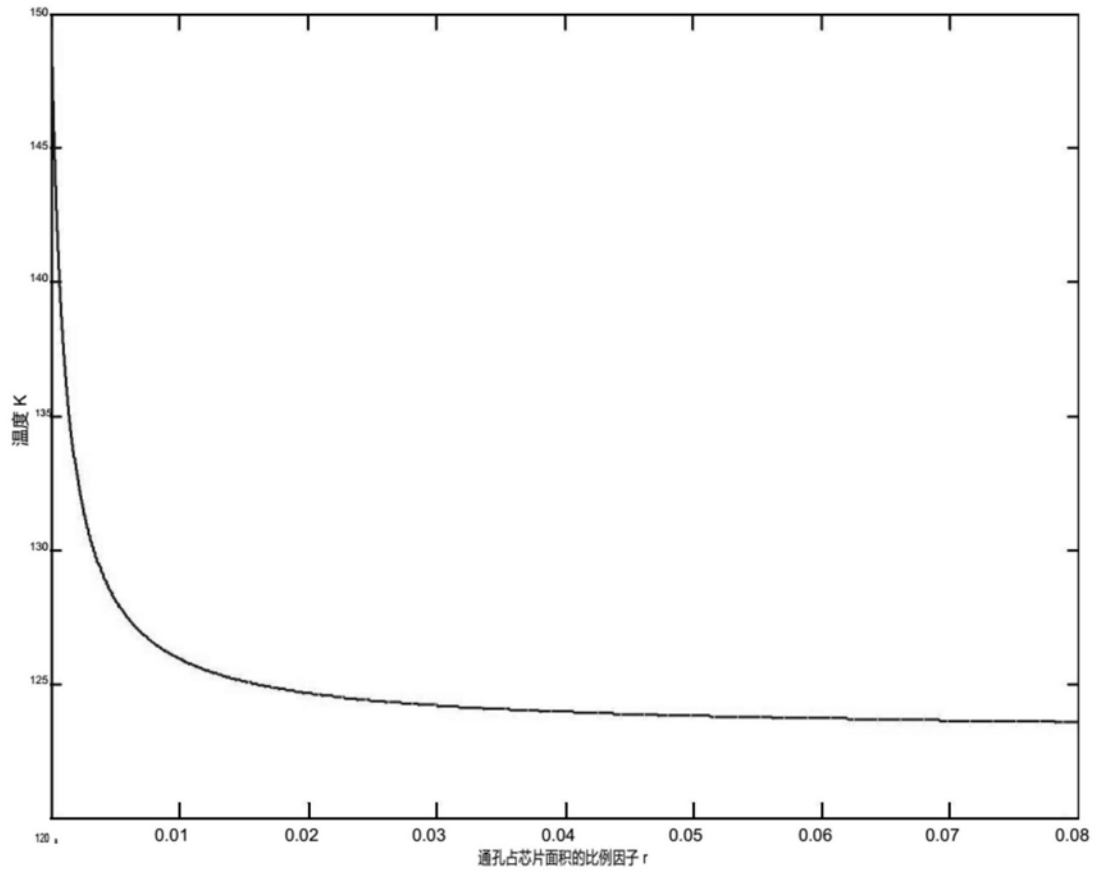


图5

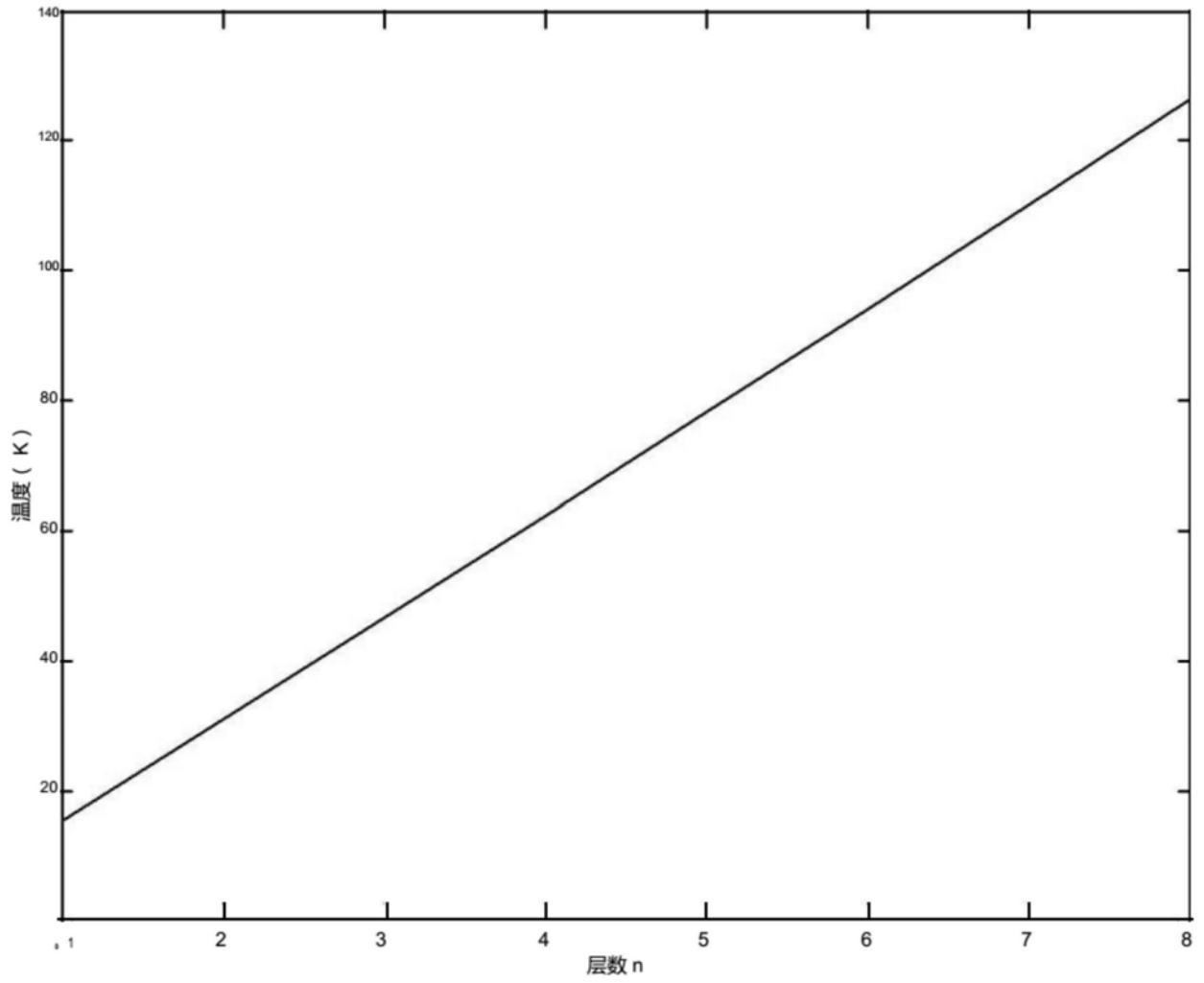


图6

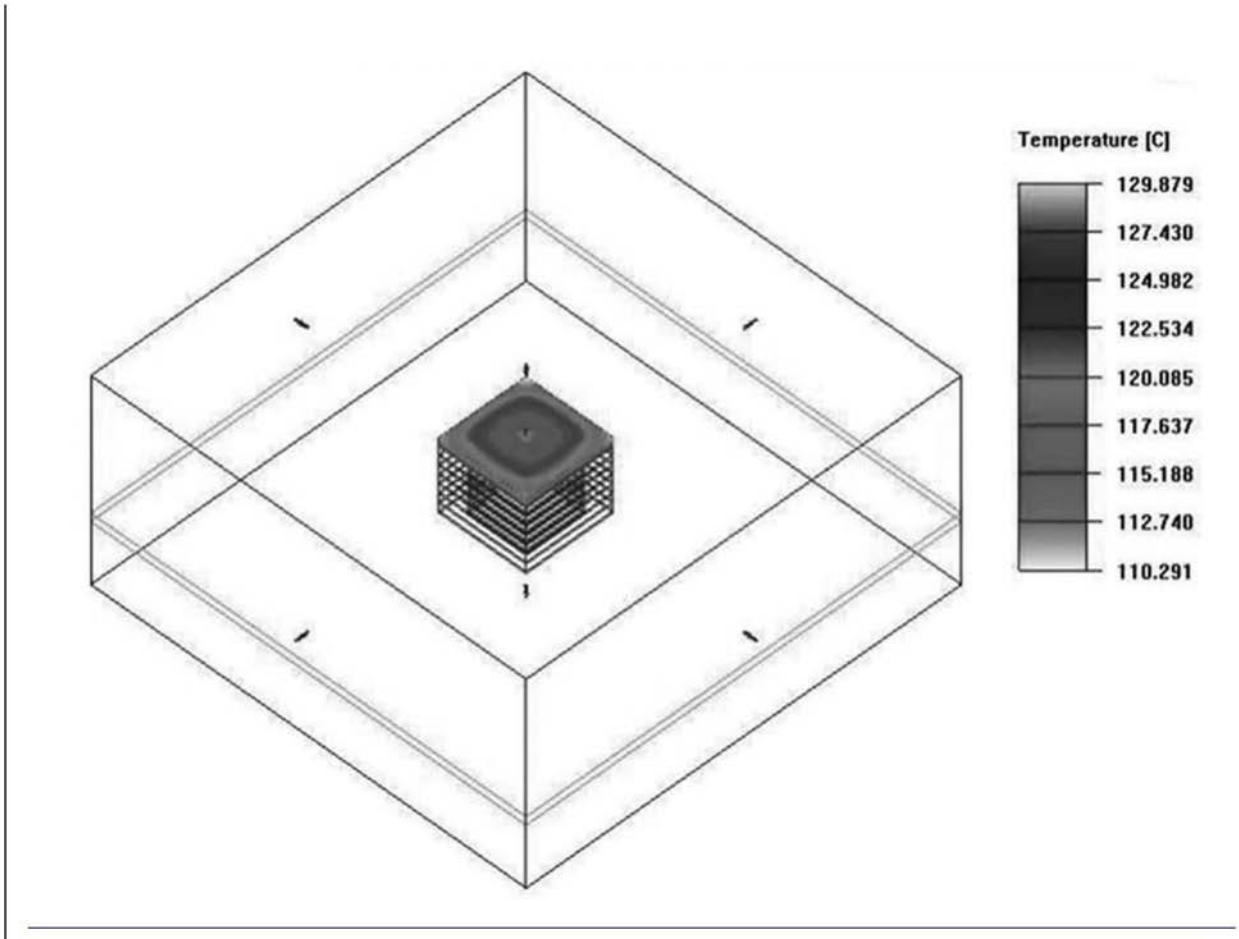


图7