



(12)发明专利申请

(10)申请公布号 CN 110574176 A

(43)申请公布日 2019.12.13

(21)申请号 201880028675.3

(74)专利代理机构 北京市金杜律师事务所
11256

(22)申请日 2018.05.02

代理人 姚杰

(30)优先权数据

15/587,754 2017.05.05 US

15/804,716 2017.11.06 US

(51)Int.Cl.

H01L 33/64(2006.01)

H01S 5/323(2006.01)

(85)PCT国际申请进入国家阶段日

2019.10.30

(86)PCT国际申请的申请数据

PCT/IB2018/053033 2018.05.02

(87)PCT国际申请的公布数据

W02018/203246 EN 2018.11.08

(71)申请人 国际商业机器公司

地址 美国纽约阿芒克

(72)发明人 C·卡尔 H·哈恩

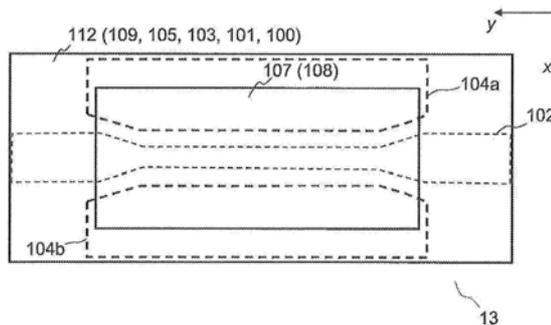
权利要求书3页 说明书12页 附图5页

(54)发明名称

具有III-V族增益材料和集成散热器的电光器件

(57)摘要

具有两个晶片组件的电光器件及其制造方法。第一晶片组件包括硅衬底及其顶部上的覆层。覆层包括在其中形成的空腔,其中该空腔填充有电绝缘的散热片,该散热片的导热率大于覆层的导热率。第二晶片组件包括III-V族半导体增益材料的堆叠,设计用于给定辐射的光学放大。第二晶片组件被接合到第一晶片组件上,从而使III-V族半导体增益材料的叠层与散热片热连通。另外,对于所述给定辐射,散热片的折射率低于硅衬底的折射率和III-V族半导体增益材料叠层的平均折射率。



1. 一种电光器件,包括:

第一晶片组件,包括硅衬底和所述硅衬底顶部上的覆层,所述覆层包括在其中形成的空腔,所述空腔填充有电绝缘的散热片,所述散热片具有比该覆层的导热率更大的导热率;和

第二晶片组件,包括III-V族半导体增益材料的堆叠,设计用于给定辐射的光放大,其中第二晶片组件与第一晶片组件接合,使得所述III-V族半导体增益材料的堆叠与所述散热片热连通;并且

所述散热片的折射率低于以下每一个:

所述硅衬底的折射率;和

对于所述给定辐射来说所述III-V族半导体增益材料堆叠的平均折射率。

2. 根据权利要求1所述的电光器件,其中,所述覆层中的空腔一直向上延伸到所述硅衬底,以使所述散热片与所述硅衬底接触。

3. 根据前述权利要求中的任一项所述的电光器件,其中,所述III-V族半导体增益材料的堆叠被构造为面向所述散热片并且至少部分地与所述散热片重叠。

4. 根据前述权利要求中任一项所述的电光器件,其中,所述散热片的导热率比所述覆层的导热率大至少十倍。

5. 根据前述权利要求中的任一项所述的电光器件,其中,所述第一晶片组件是绝缘体上硅晶片,所述覆层包括:

第一氧化物层,其对应于绝缘体上硅晶片的掩埋氧化物;和

在第一氧化物层的顶部上的第二氧化物层,并且其中,所述空腔延伸通过第二氧化物层并且至少部分地延伸通过第一氧化物层。

6. 根据权利要求5所述的电光器件,其中,所述电光器件包括在所述覆层中形成的、包括所述空腔在内的两个或更多的空腔的集合,所述集合的空腔填充有各自的、包括所述散热片在内的电绝缘的散热片,所述散热片的每个具有大于所述覆层的导热率的导热率,其中所述III-V族半导体增益材料的堆叠被布置得与所述散热片热连通。

7. 根据权利要求6所述的电光器件,其中,所述散热片包括由所述覆层的剩余部分隔开的两个散热片,所述剩余部分被布置在所述III-V族半导体增益材料的堆叠的对面,所述电光器件还具有包括嵌入所述覆层的剩余部分中的硅组件,所述组件由所述绝缘体上硅晶片的初始顶部硅层构成。

8. 根据权利要求6或7所述的电光器件,其中,所述组件是硅波导,其被布置在与所述III-V族半导体增益材料的堆叠的对面。

9. 根据前述权利要求中的任一项所述的电光器件,其中,所述散热片是CMOS兼容的材料。

10. 根据权利要求9所述的电光器件,其中所述电光器件是CMOS制造的器件,并且所述III-V族半导体增益材料的堆叠体被嵌入在所述电光器件的线路后端中。

11. 根据前述权利要求中的任一项所述的电光器件,其中,所述电光器件包括边缘发射激光器,所述边缘发射激光器包括所述III-V族半导体增益材料的堆叠。

12. 根据权利要求11所述的电光器件,其中,所述激光器被嵌入所述第二晶片组件内,以使与所述第二晶片组件内所集成的其他电子组件具有共同的线路后端。

13. 根据权利要求11或12所述的电光器件,其中,所述激光器是边缘发射型横向电流注入激光器。

14. 根据权利要求11或12所述的电光器件,其中,所述激光器是边缘发射型垂直电流注入激光器。

15. 根据前述权利要求中任一项所述的电光器件,其中,对于大于200nm的波长,所述散热片的折射率小于2.5。

16. 根据前述权利要求中任一项所述的电光器件,其中,所述散热片包括以下材料中的一种或多种:

金刚石;

氮化硼;和

氮化铝。

17. 根据权利要求16所述的电光器件,其中,所述散热片包括氮化铝。

18. 根据前述权利要求中的任一项所述的电光器件,其中,所述III-V族半导体增益材料的堆叠包括以下之一:

$\text{In}_{1-x-y}\text{Al}_x\text{Ga}_y\text{As}$, 其中 $0 \leq x \leq 1$ 且 $0 \leq y \leq 1-x$;

InGaAsP; 和

InGaAsN。

19. 一种硅光子芯片,包括在其中集成的电光器件,其中,所述电光器件包括:

第一晶片组件,包括硅衬底和所述硅衬底顶部上的覆层,所述覆层包括在其中形成的空腔,所述空腔填充有电绝缘的散热片,所述散热片具有比该覆层的导热率更大的导热率;和

第二晶片组件,包括III-V族半导体增益材料的堆叠,设计用于给定辐射的光放大,其中第二晶片组件与第一晶片组件接合,使得所述III-V族半导体增益材料的堆叠与所述散热片热连通;并且

所述散热片的折射率低于以下的每项:

所述硅衬底的折射率;和

对于所述给定辐射来说所述III-V族半导体增益材料堆叠的平均折射率。

20. 一种电光器件的制造方法,该方法包括:

提供所述电光器件的两个组件,其中:

所述组件中的第一组件包括硅衬底和在所述硅衬底顶部上的覆层;和

所述组件中的第二组件包括III-V族半导体增益材料的堆叠,用于给定辐射的光学放大;

在所述覆层中产生空腔;用电绝缘材料填充所述空腔以形成散热片,其中散热片具有:大于所述覆层的导热率的导热率;和

低于以下各项的折射率:

所述硅衬底的折射率;和

对于所述给定辐射来说所述III-V族半导体增益材料堆叠的平均折射率。

根据前述权利要求中的任一项所述的散热片,其中,所述散热片包括以下材料中的一种或多种:金刚石;氮化硼;和

所述给定辐射的III-V族半导体增益材料叠层的平均折射率,以及晶片接合这两个组件并构造III-V族半导体增益材料叠层的结构,以获得面向所述散热片、至少部分与所述散热片重叠并且与所述散热片热连通的结构化堆叠。

21. 根据权利要求20所述的制造方法,其中,所述空腔是:

所述空腔是通过将覆盖层向下蚀刻至硅衬底而产生的;且

所述空腔随后被用一种材料填充以形成散热片,以使所述散热片与所述硅衬底接触。

22. 根据权利要求20或21所述的制造方法,其中,所提供的所述第一晶片组件是绝缘体上硅晶片,并且其中,所述方法还包括在形成所述腔之前:

在与所述绝缘体上硅晶片的掩埋氧化物相对应的第一氧化物层上沉积第二氧化物层,以形成所述覆层,并且其中,随后穿过所述第二氧化物层蚀刻出所述空腔,以使所述空腔至少部分地到达所述第一氧化物层。

23. 根据权利要求20至22中的任一项所述的制造方法,其中,所述方法包括在所述覆层中产生包括所述空腔在内的一组两个或更多个空腔,并且其中,所述填充步骤包括用具有大于所述覆层的导热率的电绝缘材料填充所产生的空腔,以分别形成包括所述散热片在内的两个或多个散热片,其中所述III-V族半导体增益材料的堆叠被构造得使得所构造的堆叠被布置成与所述散热片相对并热连通。

24. 根据权利要求20至23中任一项所述的制造方法,其中提供所述组件中的第一组件包括:

提供绝缘体上硅晶片,其包括:

硅衬底;

在所述硅衬底的顶部上的第一氧化物层;和

在所述第一氧化物层的顶部上的顶部硅层;

结构化所述绝缘体上硅晶片的顶部硅层以获得硅组件;和

在所提供的晶片的第一氧化物层的顶部上沉积第二氧化物层,以形成所述覆层,所述覆层包括所述第一氧化物层和第二氧化物层,其中嵌入有所述硅组件,并且其中所述产生包括在填充被蚀刻以形成各个散热片的两个空腔之前,蚀刻由所述覆层的剩余部分隔离的两个空腔,所述剩余部分中嵌入了所述硅组件。

具有III-V族增益材料和集成散热器的电光器件

技术领域

[0001] 本发明总体涉及包括(例如作为激光器、光检测器或半导体光学放大器的一部分的)III-V族半导体增益材料的堆叠的电光器件领域以及硅光子芯片及其制造方法。特别地,本发明针对集成了散热片和/或散热器的电光器件。

背景技术

[0002] 本发明尤其涉及用于将散热器嵌入具有集成的电泵浦激光器的硅光子芯片中的器件和方法。需要在硅光子平台中集成III-V族半导体增益材料(例如用于以数据通信和/或电信波长发射的光源),以获取高带宽的光学互连。

[0003] 例如,基于横向电流注入(LCI)的III-V激光源特别有吸引力,因为其阈值电流和占位面积小,并且有可能将其嵌入CMOS制造的芯片的线路后端(可与其他CMOS组件一起集成)。LCI激光器较薄的堆叠高度,尤其使得可以在比其垂直电流注入的同类产品更小的节点处集成。更一般而言,人们可能希望在光子平台中集成几种类型的III-V族堆叠(用于激光、检测或放大目的)。

[0004] 现有技术通过用具有高导热率的材料涂覆激光器来解决硅上的III-V激光器的热管理问题,该材料既不是CMOS兼容的,也不是与在硅芯片的线路后端嵌入激光器兼容的。

[0005] 因此,在本领域中需要解决前述问题。

发明内容

[0006] 根据第一方面,本发明体现为一种电光器件,其包括两个晶片组件。第一晶片组件包括硅衬底和在硅衬底顶部上的覆层。覆层包括在其中形成的空腔。该空腔填充有电绝缘的散热片,该散热片还具有比所述覆层的导热率大的导热率。第二晶片组件包括III-V族半导体增益材料的堆叠,设计用于给定辐射(波长范围)的光学放大。第二晶片组件被接合到第一晶片组件上,以便使III-V族半导体增益材料堆叠与散热片热连通。此外,对于所述给定辐射(波长范围),散热片的折射率低于硅衬底的折射率,且低于III-V族半导体增益材料堆叠的平均折射率。

[0007] 根据以上解决方案,散热片被集成在所述硅平台内,这使得能够从III-V族器件进行有效的热传递,进而允许在运行中对由器件的有源组件产生的热量进行热管理。然而,散热片的集成并不以增加电光器件的尺寸为代价。确切来说,散热片代替了否则将存在的覆层材料体积部分,使得散热片的集成基本上不影响器件的厚度。

[0008] 所述空腔至少部分地延伸穿过覆层。覆层中的空腔最好还向上延伸到硅衬底。因此,填充空腔的散热片与硅衬底接触。这样,相对于所述集成的III-V族组件和散热片而言尺寸比较大的硅衬底,可以充当散热器。

[0009] 为了提高散热效率,最好将III-V族半导体增益材料堆叠构造得与散热片相对。即,所得的结构化III-V族堆叠与散热片相对,以便(至少部分地)面对后者。

[0010] 在优选实施例中,散热片的导热率比覆层的导热率至少大十倍。实际上,可以嵌入

一个非常高效的导热体,除此之外导热体就电阻率和折射率而言可以满足所有要求。在这一方面,对于大于200nm的波长,散热片的折射率优选小于3.1,或者甚至小于2.5。

[0011] 优选地,第一晶片组件是绝缘体上硅晶片,并且所述覆层包括:第一氧化物层,其对应于绝缘体上硅晶片的掩埋氧化物;以及在第一氧化物层之上的第二氧化物层。为了光学耦合的目的,确实可能需要第二氧化物层。尽管如此,空腔可以延伸穿过第二氧化物层并且至少部分地延伸穿过第一氧化物层,以使散热片靠近硅衬底并且在可能的情况下与之直接接触。

[0012] 在实施例中,电光器件包括在覆层中形成的一组两个或更多个空腔(包括上述空腔),其中该组空腔填充有各自的散热片(包括上述散热片)。每个散热片都是电绝缘的,并且具有大于覆层的导热率的导热率。而且,III-V族半导体增益材料的堆叠被布置得与所有散热片热连通。将多个散热片布置在不同的空腔中可以消散多个组件中的热量,还使得有可能在空腔之间的剩余部分中提供组件。

[0013] 例如,该电光器件可以包括由覆层的剩余部分隔开的两个散热片,该剩余部分与III-V族半导体增益材料的堆叠相对地布置。另外,电光器件还可以包括嵌入覆层的残留部分的硅组件(例如硅波导芯)。该硅组件可能已经从绝缘体上硅晶片的初始顶部硅层获得。因此,可以取得从绝缘衬底上硅的初始(顶部)硅层处理例如实现从/到III-V族堆叠的光耦合所需的特征的优势。

[0014] 优选地,散热片是CMOS兼容的材料。因此,在实施例中,电光器件可以是CMOS制造的器件,其中III-V族半导体增益材料的堆叠可以被嵌入在电光器件的线路后端。

[0015] 在实施例中,电光器件包括边缘发射激光器(包括III-V族堆叠)。在那种情况下,具有集成的散热片是特别有利的,因为通过晶片接合将激光源集成在硅上可能会导致过多的热量,从而降低激光器的性能。激光器可以例如被嵌入第二晶片组件中,从而允许与集成在第二晶片组件中的其他电子组件有公共的线路后端。优选地,该激光器是边缘发射的横向电流注入激光器,使得器件的厚度减小。在变体中,激光器仍然可以是边缘发射的垂直电流注入激光器。

[0016] 就材料而言,散热片优选地包括金刚石、氮化硼和/或氮化铝,这些材料满足上述所有要求。优选使用易于加工的氮化铝,特别是因为可以另外用该相同的材料来获得接合层并实现晶片接合。此外,在实施例中,III-V族半导体增益材料的堆叠包括 $\text{In}_{1-x-y}\text{Al}_x\text{Ga}_y\text{As}$ 、 InGaAsP 或 InGaAsN ,其中 $0 \leq x \leq 1$ 且 $0 \leq y \leq 1-x$ 。

[0017] 根据另一方面,本发明体现为一种硅光子芯片,其包括在其中集成的诸如参照实施例描述的电光器件。

[0018] 根据最后一个方面,本发明体现为制造这种电光器件的方法。该方法实质上依赖于晶片接合两个组件。第一组件包括一个硅衬底和一个位于硅衬底顶部的覆层,而第二组件则包括III-V族半导体增益材料—例如之前提到的材料—的堆叠。在第一组件的覆层中形成空腔。随后用电绝缘材料填充空腔,以形成如上所述的散热片(具有适当的导热率、折射率和电阻率)。通过晶片接合这两个组件,并进一步构造III-V族半导体增益材料的堆叠以获得结构化的堆叠,该堆叠与所形成的散热片相对并与之热连通。

[0019] 与电光器件的优选实施例一致,空腔至少部分地延伸穿过覆层。最好通过将覆层向下蚀刻到硅衬底来形成空腔,随后用材料填充空腔以形成散热片,从而使散热片与硅衬

底接触。

[0020] 在实施例中,所提供的第一晶片组件是绝缘体上硅晶片,并且该方法还包括在形成所述空腔之前,在与绝缘体上硅晶片的掩埋氧化物对应的第一氧化物层上沉积第二氧化物层晶片,以形成所述覆层。随后通过第二氧化物层蚀刻空腔,以使空腔至少部分地进入第一氧化物层。

[0021] 本制造方法实际上可以包括在覆层中创建一组两个或多个空腔,然后用合适的材料填充这些空腔以获得散热片。然而,III-V族半导体增益材料的堆叠被构造成使得所得堆叠被布置成与散热片相对并且与其热连通。

[0022] 最后,优选地提供绝缘体上硅晶片形式的第一晶片组件,其包括:硅衬底;在硅衬底的顶部上的第一氧化物层;以及在第一氧化物层的顶部上的顶部硅层。构造绝缘体上硅晶片的顶部硅层以获得硅组件,并且在第一晶片组件的第一氧化物层的顶部上沉积第二氧化物层,以形成其中嵌入所述硅组件的、包括第一氧化物层和第二氧化物层的覆层。随后形成的空腔之间由覆层的其中例如为了光学耦合的目的嵌入了所述硅组件的剩余部分隔离。

[0023] 现在将通过非限制性示例并参考附图来描述体现本发明的器件制造方法。

附图说明

[0024] 现在将仅以举例的方式参考优选实施例描述如以下各图所示的本发明实施例:

[0025] 图1至图3是根据本发明的实施例的具有在其中集成的散热片和散热器的电光器件的简化二维截面图,该实施例包括边缘发射激光器,该边缘发射激光器包括III-V族半导体增益材料的堆叠,其中,图1示出了横向电流注入器件;图2和图3描绘了图1的垂直电流注入器件,图3还包括在III-V族材料堆叠下面嵌入覆层中的硅波导;

[0026] 图4是图3中的器件的(简化的)顶视图,其中一些隐藏的组件由虚线表示;

[0027] 图5是根据实施例的其中集成有散热片和散热器的硅光子芯片的二维截面图,其中,电光器件与异质结构双极晶体管共集成;

[0028] 图6和图7是分别比较根据实施例的电光器件(具有集成的热管理)和没有热管理的器件通常获得的输出功率和升温效应的曲线图;

[0029] 图8示出了根据实施例的表示电光器件的高级制造步骤的图示流程图。

[0030] 附图示出了实施例中所涉及的器件或其组件的简化表示。附图中描绘的技术特征不一定按比例绘制。除非另外指出,否则附图中相似或功能相似的元件被分配了相同的附图标记。

具体实施方式

[0031] 如前言所述,人们可能希望将III-V族堆叠集成到光子平台中。总之,人们希望减小所得器件的厚度。现在,正如人们可能意识到的那样,为了消散薄平台中III-V族堆叠产生的热量,需要进行热管理。然而,这通常需要在平台上增加热扩散组件/散热器组件,这继而影响器件的尺寸,因此与减小器件尺寸的实际目的相矛盾。因此,本发明人已经开发出解决该问题的解决方案。

[0032] 参考图1至图4,首先描述本发明的一方面,其涉及电光器件11-14,其集成了对由这种器件的有源光学组件产生的热量的热管理。在每种情况下,本器件包括两个晶片组件

1、2。

[0033] 第一晶片组件1包括硅(Si)衬底100和位于Si衬底100顶部的覆层101、103。实际上,第一组件1最初可以以绝缘体上硅(SOI)晶片的形式提供,其原因将在以后给出。

[0034] 覆层101、103包括在其中形成的一个或多个空腔104c。每个空腔104c填充有电绝缘材料,以形成散热片104(图1、2)或一组散热片104a、104b(图3、4)。如下所述,通常在覆层101、103中蚀刻出空腔104c,并且优选向下蚀刻至Si衬底100。因此,覆层101、103被构造成存在一个或多个空腔,并且可能由平行于堆叠108的水平面的平面内对准的层部分组成。

[0035] 如本文中所理解的散热片,包括一种导热率实质上大于覆层101、103的有效导热率的材料。发明人从实验得出结论,为了使散热片104明显地影响散热,散热片的导热率最好比覆层的导热率高一个或多个数量级(例如,超出至少10倍左右)。

[0036] 另一方面,散热片104的电阻率通常应至少为 10^4 欧姆米($\Omega \cdot m$),以便使III-V族堆叠充分绝缘。除了其导热率和电阻率之外,散热片104还有在物理位置和折射率方面的其他要求,如下文所述。

[0037] 第二晶片组件2包括有源光学组件106-109,其包括III-V族堆叠108,在下文中通常被称为“III-V族堆叠”(或甚至“堆叠”)。堆叠108包括来自III-V族化合物半导体的材料,其提供增益介质,从而实现感兴趣的辐射的光学放大,这本身就是已知的。

[0038] III-V族堆叠108优选地形成激光器组件的一部分,例如,横向电流注入(LCI)激光器或垂直电流注入(VCI)激光器。然而,更一般地,III-V族堆叠108可以被设置为激光器、光学检测器或半导体光学放大器(SOA)。如附图中所假定的,堆叠108的III-V材料沿着垂直于堆叠主平面的堆叠方向z堆叠。

[0039] 在所有情况下,III-V族堆叠108能够产生、检测或放大给定波长范围内,特别是给定平均波长下的辐射。根据DIN 5031,感兴趣的波长范围在光学范围内,即100nm-1mm。因此,此处使用的术语“辐射”是指波长在100nm至1mm之间的电磁辐射。然而,在本文预期的大多数应用中,波长范围将在200nm至 $7.5\mu m$ 之间。特别地,对于数据通信/电信应用,通常考虑到1.3和 $1.55\mu m$ 的波长(并且可能是980nm)。

[0040] 第二晶片组件2被接合到第一晶片组件1,以使III-V族堆叠108与散热片热连通。实际上,一般对堆叠进行结构化,以便使所形成的结构化堆叠108与散热片和器件11-14的其他组件精确对准,这将在后文参考制造方法进行讨论。

[0041] 填充空腔104c的散热片104、104a、104b的折射率分别低于以下各项:(i) Si衬底100的折射率;(ii) III-V族堆叠108的平均折射率—至少对于所述堆叠108的感兴趣的辐射而言。该约束条件是确保散热片的存在不损害覆层的基本光学功能—需要这种功能来限制辐射,并可能使辐射从波导102光学耦合到III-V族堆叠108中,反之亦然。

[0042] 将一个或多个散热片104、104a、104b直接集成在Si平台中,使得能够从有源光学器件107-109进行有效的热传递,进而允许对电光器件11-14进行热管理。然而,散热片的集成并不以增加电光器件的尺寸为代价。相反,散热片代替了否则将存在的覆层体部分,使得散热片的集成基本上不影响器件的厚度。

[0043] 因此,本方法尤其可用于Si互补金属氧化物半导体(CMOS)平台上的III-V族光电子器件(例如激光器、检测器、半导体光放大器)的单片集成,为此,可以有利地使用浅III-V族堆叠(厚度一般小于500nm)。在这方面,本发明的(接合的)晶片1、2的总厚度最好不超过

500nm。组合的晶片1、2的平均厚度可以例如在50nm至400nm之间，并且优选地在120nm至280nm之间（沿z轴测量）。准确的厚度取决于所依赖的实际光电器件。例如，集成有横向电流注入激光器的器件的厚度一般将小于集成有垂直电流注入激光器的器件的厚度。

[0044] 相反，现有的解决方案通常包括将有源光学组件（例如激光器）嵌入芯片上，由此，有源区域通常被二氧化硅（导热性差的材料）包围。结果，热量主要在有源组件的侧面上横向地流动，并且通过二氧化硅的小横截面流动，这意味着高热阻。与这种现有方法不同，这里的热量可以通过散热片104、104a、104b更有效地消散，而不会影响器件的尺寸。

[0045] 在实施例中，在覆层101、103中实现的每个空腔104c一直延伸到Si衬底100，从而使散热片104、104a、104b与下面的Si衬底100接触，后者因此可以有效地充当散热器。最好将这种空腔104c向下蚀刻至Si衬底。Si具有149W/m.K的适度高的导热率，尽管可能不如为散热片104选择的材料那么有效，但导热效果却很好。但是，下面的Si衬底的典型尺寸对此进行了补偿。散热片传递有源器件107-109（特别是III-V族堆叠108）产生的热能，并将其传递给Si衬底100，从而在Si平台11-14中形成集成的散热器。因此，可以将Si衬底（背面减薄）减薄（使用已知技术）以连接提供比Si高导热性的散热器。

[0046] 然而，在变型中，中间散热片104可以与器件11-14的其他组件热接触，后者可能集成在其中，并且也可以充当散热器。在其他变体中，覆层101的薄的剩余厚度可以将散热片104的底表面（假设与图1-3中的取向相同）与Si衬底100的顶表面分开，而这基本上不会影响器件11-14的散热特性。因此，散热片104不必与Si衬底100直接接触。

[0047] 更具体地参考图1至图4。在图1-2中，III-V族堆叠108优选地被构造成与散热片104相对。“相对”是指III-V族堆叠与散热片相对，以便至少部分面对后者。即，III-V族堆叠108中的每一个的投影与接合平面105上的散热片至少部分地重叠。散热片104可以例如在堆叠108下方居中，以优化热量转移和耗散。在变型中，散热片可以稍微偏离中心，例如，以容留一例如为了光学耦合的目的而需要的一另一个组件102，如图3所示的那样。但是在那种情况下，最好有两个或更多个散热片104a、104b在中央组件102的每一侧，每个散热片偏离中心，并且还部分地面向堆叠108。

[0048] 注意，热量不仅由III-V族堆叠108产生，而且还由周边零部件106、107、109产生，并且在较小的程度上由电触点（例如，图1中的110、111）产生。因此，散热片的一个或多个平面内尺寸可以有利地超过III-V族堆叠108的对应尺寸。在图1中显著可见，散热片104沿x轴的延伸长度超过了底部III-V族堆叠108的延伸长度。类似地，图4中的散热片104a、104b沿y轴的延伸长度略微超过了III-V族堆叠108沿y轴的延伸长度。另外，尽管图3和图4的实施例中涉及的散热片104a、104b是分开的，它们的总占位面积（footprint）（两个散热片的最外端之间沿x轴的方向测量的）基本上超过了III-V族堆叠108的总占位面积。这使得可以捕获由其他周围组件—例如接触通孔113-116b—产生的热量。通常，散热片的占位面积最好至少等于（或基本等于）III-V族堆叠108的占位面积。

[0049] 如先前所提到的，第一晶片组件1优选地由SOI晶片1构成，即，由被处理为具有埋在SOI晶片1中的氧化物层101（通常为SiO₂）的晶片构成。尽管如此，例如为了光耦合/嵌入的目的，可能需要另一个覆层103，使得覆层101、103实际上可以是一个复合层，包括SOI晶片1的掩埋氧化物层101和覆盖在第一氧化物层101顶部的第二氧化物层103。在这种情况下，空腔104c延伸穿过第二氧化物层103并且至少部分地延伸穿过第一氧化物层101。不过，

出于先前提到的原因,最好将空腔104c向下蚀刻至Si衬底100。第二氧化物层103可以例如直接涂覆第一氧化物层101。如图3所示,第二层103可用于嵌入用于光耦合目的的波导102,这两个氧化物层101、103起着覆盖层的作用。在这种情况下,第二层103还可以用来在III-V族堆叠108与Si波导102之间增加间隙距离并调节之间的光学耦合。像第一氧化物层101一样,第二层可以包括SiO₂。然而,光耦合可以使用更高折射率的材料(例如Al₂O₃)。在那种情况下,Si波导102可以被覆盖以覆盖结构101、103,该覆盖结构除了初始氧化物材料101(例如SiO₂)之外还包括具有比(用于感兴趣的辐射的)基础覆盖材料折射率更大的折射率的不同氧化物材料103(例如Al₂O₃)。

[0050] 尽管如此,也可以在没有附加层103的情况下实现光学耦合。但是,在那种情况下,III-V族堆叠108通常需要逐渐缩小以允许耦合。这会阻止某些应用,因为锥形III-V区域可能导致出现未泵浦区域,并最终导致光学损耗,这可能是相当大的,尤其是对于III-V族堆叠区域。

[0051] 如果不需要制造诸如波导102之类的组件,则可以完全去除SOI衬底的顶部Si层,从而形成剥离的SOI衬底,而没有顶部Si层的任何剩余部分。然而,可能需要顶层Si层,例如,以制造波导或其他Si组件,如在图3-5的实施例中的那样,注意到图1至图3的实施例2也可能也包括波导(尽管未示出)。因此,覆层101、103可以包括SOI晶片的初始掩埋氧化物层101的剩余部分。另外,覆层101、103还可在其顶部或其剩余部分上包括附加的氧化物层103,从而形成可能被结构化的复合氧化物层101、103。通常,覆层101、103包括一种或多种氧化物。覆层101、103优选地由相同的材料制成,例如,SiO₂、蓝宝石(即结晶Al₂O₃)或非晶态Al₂O₃。

[0052] 这两个组件1、2一般通过一个或多个接合层105、105a、105b(见图8)接合,接合层105、105a、105b由选择的材料制成,以确保有源组件107-109与散热片104、104a、104b之间的良好的热连通。接合层可以例如包括SiO₂或Al₂O₃。接合层一般将具有小于50nm、优选地小于30nm的厚度。有趣的是,可以进一步考虑AlN-AlN接合。如下所述,当将AlN用于散热片时,例如将AlN用于接合层将特别有利。然而,在那种情况下,AlN接合层的厚度应当优选地被限制为20nm。关于优选的制造方法的另外的解释将在后面参考图8详细讨论。

[0053] 现在更具体地参考图3和图4:根据实施例的电光器件13可以包括形成在覆层101、103中的一组两个或更多个空腔104c,其中,空腔104c被填充以形成一组散热片104a、104b。在电阻率、折射率(相对于III-V族堆叠和硅)和导热率方面,所获得的每个散热片都受到与前面讨论的相同的约束。特别地,每个散热片具有的导热率大于相邻的覆层101、103的导热率。与本发明的基本原理一致,III-V族堆叠108被布置得与该组散热片104a、104b热连通。

[0054] 优选地,这里再次将III-V族堆叠108相对于散热片104a、104b这样布置,即,至少部分地与后者重叠。将若干个散热片104a、104b布置在不同的空腔104c中,允许在空腔104c之间的剩余部分中提供一个或多个Si组件102。如前所述,所述组件102可以已经由SOI衬底100的初始顶部Si层形成。

[0055] 特别地,并且如图3-4所示,所获得的散热片可以包括两个散热片104a、104b,它们由覆层101、103的剩余部分隔开。该剩余部分与III-V族堆叠108相对地布置。在此,电光器件11-14还包括嵌入覆层101、103的剩余部分中的Si组件102。该Si组件102有利地从SOI晶片1的初始顶部Si层102i图案化而成。

[0056] 该Si组件可以特别地是与III-V族堆叠108相对布置的Si波导102。如图3、4进一步所示,该Si波导可以是锥形的,以利于与III-V族堆叠108之间的光学耦合。在变型(未示出)中,可以存在附加的Si组件(从相同的顶部Si层构成)并且/或者Si波导芯102可以进一步构造为包括一个或多个—例如两个—分布式布拉格反射器(DBR)。布拉格反射器可以布置在波导管芯的输入部分和输出部分的其中之一或每一个中,如本身已知的。在其他变体中,光电器件可以配置为分布式反馈(DFB)激光器,这要归功于光波导芯的结构,该光波导芯包括布置在波导芯的中间部分的、即在锥形(未示出)之间的一个或多个分布式反馈反射器。

[0057] 在所有情况下, Si波导102位于III-V族堆叠下方,可以将该层结构配置为光学耦合III-V族堆叠与Si波导102之间的辐射。这种光学耦合可以是双向的或互易的,即,在器件13的操作中,从III-V族堆叠108到Si波导102发生,以及相反地,从Si波导102到III-V族堆叠108发生。

[0058] 光学耦合理想地是绝热的。即,最好将Si波导102配置成使得与III-V族堆叠108绝热耦合,从而使Si波导102中的锥度如图4所示。绝热光学耦合本身是已知的。当光学分布由相同的本征模、即整个接触中耦合系统的超模定义,且对其他超模或辐射模的散射最小时,满足绝热条件。然而众所周知,绝热是一个相对的术语。当光损耗低于预定水平时,例如小于15%、但通常小于10%时,光耦合器被认为是绝热的。可以将Si波导102的锥形部分设计得在优化光学耦合的同时最小化外部(宽)波导102部分之间的光学耦合。在实践中,锥形部分的长度通常应在10 μ m和10mm之间,该长度范围允许超过绝热极限。

[0059] 用于制造散热片104、104a、104b的材料优选地是CMOS兼容的。即,该材料优选地与CMOS制造工艺兼容,同时可以使制造空腔104c和填充物的工艺与CMOS制造工艺兼容(即,结构化晶片1可以是CMOS兼容的)。这尤其允许将本发明的电光器件与CMOS集成电路集成。

[0060] 因此,本电光器件11-14的至少一部分可以是CMOS制造的。特别地,III-V族堆叠108可以被嵌入在电光设备11-14的线路后端(BEOL)中。还有,最好将散热片将部分地嵌入在后端中、部分地嵌入线路的前端(FEOL)下方。因为如在图1-3中所假定的那样,用于填充空腔的材料可以在FEOL边界以下延伸。

[0061] 如前所述,本发明的电光器件11-14可以特别地包括边缘发射激光器106-109,边缘发射激光器包括所述III-V族堆叠108。在这种情况下,具有集成式散热片是有特别优势的,由于通过硅片接合将激光源集成在Si上,否则会由于所谓“自热效应”的效应而导致过热并降低激光器的性能。这中效应在图6和7中示出。实际上,如图6中所示,LCI激光器的理想的理论输出功率是偏置电流的线性函数。现在,对于“真实的”LCI激光器来说,该线性模式仅适用于较小的偏置电流值。例如,假设使用低功率cw(连续波),硅上的DBR激光器(在输出侧的反射率 $R_2=0.9$),并且该激光器集成在浅堆叠(厚度小于500nm)中,则该线性模式仅适用于一般小于20mA的偏置电流。但是,如果在(如实施例中的)其他相同的器件中(基于与Si基板接触的两个热夹层散热片)集成热管理,则我们可以看到输出功率可以显著增加(例如,偏置电流50mA时增加2倍,超过50mA时增幅更高)。此外,可以在更大范围的偏置电流(>200mA,图6)上保持可观的输出功率。这可以归因于以下事实:集成的热管理允许大大地降低器件的升高温度,这又减轻了自热效应的不利后果(图7)。

[0062] 如在图1-4中所假定的那样,最好将激光器106-109以允许与其他电子组件共用线路后端的方式嵌入在III-V晶片元件2中,其中这种其它组件需要被集成在相同的晶片组件

2中。即,可以将金属插头、互连和通孔113、113a、114、114a、115、115a、116、116a(图3)处理得与电子设备所需的通孔和金属插头(未显示)一起向下穿过各个上层(未显示)到激光器107-109。对于图1-2的器件来说,可以设想类似的布置,并且可以将其它电子组件(未示出)集成(平行于激光器107-109)并以基本上相同的方式电接触。

[0063] 如图1中所示,电光器件11可以特别地包括边缘发射的LCI激光源106-109。III-V LCI激光源的确是特别吸引人的,因为其阈值电流小,占位面积小,以及有可能将其嵌入在CMOS芯片的线路后端,因此可以与上方晶片组件1中的其他CMOS集成电路共同集成。由于LCI激光器的更薄的堆叠高度,此类器件可以在比垂直电流注入的对应节点更小的节点上集成。

[0064] 然而,为了消散由LCI激光器产生的热量,在这种小尺寸上的集成需要有效的热管理,这要归功于图1的示例中的嵌入式散热片104。散热片的侧向占位面积远远超过III-V族堆叠108,从而不仅捕获了由堆叠108散发的热量,也捕获了由侧向结构110、111以及籽晶层106a、106b散发的热量,以及在较小程度捕获了由触点结构110-111b散发的热量。

[0065] 在图1的示例中,如图1所示,籽晶层106b是最初用于生长多量子阱(MQW)堆叠108的籽晶层的剩余部分。籽晶层106是初始沉积(例如,MOCVD)在接合之后从上方向下沉积的盖层(cap layer),然后可以用作接触层107、109的籽晶层。层106可以进一步用于生长侧向结构110、111,其中堆叠108横向地嵌入其中。籽晶层106、106b可以由InP或任何其他III-V族化合物材料制成。横向结构107、109是接触层,其基本上平行于堆叠108的主平面一即在平面(x,y)上一延伸。

[0066] 在图1的示例中,假设接触层107、109包括p型和n型InP。通常,在MQW堆叠108的顶部和底部上存在附加的III-V层,包括通常包括InAlGaAs的独立限制异质结构(SCH)106a。因此,堆叠108的有源区可以在SCH层106a之间。接合层105在两个晶片组件1、2之间的界面处延伸。接合层105实际上可以由两个分开沉积的层产生,如稍后参考图8所讨论的那样。为完整起见,上部组件107-111覆盖有例如氧化层112,就像层101、103一样,该层可以包含SiO₂或Al₂O₃。

[0067] 在图1中,提供由对称的110b、111b金属触点形成的对称的欧姆触点(金属-半导体触点)组,该组金属触点由垂直金属通孔110a、111a和顶部金属焊盘110、111(也可以用作互连布线)连接,以用于堆叠108中的横向电流注入。欧姆触点包括分别与p掺杂层107和n掺杂层109接触的p型和n型触点110、111。在本示例中欧姆触点形成相对于正中垂直平面对称地布置的组。为垂直平面。

[0068] 在诸如图2或3所示的实施例中,电光器件12、13包括边缘发射的垂直电流注入(VCI)激光器107-109。由于电流注入现在是垂直的,所以(例如同样由InP制成的)接触层107、109现在平行于堆叠108延伸。接触层109具有较大的占位面积,以便与偏心的欧姆触点113b、116b接触,而内部触点114b、115b与上层触点107电连通。欧姆触点同样由下部113b、114b、115b、116b金属触点形成,下部金属触点由垂直金属通孔113a、114a、115a、116a和顶部金属焊盘113、114、115、116(也可以用作互连布线)连接。除了由于垂直电流注入与横向电流注入(以及特别是不存在i-InP层)引起的差异之外,图2、3的器件12、13在其他方面类似于图1的设备11。如前所述,图3的组件还包括嵌入式Si组件102。

[0069] 尽管在图2-3中未示出,垂直电流注入激光器的层堆叠108还可以包括电子阻挡层

(或EBL),例如,包括InAlAs并且平行于堆叠108的主平面延伸,以将后者与p掺杂层隔离。当前,讨论了电光器件11-14中涉及的各种部件100-104、108的优选材料和期望的物理性质。

[0070] 首先,覆层101、103、112一般包括相同的材料,例如SiO₂、蓝宝石(即晶体Al₂O₃)或非晶Al₂O₃,如前所述的那样。最典型地,覆层101、103、112包括SiO₂。

[0071] 接下来,III-V族堆叠108可以包括In_{1-x-y}Al_xGa_yAs (0 ≤ x ≤ 1, 0 ≤ y ≤ 1-x)。即,因此可以考虑多种材料,包括InAs、AlAs、(例如,用于量子点激光器的)InGaAs和InAlGaAs。特别地,当使用GaAs衬底时,可以考虑InAs量子点。在变体中,III-V族堆叠108可以包括InGaAsP或InGaAsN。通常,III-V族堆叠108可包括夹在其他III-V材料(例如InP或GaAs)之间的多量子阱(MQW)部分,最好与MQW部分晶格匹配,以防止氧化,以开始生长核心III-V族堆叠层。III-V族堆叠108还可以包括夹在量子阱之间的量子点,这本身是已知的。

[0072] 这样的层堆叠108比较容易例如通过分子束外延MBE或通过金属有机化学气相沉积MOCVD来生长。如果需要的话,可以掺杂半导体材料,并且最好结合例如应力变来调谐带隙。

[0073] 对于感兴趣的波长来说,III-V族堆叠的有效折射率通常将为3.3-3.4,而硅的折射率为约3.5。因此,散热片材料通常需要更低一例如小于3.1一的折射率,以确保适当的光学限制和耦合(必要时)。优选地,例如对于大于200nm的波长,每个散热片104、104a、104b的折射率小于2.5,以便确保一方面在散热片104之间的有效折射率的足够差异,另一方面在堆叠108的有源光学材料与硅波导102之间的有效折射率的足够差异。

[0074] 为了满足这样的要求以及就导热率和电阻率而言的其他同样重要的要求,用于散热片104、104a、104b的合适材料尤其可以是金刚石、氮化硼(BN)或氮化铝。

[0075] 氮化硼的折射率通常在1.8至2.1之间。其导热率通常在20-740W/m·K(取决于其确切的结构和厚度)的范围内,而其电阻率通常在10⁶-10¹¹Ω·m的范围内。金刚石的折射率为2.4,导热率非常大(900-2320W/m.K),电阻率非常大(10¹¹-10¹⁸Ω·m)。

[0076] 然而,最好使用氮化铝(AlN),氮化铝的导热率(通常在60-285W/m·K)比SiO₂的更大(SiO₂的导热率通常在1-12W/m·K的范围),折射率为1.9-2.2(SiO₂的折射率为1.5)和电阻率(10⁵-10¹²Ω·m)比SiO₂的更大(SiO₂的电阻率为10⁸Ω·m)。沉积在腔中的AlN通常具有六角纤锌矿晶体结构,尽管也可以是立方体的,甚至是无定形的。氮化铝AlN是宽带隙(6.2eV)的III-V化合物。AlN的薄膜(纤锌矿)将具有足够高的导热率(例如180W/m.K)和高电阻率(例如ρ=10⁹-10¹¹Ω·m)。然而,取决于掺杂,AlN的电阻率值可以稍微变化。在本文中,优选地寻找具有至少10⁴Ω·m(更优选地至少10⁶Ω·m)的电阻率的散热片。在所有情况下,散热片的最小电阻率和最小导热率都必须大大地大于基础覆层材料(例如SiO₂或Al₂O₃)的电阻率和导热率。

[0077] 根据另一方面,本发明可以体现为诸如图5中所示的Si光子芯片14。芯片14包括在其中集成的如先前参考图1-4所述的电光器件11-14。如图5所示,通常可以将附加组件共集成在同一芯片14上。注意,在这种情况下,如图5所示,可以在该器件中布置散热片104a、104b,以便能够从图5中所显示的几个组件13、20中排热。为此,散热片可以具有不同的尺寸并且相对于参考电光组件13具有不同的偏移,以使散热片其中之一104b也与芯片14的另一组件20相邻。

[0078] 一般来说,芯片14可以共集成CMOS组件、BiCMOS、Si光子组件等。本器件11-14可以

构成光子电路器件的部分,其可以包括CMOS线路前端(FEOL),或双极CMOS FEOL。例如,光子电路器件可以包括晶片和掩埋氧化物层,其上具有电子器件和无源光电子器件。

[0079] 在图5的简单示例中,除了电光组件13(类似于图3的电光组件)之外,芯片14还包括集成电路(IC)20,其与电光器件13集成在一起。两个器件13、20尤其可以集成为一个Si CMOS集成电路。

[0080] 可以认为IC 20与电光器件13单片集成。然而,在文献中,术语“单片集成激光器”通常涉及硅上的异质外延。如本文的实施例中所设想的通过接合工艺集成的激光器通常被称为是异质集成的。然而,除了接合工艺之外,制造过程的其余步骤通常将类似于单片集成。因此,实施例允许获得一个平台,该平台将III-V激光器集成到CMOS制造过程中。

[0081] 在实施例中,如图2所示,将该IC 20与电光器件13一起集成在原本支撑器件13的在同一硅衬底100上。即,用同一个衬底100来支撑每个器件13、20。然而,作为变型,可以基于不同的基材例如在平坦化之后进行除了这些器件10、20之外的接合,从而可能进行晶片接合。

[0082] 在实施例中,光电器件14是个BiCMOS器件,并且IC 20包括异质结构双极晶体管或HBT,如图5中所示。该HBT可以被支撑在与器件10所使用的的相同的Si衬底100上,如上文所述的那样。然而,更一般地,HBT 20可以作为单纯的CMOS IC或双极IC被共集成。

[0083] 在图5的示例中,堆叠108被横向嵌入覆层介质112中,而其他组件101、202-208则被横向嵌入覆层介质101-103中,其除此之外还包括散热片104a、104b。HBT 20包括选择性的Si外延层202,以及Si集电极204、硅锗基极206($\text{Si}_x\text{Ge}_{1-x}$, $0 \leq x \leq 1$)和Si发射极208。当然,为了清楚起见,图中不是HBT 20的所有组件都有描述。特别地,未示出HBT 20的触点。

[0084] 现在参考图8,描述了本发明的另一方面,其涉及如先前参考图1-5所描述的电光器件11-14的制造方法。在对器件11-14的描述中已经隐式地涉及了这种制造方法的许多方面。因此,下面仅简要地概述这种制造方法。

[0085] 需要实现两个结构化的晶片组件1、2。本方法可以包括这些部件中的每一个的完整制造。在各种变体中,它们依赖于已经部分制造的晶圆1、2。在所有情况下:

[0086] -最初可以提供第一晶片组件1(例如作为SOI晶片)或制造第一晶片组件1(图8的步骤S10-S12)。该晶片1包括Si衬底100和在Si衬底100的顶部上的覆层101、103。如果需要,可以在SOI晶片1的掩埋氧化物101上沉积第二氧化物层103(S12),以便形成双覆层101、103;和

[0087] -需要第二组件2(步骤S21及以后),它包括一个III-V族堆叠108。

[0088] 在步骤S13中,在第一晶片1的覆层101、103中生成一个或多个空腔104c。可以使用标准蚀刻技术来蚀刻这些空腔。例如,可以通过使用标准等离子体蚀刻技术将二氧化硅101、103向下蚀刻至Si衬底100,来形成空腔。在变体中,空腔仅被部分地蚀刻穿过层101、103。

[0089] 接下来,用材料填充空腔S14以形成散热片104(例如,通过溅射或使用化学气相沉积技术)。如前所述,用于散热片104的材料在导热率、电阻率和折射率方面满足特定要求。

[0090] 最后,将这两个组件1、2晶片接合S20-S21。另外,将最初设置在晶片2上的III-V族堆叠进一步结构化S22、S23,以获得相对散热片104布置并与其热连通的结构化堆叠108。

[0091] 在与III-V晶片2接合S20、S21之前,通常通过化学机械抛光(CMP)来平坦化第一晶

片组件1。最好在沉积接合层105a之前,也在步骤S15进行CMP。可以在III-V晶片上沉积另外的覆层105b(例如,Al₂O₃)以获得高的接合强度,步骤S20。在两侧分别沉积S15、S20每个接合层105a、105b之后、接合S21之前,可以进一步进行CMP。可以首先将第二晶片2提供在由蚀刻停止层106s涂覆的衬底106c(例如InP)上。还可以在步骤S22去除层106c、106e,其中首先通过湿蚀刻去除InP衬底,随后也通过湿蚀刻去除蚀刻停止层。

[0092] 如上所见,器件的制造中可以涉及各种工艺,不过这些工艺在半导体工业中通常被单独地使用。

[0093] 在实施例中,可能希望进一步允许如图3所示的光学耦合。于是,有利地,在步骤S0可以使用SOI晶片1,其包括Si衬底100,在Si衬底100的顶部上的掩埋氧化物层101和在第一氧化物层101的顶部上的顶部Si层102i。可以对SOI晶片1的顶部Si层进行结构化S11,以获得希望的光学耦合所需的Si组件102。否则,可以简单地去除顶部的硅层。接下来,在步骤S12沉积第二氧化物层103,以形成其中嵌入有Si组件102的覆层101、103。因为该Si组件102(例如波导芯)可能需要在堆叠108下方居中布置,所以可以形成至少两个空腔104c,它们之间由覆层101、103的剩余部分隔开,其中,在填充被蚀刻以形成各自的散热片104的两个空腔104c之前,将Si组件102嵌入在所述剩余部分中。

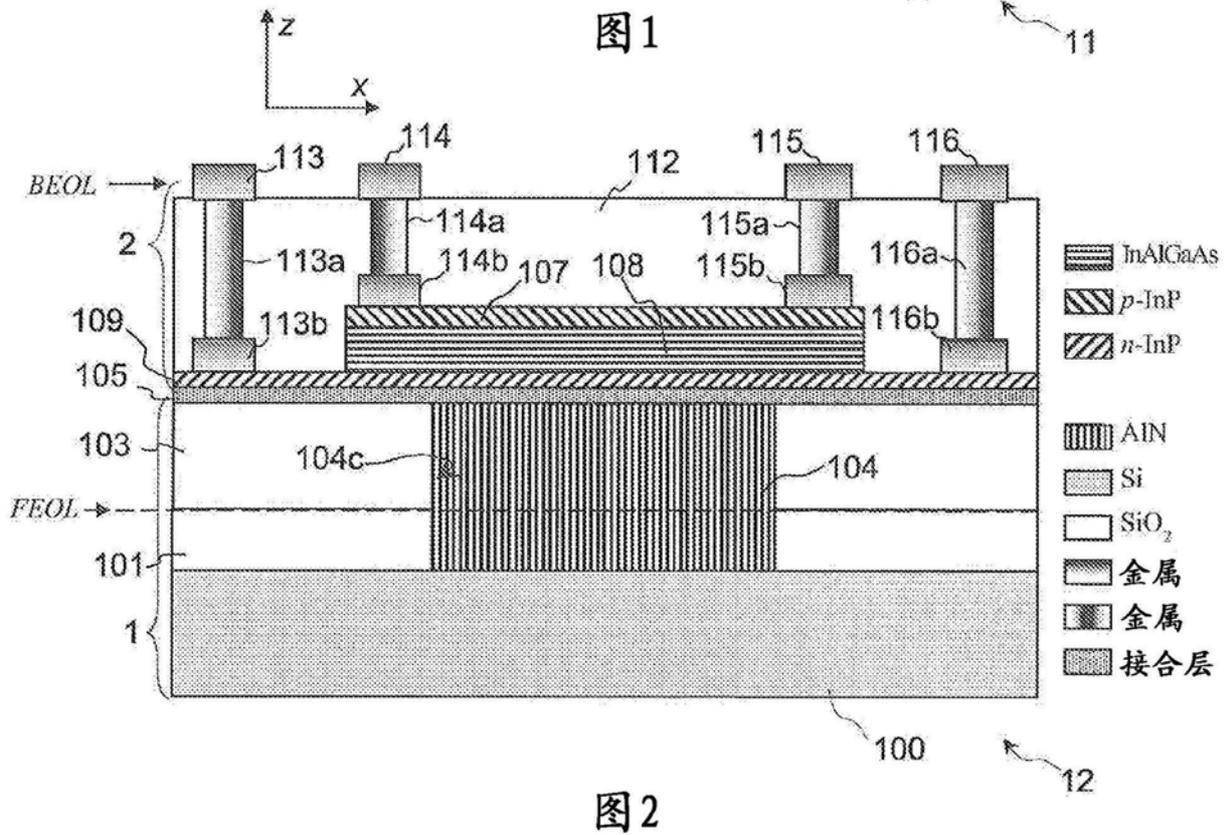
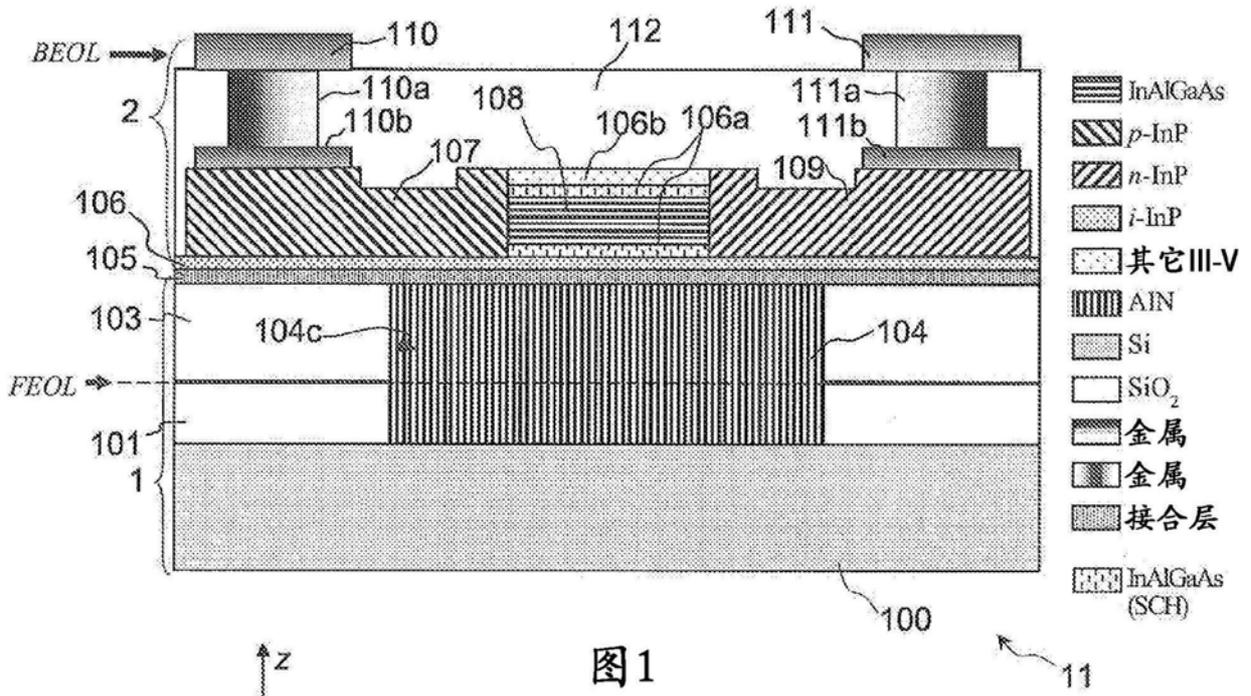
[0094] 已经简要地描述了以上实施例。为了简洁起见,这些实施例可包括不一定在附图中示出的组件或结构。例如,为简洁起见,未系统地描绘电极和触点。作为另一示例,本发明的一些电光器件可以被配置为分布式布拉格(Bragg)反射器激光器。为此目的,光波导芯可以被构造得包括一个或多个—例如两个—布置在波导芯的输入部分和输出部分的其中之一或每个中的布拉格反射器。在变体中,由于光波导芯被构造为包括布置在波导芯的中间部分(即在锥体之间)的一个或多个分布式反馈反射器,因此电光器件可以被配置为分布式反馈激光器。

[0095] 本文描述的一些方法可以用于集成电路芯片的制造。制造商可以以原始晶片形式(即具有多个未封装芯片的单个晶片)、裸芯片或封装形式来分发所得的集成电路芯片。在后一种情况下,芯片安装在单芯片封装中(例如塑料载体,引线固定在母板或其他更高级别的载体上),或者安装在多芯片封装中(例如陶瓷载体,其具有其中一个或两者兼有的表面互连或掩埋互连)。在任何情况下,该芯片都可以与其他芯片、分立电路元件和/或其他信号处理设备集成在一起,作为(a)中间产品(例如母板)或(b)最终产品的一部分。最终产品可以从低端应用到高级计算机产品范围的任何包含集成电路芯片的产品。

[0096] 尽管已经参考有限数量的实施例、变型和附图描述了本发明,但是本领域技术人员将理解,在不脱离本发明的前提下,可以进行各种改变并且可以替换等同物。特别地,在不脱离本发明的范围的情况下,在给定的实施方式、变型或附图所示的特征(类似于设备或方法的特征)可以与另一实施方式、变型或附图中的另一特征组合或替换另一实施方式、变型或附图中的另一特征组合。因此,可以想到关于以上实施例或变型中的任何一个所描述的特征的各种组合,其仍在所附权利要求的范围内。另外,在不脱离本发明范围的情况下,可以进行许多小的修改以使特定情况或材料适应本发明的教导。

[0097] 因此,本发明不限于所公开的特定实施例,而是将包括落入后附权利要求的范围内的所有实施例。另外,可以想到除上面明确涉及的之外的许多其他变型。例如,可以想到除了关于堆叠108,接触层107、109,覆层材料101、103、112或散热片104、104a、104b而明确

列出的那些材料以外的其他材料。



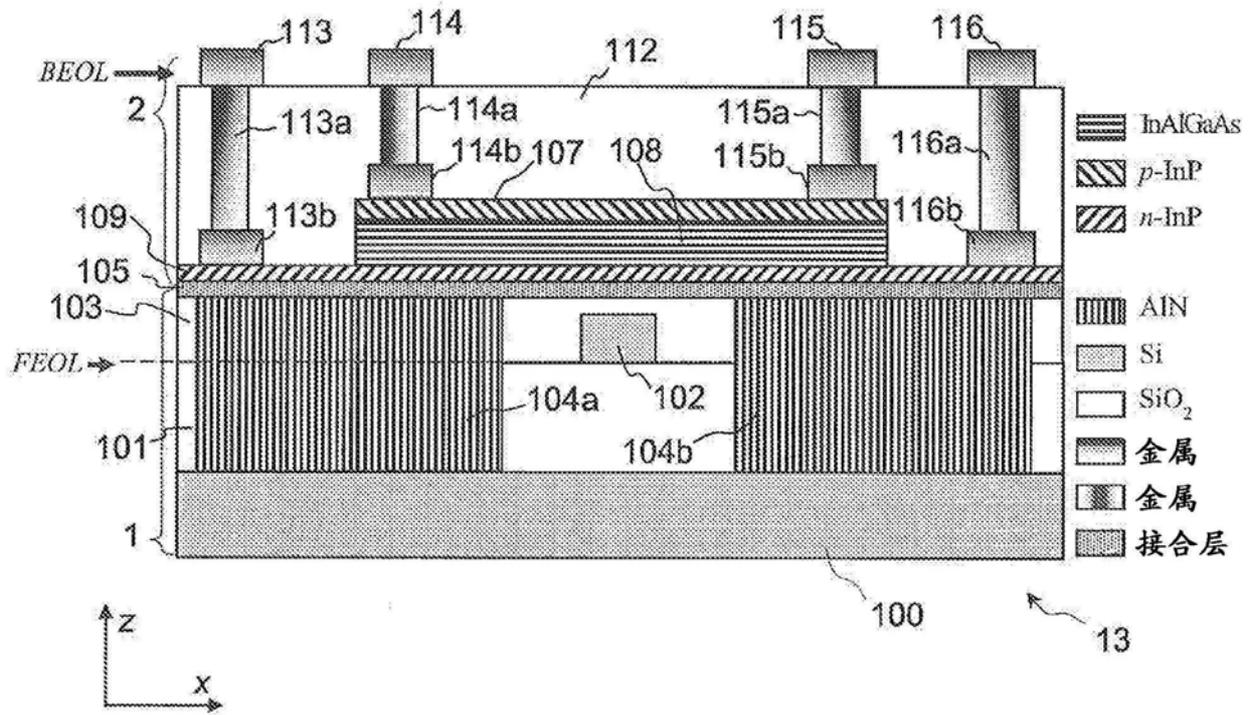


图3

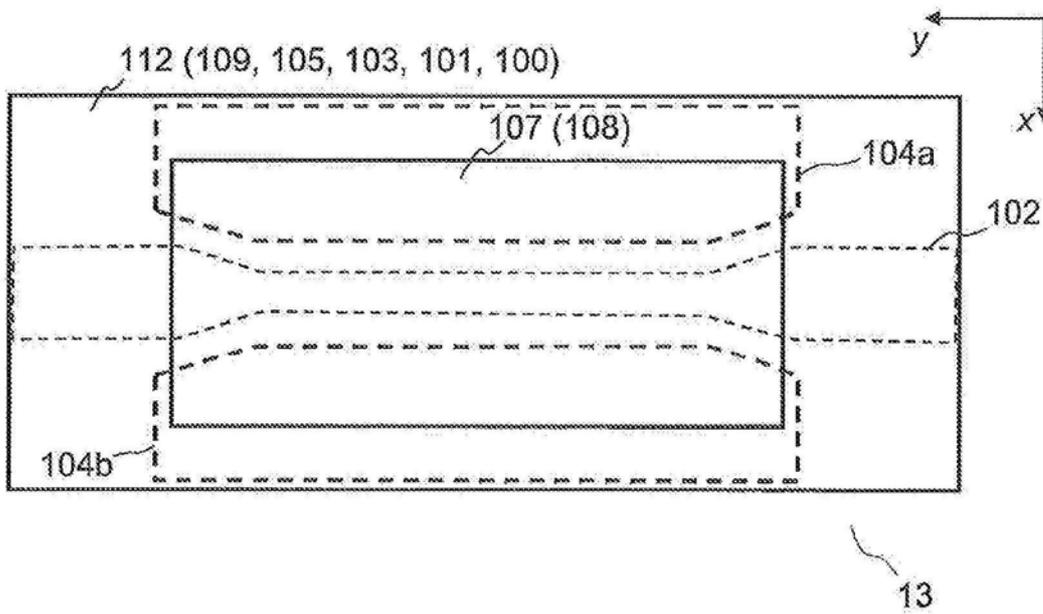


图4

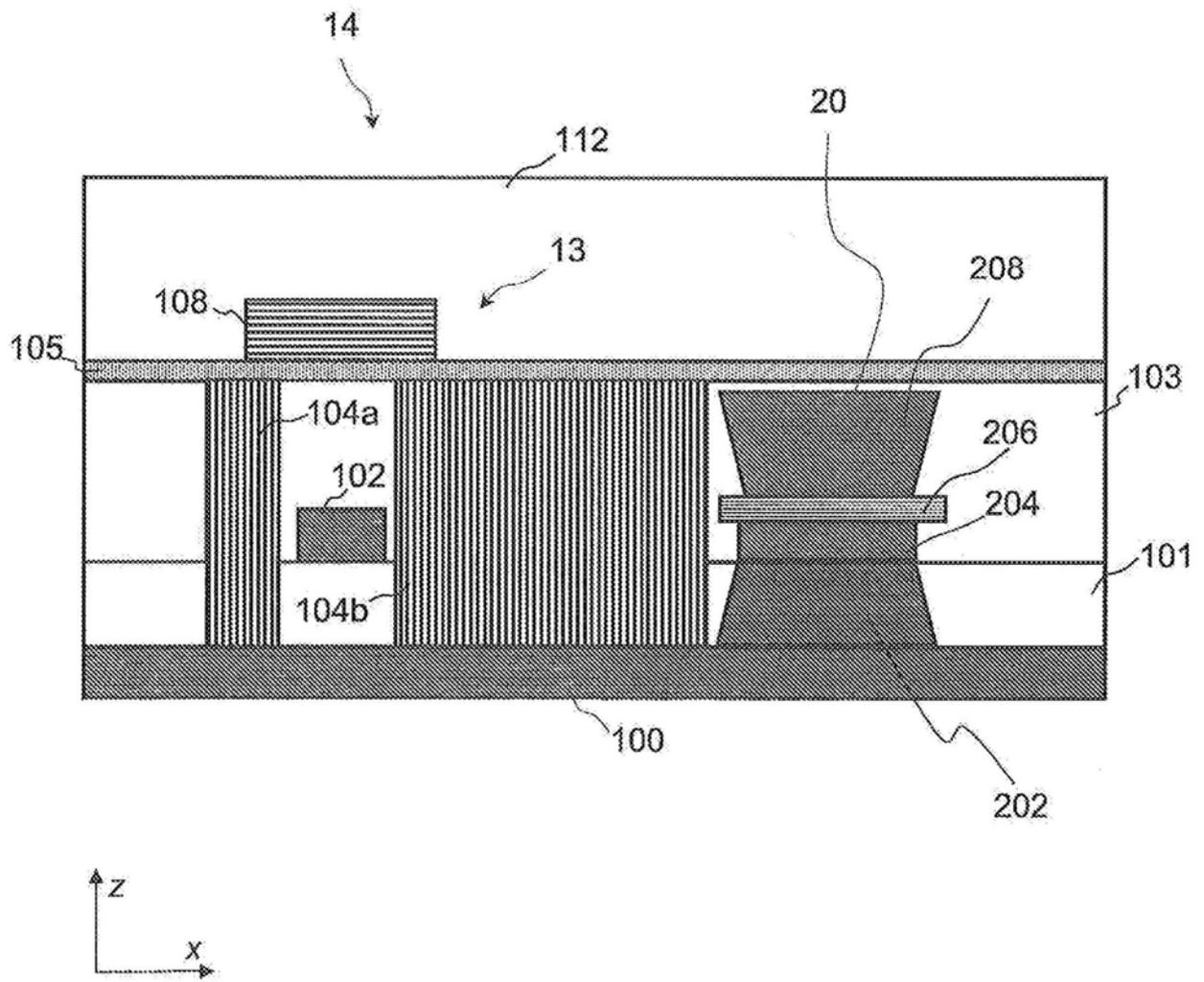


图5

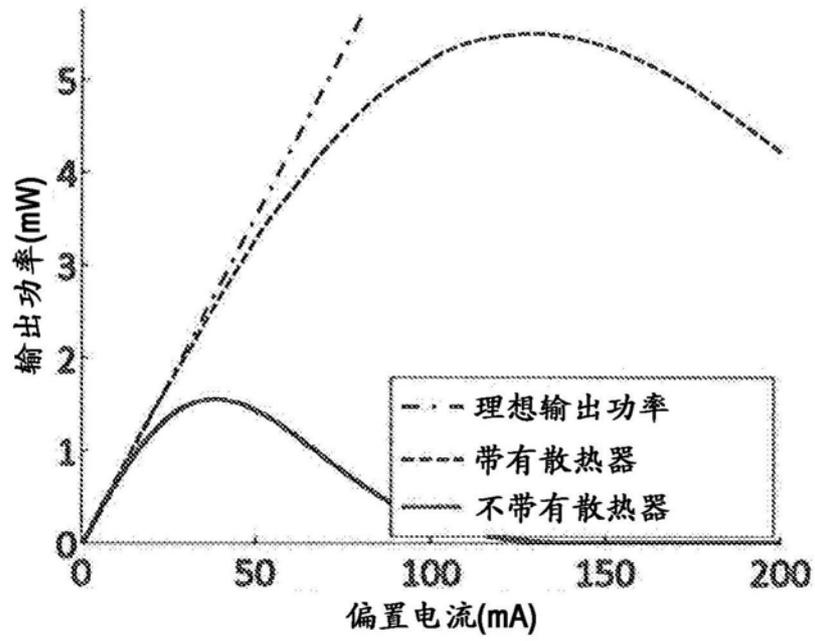


图6

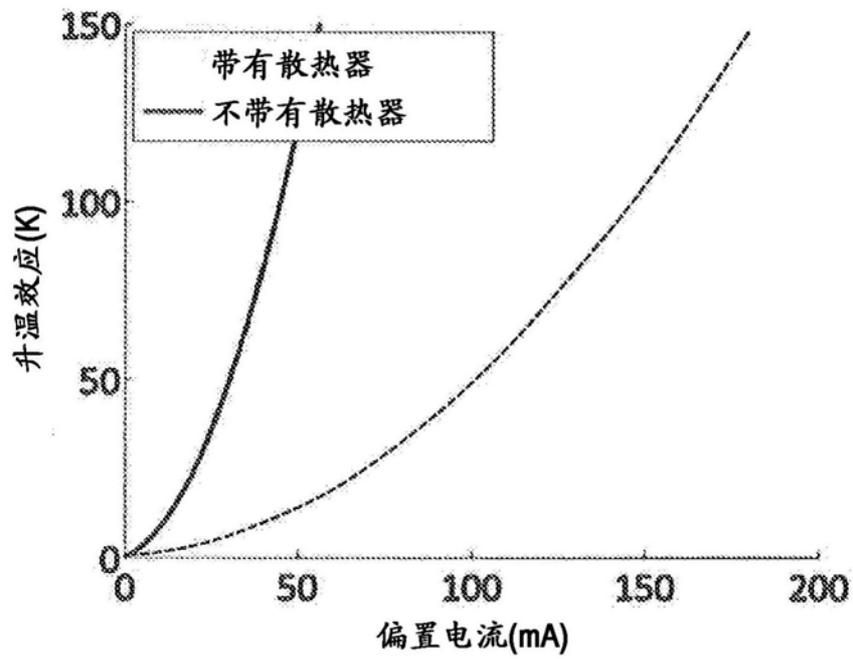


图7

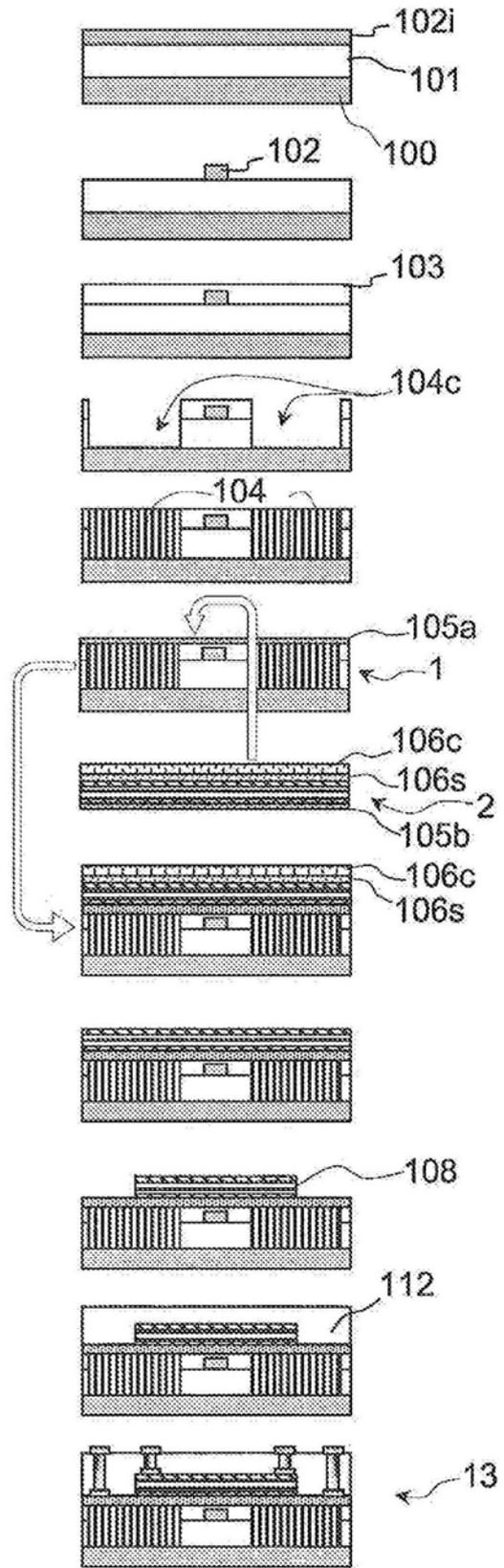
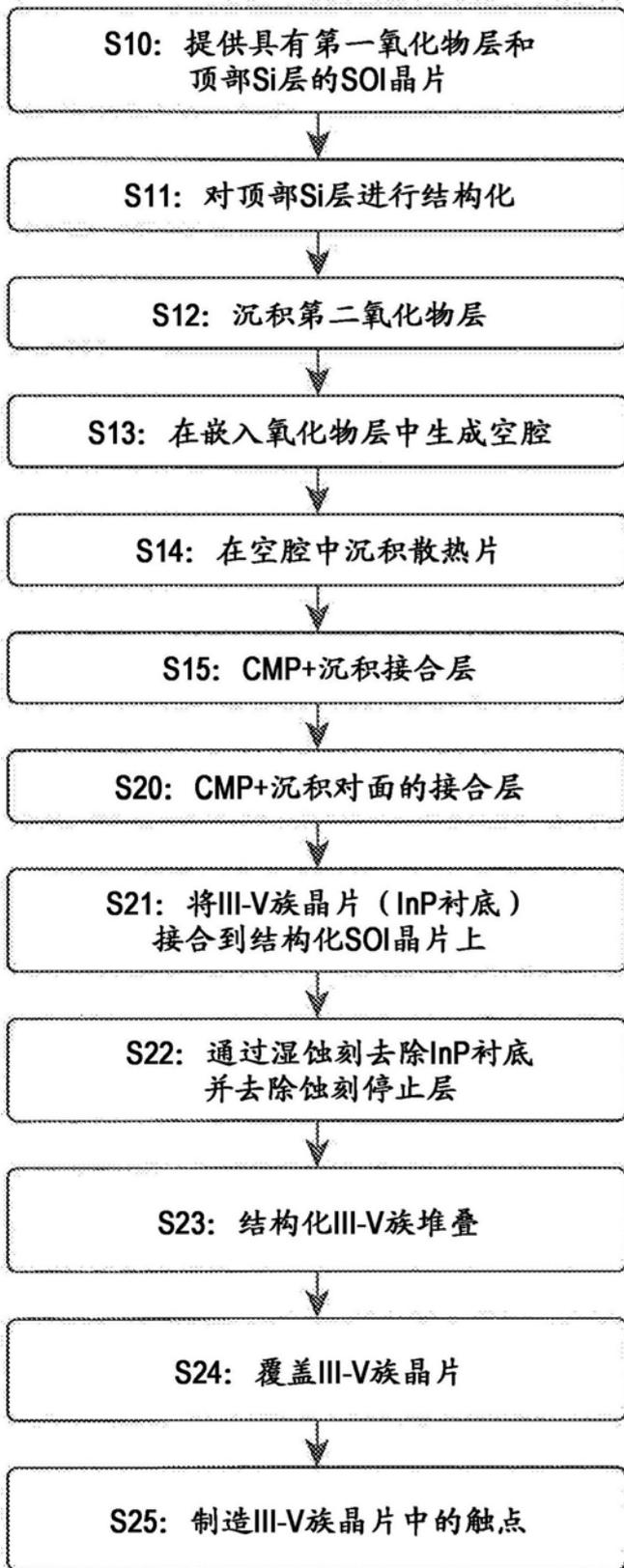


图8